

# 게이트 절연막 활용을 위한 TEOS/Ozone 산화막의 전기적 특성 분석

박준성, 김재홍, 이준신  
성균관대학교

## Electrical characteristic analysis of TEOS/Ozone oxide for gate insulator

Joon-sung Park, Jae-hong Kim, Junsin Lee  
Sungkyunkwan Univ.

**Abstract :** 본 연구에서는 PECVD(Plasma Enhanced CVD)에서 사용하는 유해 가스인 SiH<sub>4</sub> 대신에 유기 사일렌 반응 물질인 TEOS(Tetraethyl Orthosilicate, Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)를 이용하여 상압 화학 기상 증착법(Atmospheric Pressure CVD, APCVD)으로 실리콘 산화막을 증착하고 박막의 조성 및 화학적, 전기적 특성들을 살펴보았다. TEOS 반응원료를 이용한 CVD 공정에서 공정 온도를 낮추기 위한 방법으로 강력한 산화제인 오존을 이용하여 공정온도를 400℃이하로 낮췄으며, 유리기판 상의 ELA(Excimer Laser Annealing)처리된 다결정 실리콘 기판에 트랜지스터 소자를 제작하고, 게이트 절연막으로의 전기적 특성을 살펴보았다.

**Key Words :** TEOS, Ozone, APCVD, TFT, C-V, I-V

### 1. 서 론

정보화 사회의 실현을 앞당기고 있는 기억소자 중심의 반도체 제작 기술을 고집적화, 고속화, 낮은 소비 전력을 위한 소자의 극 미세화에 대한 연구가 주류를 이루고 있다. 이러한 새로운 기술의 요구에 따라 고품질의 다결정 실리콘 박막 트랜지스터 TFT를 이용하여 기존의 비정질 실리콘 TFT를 대체하려는 연구들이 진행되어지고 있다. 또한 고품질을 유지하면서 가격이 저렴한 제품을 생산하기 위하여 제조 원가가 비교적 저렴한 유리 기판을 사용하기 위한 저온 공정에 대한 연구도 활발히 진행되고 있다.

유리기판위에 제작되는 박막 트랜지스터는 저온 공정의 절연층을 필요로 하게 된다. 저온 공정에서는 일반적으로 불순물이 유입될 가능성이 매우 높으며, 우수한 계면 특성을 가지는 양질의 반도체 박막과 절연막을 얻기가 힘들다. 따라서 저온 공정에서 유입되는 불순물의 거동, 여러 공정 변수와 관련되어 생성되는 재료 및 계면 특성에 대한 평가와 이들이 최종적으로 디바이스에 미치는 영향들이 규명되어야 고품질의 소자를 구현할 수 있다. 따라서 본 실험에서는 APCVD상의 TEOS/Ozone을 이용한 저온 산화막의 특성을 분석하였으며 이를 바탕으로 유리 기판상의 poly-Si TFT제작을 통하여 활용 가능성을 검증하였다.

### 2. 실험

본 실험에서 산화막을 위하여 APCVD 법을 사용하였으며, 반응 장치는 반응원료의 공급부분과 반응이 일어나서 증착이 이루어지는 반응기로 나누어진다. 반응원료인 고순도 TEOS는 버블러에 담겨져서 항상 65°C의 일정한 온도를 유지하도록 하였다. 실험에 사용된 기체는 고순도 산소와 고순도 질소이며, 이중 산소는 오존 발생기를 통하여 TEOS 와의 반응 활성화를 목적으로 사용되었다.

질소는 버블러에 들어있는 버블러에 들어 있는 TEOS를 반응기로 유입시키는 운반 기체와 반응기 내의 초기 purging 및 대기압 조절을 위한 가스로 사용되었다.

증착 조건은 표1에 도식화 하였다. 실험전에 RCA법을 이용하여 사전 세정을 수행하였고 조건 가변에 따른 전기적 특성을 평가하기 위하여 MOS capacitor를 제작하였으며, 유리기판 위에 TFT 제작을 위하여 Glass/buffer oxide/poly-Si(ELA)/SiO<sub>2</sub>(100nm)/Al(50nm)를 증착하여 소스, 드레인을 정의하고 패터닝후 Ion shower를 통한 도핑을 수행하였다.

표 1. Deposition conditions

Elements	SET 1	SET 2
Temperature (°C)	350	400
N <sub>2</sub> (Bubbler gas, lpm)	0.2	0.2
N <sub>2</sub> (Carrier gas, lpm)	14	14
Ozone (3%, lpm)	0.2	0.2

### 3. 결과 및 검토

그림 1은 온도 가변에 따른 MIS 구조의 C-V 곡선이다. 일반적으로 C-V 특성 곡선은 Interface trap density의 밴드 갭 내의 분포에 대한 정보를 제공하고, 증착된 박막 내에 존재하는 전하들에 의한 flat band 이동 정도와 hysteresis 정도를 보여준다. 증착된 박막의 C-V 측정 결과를 살펴보면, C-V 곡선들이 모두 음의 방향으로 이동되어 있는데 이는 Oxide fixed charge가 양전하임을 알 수 있다. 또한 온도가 증가함에 따라 threshold voltage (V<sub>th</sub>)의 이동이 진행되었다. 이는 고온 증착에 따른 미반응 산화 부산물의 감소와 그에 따른 Oxide fixed charge의 감소영향으로 판단된다.

## 참고 문헌

- [1] H. Gleskova, S. Wagner, V. Gaparik and P. Kovac, Appl. Surf. 175, 12 (2001)
- [2] E. J. Kim and W. N. Gill, J. Electrochem. Soc. 141, 315 (1994).
- [3] S. K. Ray, C. K. Maiti, S. K. Lahiri and N. B. Chakrabarti, J. Vacuum Sci. Technol. 10, 1139 (1992).
- [4] Kenji Nakazawa, J. Appl. Phys. 69, 1703 (1991).

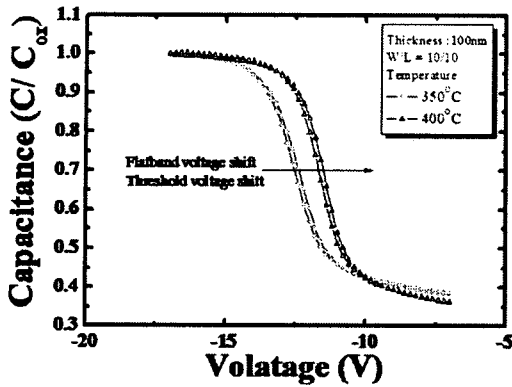


그림 1. 제작된 MIS 구조상의 C-V 특성

그림 2. ELA 처리된 기판위에 제작한  $10\mu\text{m} \times 10\mu\text{m}$ 의 length와 width를 갖는 다결정 실리콘 트랜지스터의 output 특성 곡선 이다. 온도의 증가에 따라 threshold voltage는  $-8.82\text{V}$ 에서  $-7.75\text{V}$ 로 감소 하였으며,  $I_{\text{on}}/I_{\text{off}}$  전류비 또한  $2.0 \times 10^6\text{A}$ 에서  $5.2 \times 10^6\text{A}$ 로 증가하였다. 또한 제작된 소자의 S 값은  $1.1\text{V/decade}$ 에서  $0.8\text{V/decade}$ 로 가변되었다. 이를 통하여 온도 증가에 따른 TEOS/Ozone 산화막의 전기적 특성 개선을 확인할 수 있었고, 이는 산화막의 Oxide fixed charge에 의한 영향으로 사료되어 진다.

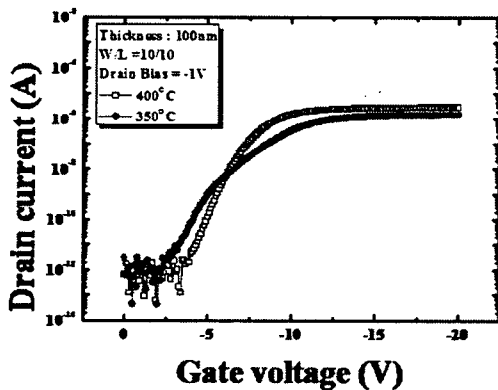


그림 2. TFT 소자의 I-V 특성

## 4. 결 론

본 실험의 결과로부터 유기 기판 상의 TEOS/Ozone 반응을 이용한 저온 poly-Si TFT의 제작 가능성을 알 수 있었고, TEOS와 오존을 이용하여 저온에서 박막을 성장시키고, 온도 가변을 통하여 박막 내의 트랩들을 감소시킨다면, 유리 기판 위의 TFT 적용을 위한 우수한 다결정 실리콘 트랜지스터 제작에서의 다결정 실리콘과 계면 상태를 우수하게 할 수 있는 게이트 절연층의 활용으로도 충분한 가치가 있을 것으로 사료된다.