

비휘발성 메모리 적용을 위한 SiO₂/Si₃N₄/SiO₂ 다층 유전막과 HfO₂ 전하저장층 구조에서의 열처리 효과

박군호, 김관수, 정명호, 정종원*, 정홍배, 조원주
광운대학교, 세종대학교*

Effect of heat treatment in HfO₂ as charge trap with engineered tunnel barrier for nonvolatile memory

Goon-Ho Park, Kwan-Su Kim, Myung-Ho Jung, Jongwan Jung*, Hong-Bay Chung, Won Ju Cho
Department of Electronic materials engineering, Kwangwoon Univ.
Department of Nano Science and Technology, Sejong Univ.*

The effect of heat treatment in HfO₂ as charge trap with SiO₂/Si₃N₄/SiO₂ as tunnel oxide layer in capacitors has been investigated. Rapid thermal annealing (RTA) were carried out at the temperature range of 600 - 900 °C. It is found that all devices carried out heat treatment have large threshold voltage shift. Especially, device performed heat treatment at 900 °C has been confirmed the largest memory window. Also, Threshold voltage shift of device used conventional SiO₂ as tunnel oxide layer was smaller than that with SiO₂/Si₃N₄/SiO₂

Key Words : tunnel barrier engineering, HfO₂, non-volatile memory, heat treatment

1. 서론

비휘발성 메모리의 터널 산화막은 10년 이상의 데이터 보존 특성을 유지하면서 빠른 쓰기/지우기 시간과 낮은 구동전압이 요구된다. 그러나, 데이터 보존 특성과 빠른 쓰기/지우기 특성은 trade-off 관계에 있기 때문에 데이터 보존 특성을 유지하면서 스케일 다운하는 것은 매우 어려운 일이다. 이러한 문제의 가장 유망한 해결책 중의 하나로 절연체를 적층함으로써 전계에 대한 터널링 전류의 민감도를 증가시켜 10년의 데이터 보존 특성을 유지하면서도 빠른 쓰기/지우기 시간과 낮은 구동전압을 얻을 수 있는 TBM (Tunneling Barrier Engineered Memory) 이다. TBM은 크게 Crested barrier와 VARIOT의 두 가지 종류로 나눌 수 있다. Crested barrier [1]는 가운데 장벽의 높이가 가장 높고 기판과 전극 쪽으로 갈수록 장벽의 높이가 낮아지는 형태이고, VARIOT [2]는 가운데 장벽의 높이가 가장 낮고 기판과 전극 쪽으로 갈수록 장벽의 높이가 높아지는 형태로 Crested barrier 와 VARIOT은 전체적으로 밴드갭과 유전율이 반대로 형성된다. 한편 전하 축적층으로서의 HfO₂는 빠른 쓰기/지우기 속도, 낮은 소비전력, 긴 데이터 보존기간을 가지므로 기존의 Si₃N₄를 대체할 수 있는 물질로 각광받고 있다.

본 연구에서는 SiO₂ 와 Si₃N₄를 이용한 VARIOT 구조의 터널링 절연막과 HfO₂를 전하 축적층으로 사용한 TBE-capacitor 구조를 제작하여 열처리에 따른 전기적 특성을 확인하였다.

2. 실험

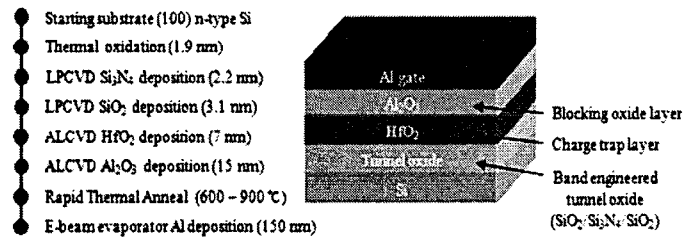


그림 1. TBE-capacitor memory 소자 제작 과정 및 구조

그림 1.은 제작된 TBE-capacitor memory 소자제작 과정 및 구조를 나타내었다. 터널링 절연막은 furnace를 이용하여 700 °C에서 1.9 nm 성장한 후 Si₃N₄ 절연막과 TEOS (Tetra Ethyl Ortho Silicate)를 사용한 SiO₂ 절연막은 LPCVD (Low Pressure Chemical Vapor Deposition) 장비를 이용하여 각각 720 °C에서 2.2nm와 620 °C에서 3.1nm 증착하여 ONO (SiO₂/Si₃N₄/SiO₂) 구조의 터널층을 형성하였다. 이후 HfO₂와 Al₂O₃ 층은 ALCVD (Atomic Layer Chemical Vapor Deposition) 방법을 각각 7nm와 15nm를 증착하고 RTA (Rapid Thermal Anneal) system을 사용하여 600 °C ~ 900 °C, 30초 동안 N₂ 분위기에서 열처리를 실시하였다. 전극으로 Al 을 150 nm 증착하여 소자를 제작하였다. 제작된 소자와 비교를 위해 터널링 절연막을 SiO₂ 5nm 성장하고 동일한 과정을 거쳐 C-V 측정방법으로 메모리 특성을 비교 분석하였다.

3. 결과 및 고찰

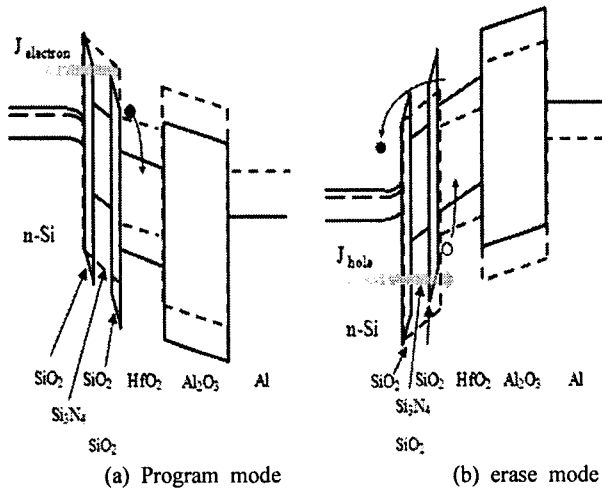


그림 2. ONOHA와 OHA 구조의 쓰기/지우기 band diagram

그림 2는 tunnel barrier engineered 된 VARIOT 구조의 ONO와 기존의 SiO₂를 터널링 절연막으로 사용하였을 때 band diagram을 비교하고 있다. 검은색 실선은 ONOHA (SiO₂/Si₃N₄/SiO₂/HfO₂/Al₂O₃)의 구조를 가진 소자이고 빨간색 점선은 OHA (SiO₂/HfO₂/Al₂O₃)의 구조를 가진 소자의 band diagram을 나타내고 있다. 기존의 SiO₂ 단일절연막에 비하여 SiO₂와 Si₃N₄를 적층함으로써 같은 전계에서 터널링되는 유효두께가 감소하여 전자와 정공이 더욱 효과적으로 터널링 하기 때문에 쓰기와 지우기 동작 시 낮은 구동 전압과 향상된 동작속도를 기대할 수 있다.

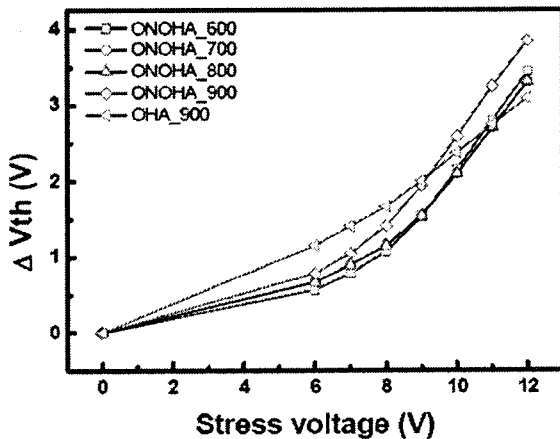


그림 3. ONOHA와 OHA 소자의 쓰기 특성

그림 3은 제작된 ONOHA와 OHA 소자의 쓰기 특성을 보여주고 있다. ONOHA 소자의 쓰기 특성은 12 V, 1ms에서 3.3 ~ 3.8 V의 voltage shift를 보여주고 있다. 특히 900 °C 열처리된 소자에서 가장 큰 voltage shift가 확인되었다. 그에 비해 900 °C에서 열처리된 OHA 소자는 12 V, 1ms에서 ONOHA 소자보다 약 1 V 정도 감소된 쓰기 특성을 보여주었다.

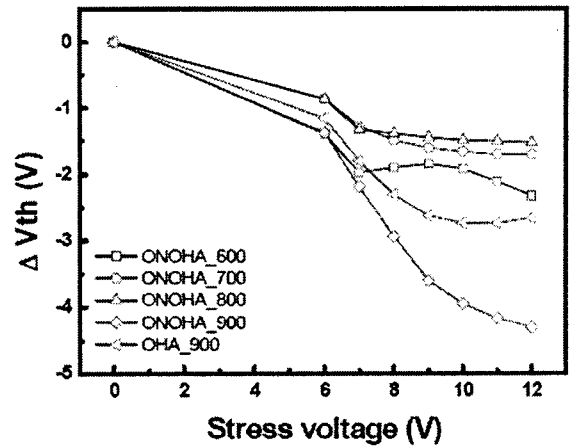


그림 4. ONOHA와 OHA 소자의 지우기 특성

그림 4는 제작된 ONOHA와 OHA 소자의 지우기 특성을 보여주고 있다. ONOHA 소자의 지우기 특성은 900 °C에서 급속 열처리된 소자가 가장 큰 voltage shift를 보였다. 이것은 열처리 온도가 증가함에 따라 HfO₂의 결정화에 의한 것이다. 또한 OHA 소자와 비교해 볼 때, 12 V에서 약 1.7 V의 차이를 나타내고 있다. 이는 tunnel barrier engineered 된 ONO 구조의 터널링 절연막에 의해 지우기 동작 시 정공의 주입이 효과적으로 이루어졌기 때문이다.

4. 결론

Tunnel barrier engineered 된 터널링 절연막에 전하 축적층으로 HfO₂를 사용하여 열처리에 따른 전기적 특성을 알아 보았다. 열처리 온도가 증가함에 따라 HfO₂의 결정화에 의해 향상된 memory window를 나타내었다. 또한 tunnel barrier engineered 된 ONO 구조의 터널링 절연막과 기존의 SiO₂ 터널링 절연막을 비교해 볼 때, 전계에 민감한 ONO 구조의 소자가 쓰기와 지우기 특성 모두 향상된 특성을 확인하였다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] K. K. Likharev, "Layered tunnel barriers for nonvolatile memory devices" Appl. Phys. Lett., vol. 73, no. 15, pp. 2137-2139, Oct. 1998
- [2] B.Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, and K. De Meyer, "VARIOT: a novel multilayer tunnel barrier concept for low-voltage nonvolatile memory devices" IEEE Electron Device Lett., vol. 24, no. 2, pp. 99-101, Feb. 2003.