

MicroTec을 이용한 MOSFET IV특성곡선 분석

한지형 · 정학기 · 이재형 · 정동수 · 이종인 · 권오신
군산대학교 전자정보공학부

Analysis of the MOSFET IV characteristic curve Process using MicroTec Tool

Jihyung Han · Hakkee Jung · Jaehyung Lee · Dongsoo Jeong · Jongin Lee · Ohshin Kwon
School of Electronic and Information Eng., Kunsan National University
E-mail : hkjung@kunsan.ac.kr

요 약

본 연구에서는 MicroTec을 이용하여 MOSFET IV특성곡선을 분석하였다. 일반적으로 MOSFET은 4단자로 구성되며, 금속-산화물-반도체부분(또는 MOS캐패시터 부분)이 트랜지스터의 핵심을 이루고 있다. MicroTec을 사용하여 Process한 모델을 바탕으로 MOSFET의 IV특성곡선을 분석하기 위해서 각각의 Directive와 Subdirective에 파라미터값을 지정하고 파라미터값의 변화에 따라 IV특성곡선의 변화를 분석하였다. 드레인전류와 게이트 소스전압, 드레인 소스 전압 사이의 관계를 수학적으로 유도할 것이다. 전류-전압 관계에서 나타나는 2개의 특성변수는 소스와 드레인 사이의 거리인 채널의 길이와 폭이다.

I. 서 론

1930년에 FET(field effect transistor)의 기본 개념이 도입된 이후 집적회로들의 일부분이 되어졌고, 현재 전자산업에 있어서 가장 중요한 소자가 되었다. 그리고 지난 20년 동안 CMOS(complementary metal oxide semiconductor) 기술이 두드러진 성장으로 인하여 스케일링 기술과 소자의 크기는 나노 영역의 기본적인 물리적인 한계에 도달하게 되었는데, 소자의 속도와 특성을 개선시키기 위해 MOS(metal oxide semiconductor) 소자의 크기는 매우 작아지게 되었고, 최근 MOS 소자들이 50nm이하로 작아짐에 따라 전류-전압 특성의 열화 및 기생 캐패시턴스에 의한 성능 감퇴 등이 나타나게 되었다. 소스와 드레인 접합깊이가 얇아지면 소스와 드레인 저항이 증가하여 소자 성능이 떨어지게 된다. 또한 얇은 접합에서는 드레인 영역이 고농도가 되므로 드레인 접합부근에서 전계가 높아지게 되어 핫 캐리어 효과(hot carrier effect)가 일어난다[1][2]. 채널길이가 작아짐에 따라, 바이어스 전압을 비례해서 줄일 수 있는 것이 아니다. 그래서 접합전계들은 더 커지게 된다. 전계가 증가함에 따라 에벌런치 항복이나 펀치스루(punch through) 효과들이 더 심각

하게 된다. 게다가 소자의 기하학적 구조와 규모가 축소됨에 따라 기생효과 및 2차효과들이 더 뚜렷이 나타나고 항복효과들이 증가한다. 항복효과를 감소시키는 한 가지 방법은 드레인과 소스 접합의 전계를 감소시켜 주는 것이다. 이것은 저농도 도핑을 함으로써 얻을 수가 있다.

II. LDD MOSFET의 특성

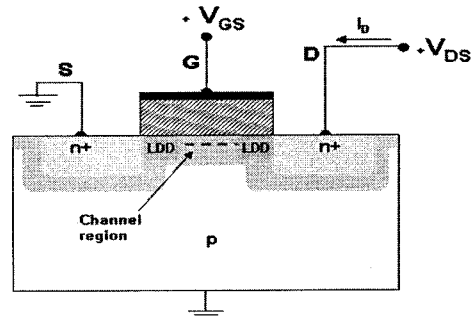


그림1. n채널 LDD MOSFET

일반적인 MOSFET구조에서 드레인 영역에 강전계가 가해지면 전자가 열적 운동에너지보다 큰 운동에너지를 얻게 된다. 드레인 부근에서 충격이온화가 발생하게 되어 이 과정에서 전자-정

공쌍이 발생되어 전자의 경우 양전압이 가해진 드레인 쪽으로 이동되고 정공은 기판으로 이동하여 기판전류가 발생되고 일부 전자는 실리콘-산화막 전위장벽을 뛰어 넘어 게이트 전류를 발생시킨다. 이러한 전자를 핫 캐리어(hot carrier)라 한다. 따라서 핫 캐리어의 영향으로 게이트 전류와 기판전류가 발생되어 소자의 신뢰성에 심각한 문제를 야기시킨다 이러한 핫 캐리어의 효과를 줄이기 위하여 일반적인 LDD 구조가 제시되었다. 그림 1은 저도핑 드레인(Lightly Doped Drain) MOSFET은 드레인 영역의 전계를 낮추기 위해서 드레인과 채널이 만나는 지점의 도핑농도를 줄이고 접점부위의 드레인은 도전율의 감소를 방지하기 위해 기존의 높은 도핑농도를 유지하는 구조이다. LDD에서 저농도 도핑은 드레인의 끝에서 발생할 수 있는 핫 캐리어 효과를 감소시키는데 도움을 주며, 낮은 접합깊이는 DIBL 효과 및 전하공유와 같은 단채널 효과를 감소시키는 중요한 역할을 한다.

III. 시뮬레이션 방법 / 결과

MicroTec은 실리콘 공정 디바이스 시뮬레이션을 위해 네 개의 프로그램들로 구성되어 있으며, 이는 Sidif, MergIC, SemSim, SibGraf이다. SibGraf는 시뮬레이션 결과를 출력하는 프로그램으로 2D와 3D로 나타내며, Sidif는 공정 시뮬레이션, SemSim은 소자 시뮬레이션, SibGraf은 디바이스 시뮬레이션으로써 입력 바이어스에 의해 공정 시뮬레이션인 Sidif와 디바이스 조립인 MergIC에 의해 소자를 시뮬레이션 한다.

표1. 채널의 길이에 따른 도핑농도와 산화층의 두께

채널길이		400nm	200nm	100nm
도핑 농도 (/cm ³)	Drain	1×10 ¹⁵	2×10 ¹⁵	4×10 ¹⁵
	Source	1×10 ¹⁵	2×10 ¹⁵	4×10 ¹⁵
	Ldd	1×10 ¹²	2×10 ¹²	4×10 ¹²
산화막 두께		0.01μm		

MOSFET의 채널 영역에 고 전계가 인가되면 반도체와 절연체 사이에 캐리어들이 강하게 서로 작용하며, 캐리어는 표면 음향 양자 산란과 표면 거칠음 산란이 지배적이게 된다. 이러한 작용에 의해서 이동도의 저하가 발생하게 되는데, 이 영향에 대해서 Lombardi 모델을 사용함으로써 설명되어진다[4]. Lombardi 모델에 대한 파라미터는 표2에 나타내었다[3].

표2. Lombardi 모델 파라미터

Symbol	E/H	Default	Units
<i>B</i>	Electrons	4.75×10 ⁷	cm/s
	Holes	9.93×10 ⁷	
<i>C_o</i>	Electrons	1.74×10 ⁵	none
	Holes	8.84×10 ⁵	
<i>θ</i>	Electrons	0.125	none
	Holes	3.17×10 ⁻²	
<i>μ</i>	Electrons	52.2	cm ² /V·s
	Holes	44.9	
<i>μ_{max}</i>	Electrons	1.42×10 ³	cm ² /V·s
	Holes	470	
<i>μ₁</i>	Electrons	43.4	cm ² /V·s
	Holes	29	
<i>C_r</i>	Electrons	9.68×10 ¹⁶	cm ⁻³
	Holes	2.23×10 ¹⁷	
<i>C_s</i>	Electrons	3.43×10 ²⁰	cm ⁻³
	Holes	6.10×10 ²⁰	
<i>P_c</i>	Electrons	0.0	cm/s
	Holes	9.23×10 ¹⁶	
<i>α</i>	Electrons	0.68	none
	Holes	0.719	
<i>β</i>	Electrons	2.0	none
	Holes	2.0	
<i>γ</i>	Electrons	2.5	none
	Holes	2.2	
<i>δ</i>	Electrons	5.82×10 ¹⁴	V/s
	Holes	2.05×10 ¹⁴	
<i>β_{sat}</i>	Electrons	2.0	none
	Holes	1.0	
<i>V_{sat}</i>	Electrons	1.07×10 ⁷	cm/s
	Holes	1.07×10 ⁷	

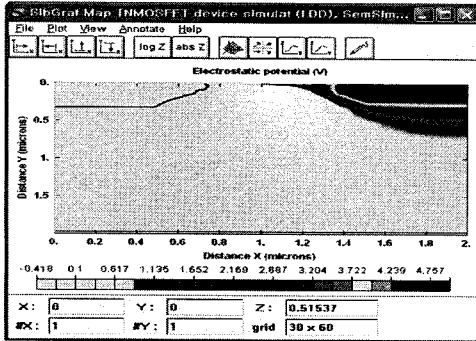
Lombardi 식은 다음과 같다.

$$\frac{1}{\mu} = \frac{1}{\mu_{ac}} + \frac{1}{\mu_b} + \frac{1}{\mu_{sr}} \quad (1)$$

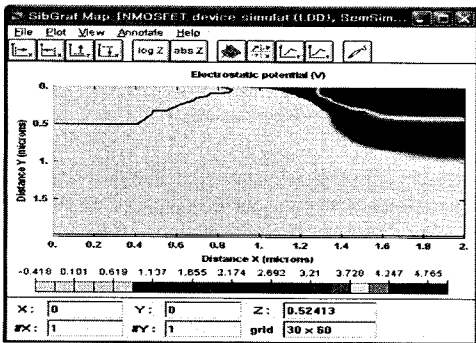
$$\mu_{ac}(E_t, T) = \left(B \frac{T}{E_t} + \frac{C_o N^{\theta}}{E_t^3} \right), \mu_{sr} = \frac{\delta}{E_t^2} \quad (2)$$

$$\mu_b(N, T) = \mu_0 + \frac{\mu_{max}(T) - \mu_0}{1 + \left(\frac{N}{C_r}\right)^{\alpha}} - \frac{\mu_1}{1 + \left(\frac{C_s}{N}\right)^{\beta}}; \quad (3)$$

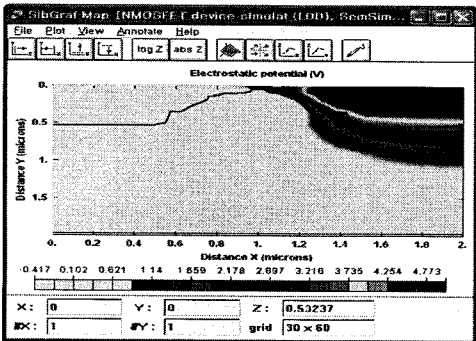
$$\mu_{max}(T) = \mu_{max} \left(\frac{T}{300} \right)^{-\gamma} \quad (4)$$



(a)



(b)

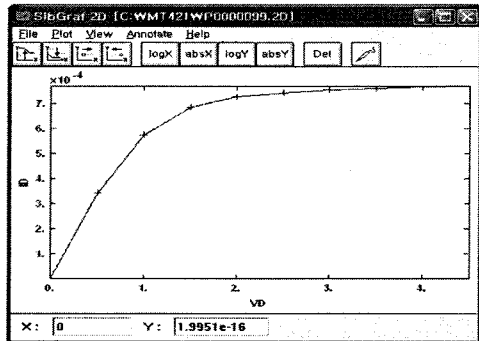


(c)

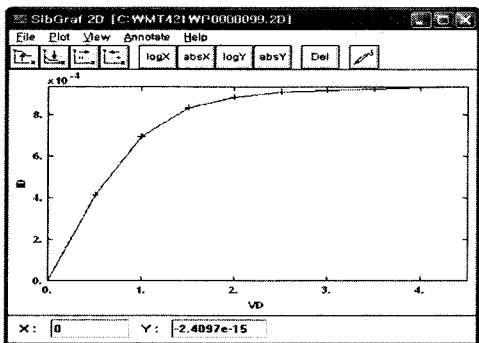
그림2. 포텐셜 분포

(a) 채널길이=400nm, (b) 200nm, (c) 100nm

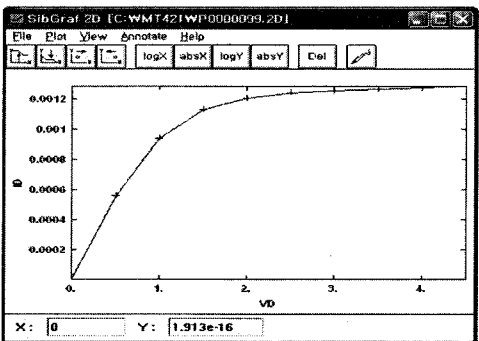
그림2는 채널길이가 400nm, 200nm, 100nm 일 때의 포텐셜 분포이다. 그림에서 알 수 있듯이 드레인 영역에서 포텐셜 분포가 증가 하고 있는 것을 볼 수 있다. 채널 길이가 짧아짐에 따라 포텐셜 분포가 크게 나타나는 것을 알 수 있다. 채널 길이가 400nm에서 100nm로 짧아지면서 드레인 과 소스의 도핑농도를 $1 \times 10^{15}/\text{cm}^2$ 에서 $4 \times 10^{15}/\text{cm}^2$ 로 증가 시켰고, LDD의 도핑농도도 $1 \times 10^{12}/\text{cm}^2$ 에서 $4 \times 10^{12}/\text{cm}^2$ 로 증가시켰다.



(a)



(b)



(c)

그림3. IV 특성곡선

(a) 채널길이=400nm, (b) 200nm, (c) 100nm

그림3은 채널길이가 400nm, 200nm, 100nm일 때의 IV특성곡선이다. 인가전압은 소스는 0V, 기판 =0V, 드레인은 0V에서 0.5V씩 증가하여 4.5V까지 증가시켰으며 게이트 는 3V를 사용하였다. 채널의 길이가 짧아지면 흐르는 전류가 증가함을 알 수 있다. 도핑농도를 증가시킴으로 인해 드레인 전압이 증가함에 따라 드레인 전류가 증가하지 않고 포화상태가 되는 것을 알 수 있다.

IV. 결 론

본 논문에서는 MicroTec을 사용하여 MOSFET의 IV특성곡선을 분석하고자 하였다. LDD MOSFET 구조를 사용하였고, 채널의 길이가 짧아지면서 산화막의 함복이나 펀치스루 현상을 방지하며 소자내의 전계가 일정하게 유지되도록 하기 위해서 도핑의 농도를 증가 시켜주었다. IV 특성곡선이 계속 증가가 아닌 포화상태를 유지하기 위해 도핑의 농도를 증가시켰다. 채널의 길이가 100nm 이하로 더 작아질 때는 도핑의 농도를 조절하는것 뿐만 아니라 스켈링 이론을 활용하여 다른 파라미터 값을 조정하여 정확한 IV 특성곡선을 구할 수 있을 것이다.

참고문헌

- [1] Seong-Dong Kim, Chel-min park and jason C S. Woo, advanced Model Analysis of series Resistance for CMOS Scaling Into Nanometer Regime-part I : Theoretical Derivation, IEEE Trans. Electron Dev., Vol. 49, No.3, March pp. 457-466, 2002.
- [2] 심성택, 임규성, 정학기, "나노 구조 소자 시뮬레이션을 위한 상용 시뮬레이터의 비교 분석", 한국해양정보통신학회논문지, Vol.6, No.1, pp103-108, 2002.
- [3] "MicroTec Semiconductor Process and Device Simulator, Version 4.0 for windows", Siborg Systems Inc, pp63-95, 2003.
- [4] 심성택, 장광균, 정정수, 정학기, "소자 시뮬레이션을 위한 Micro-Tec과 TCAD의 비교 분석", 한국해양정보통신학회지, Vol.5, No.1, pp321-324, 2002.