

# 이미지 압축용 JPEG 베이스라인 인코더 설계

권오성 · 노시찬 · 이민수 · 오승호 · 손승일

한신대학교 정보통신학과

Design of JPEG Baseline Encoder for Image Compression

O-sung Kwon · Seung-il Sohn

Dept. of Information and Communication HanShin University

E-mail : tasada14@naver.com

## 요 약

정보화 사회가 진행되어감에 따라 카메라 센서, 디지털 카메라, 휴대폰, 영상 관련디지털 기기들이 증가하고 이로 인하여 영상정보 서비스 기술의 중요성이 크게 부각되었다. 특히 멀티미디어 응용서비스 기술에서는 영상 정보가 필수적인데, 그 영상 정보의 양이 너무 방대하여 압축 부호화를 하여 사용되고 있다. 본 논문에서는 정지영상압축 방법 중 JPEG표준에서 제시한 4가지 동작 모드 중 베이스라인을 기반으로 하는 JPEG압축 알고리즘을 연구하여 CMOS 이미지 센서에서 영상을 전송받으면 8\*8 블록 단위로 변환 후 DCT 및 양자화 과정을 거쳐 지그재그 스캔을 한 후 허프만 코드를 사용하여 압축 부호화 시키는 JPEG 베이스라인 인코더를 VHDL언어로 설계 하였다.

## I. 서 론

정보화 사회가 진행되어감에 따라 디지털 영상의 응용 분야가 급속하게 확대되고 있다. 이러한 응용분야 중 디지털 카메라의 Exif(Exchangeable Image File Format)는 JPEG(Joint Photographic Experts Group) 압축 기술을 이용하는 업계 표준 파일 포맷이다. 이 표준의 가장 기본적인 기능들을 포함하는 기술인 JPEG 베이스라인 기술은 단순성과 폭 넓은 지지 기반 덕분에 디지털 카메라 시스템에 있어서 핵심기술이 되었다[1].

다량의 정보를 가진 영상 신호의 효율적인 전송이나 저장에는 많은 제약이 따르게 되므로 효율적인 영상 압축 관련 기술의 개발은 필수적이다. 이러한 영상 신호의 압축과 복원은 주로 실시간 처리를 요구하므로 하드웨어로 구현할 필요가 있다.

본 논문에서는 하드웨어에 적합한 JPEG의 인코더를 연구 하였으며, 이를 토대로 하드웨어 설계언어인 VHDL을 이용하여 회로를 모델링하여 동작을 검증하였다.

## II. JPEG 베이스라인 인코더 설계

### 2.1 베이스라인 JPEG 인코더 전체 블록도

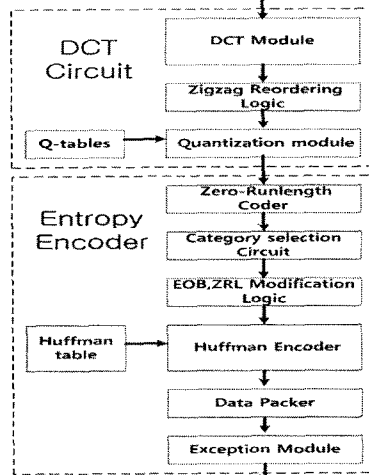


그림 1. JPEG 베이스라인 인코더 전체 블록도

그림1은 본 논문에서 설계한 인코더 모델 블록 다이어그램을 나타낸다. 인코더 모델은 크게 DCT Circuit과 Entropy Encoder로 구성되어 있다.

## 2.2 DCT

### 2.2.1 고속 DCT 알고리즘

DCT 계수의 좌우 대칭성을 고려하여 4x4 DCT 계수와 4x1의 영상 값으로 곱셈연산을 수행하였다. 결과적으로 한 블록의 경우 128번 수행하기 때문에 기존 8x8 DCT 계수와 8x1의 영상 값으로 연산하는 방식보다 연산량이 1/4 줄어들고 따라서 고속의 2-D DCT를 수행가능하게 하였다[2].

### 2.2.2 DCT 회로 구조

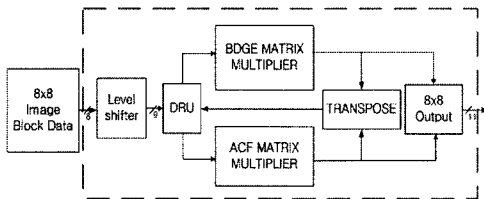


그림 2. DCT 전체 블록 다이어그램

그림2과 같이 전체 블록도를 보면 크게 4개의 부분으로 나누어진다[3][4].

Level Shifter의 출력 9비트의 데이터를 DRU(Data Reorder Unit)로 입력하고 LIFO(Last-In First-Out) 버퍼를 이용하여 2개의 Matrix Multiplier 모듈의 입력을 생성한다. 각각의 Matrix Multiplier 모듈은 영상 데이터와 계수의 곱셈연산을 수행한다. 1-D DCT가 수행된 후 Transpose 모듈이 결과행렬을 전치하여 2-D DCT의 입력을 생성한다.

이때 1-D DCT를 거친 후 Transpose 단계에서 데이터가 RAM에 저장되지 않고 Register Array에 저장되기 때문에 별도의 메모리 공간이 사용되지 않았으며, 2-D DCT의 결과 데이터가 출력됨과 동시에 Zig-Zag 순서로 재배치된다. 그 결과 별도의 주소생성기가 필요가 없고, RAM을 사용하지 않았기 때문에 면적 효율적이고 고속의 연산을 수행가능 하도록 설계하였다.

Zig-Zag로 재배치되는 데이터는 RAM에 저장되며, 8bit 나눗셈기를 이용한 양자화가 수행된다.

### 2.2.3 Two Matrix Multiplier

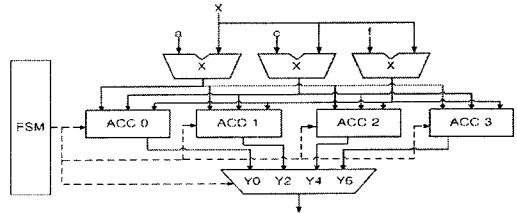


그림 3. ACF Matrix Multiplier Unit

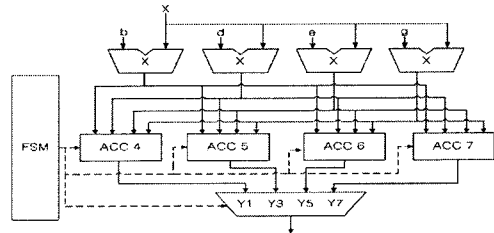


그림 4. BDEG Matrix Multiplier Unit

그림4와 그림5는 두 개의 Matrix Multiplier 블록 다이어그램이다. Matrix Multiplier는 4x1 입력영상 데이터를 입력받아 각각 ACF 계수 또는 BDEG 계수와 곱셈 연산을 수행한다. ACC0 ~ ACC7은 행렬 곱셈을 위해 중간 연산 값 들을 선택적으로 누적시킨다. 이러한 동작은 FSM(Finite State Machine)에서 제어한다.

## 2.3 Entropy Encoder

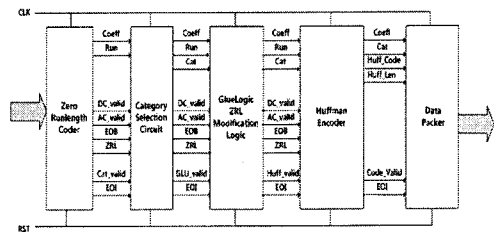


그림 5. Entropy Encoder 블록 다이어그램

### 2.3.1 Zero-RunLength Coder

Zero-Runlength Coder는 DCT 회로의 출력을 입력 받아서 DPCM(Differential Pulse Code Modulation) 과정을 거쳐 DC 데이터를 추출하고 그 결과 계수 데이터들 사이에 있는 '0'의 개수를 세어 Run 정보와



그림8은 본 논문에서 설계한 JPEG 베이스라인 인코더 모델의 출력 파형 및 최초 데이터 입력 후 최종적으로 압축된 비트열이 출력되기까지의 지연시간을 나타낸다.

최초 데이터의 입력 후 첫 양자화데이터가 출력 되기까지의 지연시간은 164 클럭이 소요되며, 이후 매 클럭마다 데이터가 출력 된다. 가변길이코딩의 지연시간은 가변적이기 때문에 측정항목에서 제외시켰다.

### V. 설계 결과

설계된 JPEG 베이스라인 인코더의 모든 기능 블록들을 하드웨어에 적합한 효율적인 알고리즘으로 설계했고, 총 8단계의 파이프라인으로 처리를 하였다. 또한 독립된 각 모듈의 모든 연산을 병렬구조로 설계하여 고속의 연산이 가능하게 하였으며, 메모리의 사용을 제한하여 면적효율적인 인코더 모델을 설계하였다.



(a)원본 영상 (b)압축된 영상  
그림 9. 원본영상과 압축된 영상

그림9는 320\*240 크기의 Lena 표준 영상으로써 (a)는 RAW포맷 원본 영상을 (b)는 하드웨어로 압축된 영상을 나타낸다.

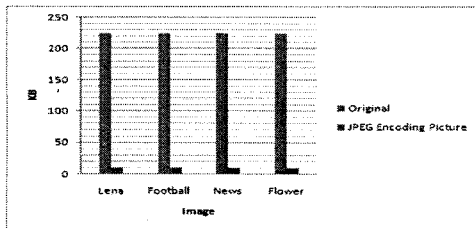


그림 10. 압축영상 크기 비교

그림10은 320\*240 사이즈의 표준 영상 4가지의 RAW포맷 원본영상과 하드웨어로 압축된 영상의

크기를 비교한 것이다. 비교 결과 압축된 영상이 원본영상 대비 평균 1/22의 용량을 갖는다.

### VI. 결론

본 논문에서 설계된 JPEG 베이스라인 인코더는 320\*240 크기를 갖는 영상을 인코딩하여 원본영상 용량 대비 평균 1/22의 압축된 영상을 얻었다. 이를 통하여 기존의 RAW영상을 전송하는 방식에 비해 데이터양을 감소시킴으로써 같은 데이터 전송 속도의 환경에서 보다 많은 정보를 보낼 수 있게 되었다.

하지만 다양한 영상사이즈를 지원 할 수 있도록 좀 더 심층적인 연구가 필요하며, 설계된 인코더 모델은 향후 Motion JPEG 인코더 및 CMOS Image Sensor를 사용하는 디지털 카메라 및 휴대폰에 적용가능 할 것으로 사료된다.

### 참고문헌

- [1] Arun N. Netravali, Barry G. Haskell, *Digital Pictures*, PLENUM Press, 1994.
- [2] 최덕영, 박노식, 손승일, 이우섭, "고속데이터 처리를 위한 DCT 설계", 해양정보통신학회, 2005.
- [3] Bret Stott, Dave Johnson, Venkatesh Akella, "Asynchronous 2-D Discrete Cosine Transform Core Processor", IEEE, pp.1063-6404, 1995.
- [4] Avanindra Madiseti and Alan N. Willson, "DCT/IDCT Processor Design for HDTV Application", IEEE, pp.63-66, 1995.
- [5] Mohammed Elbadri, Raymond Peterkin, voicu Groza, Dan Ionescu, and Abdulmoteleb El Saddik "HARDWARE SUPPORT OF JPEG", IEEE, 1995.
- [6] ITU-CCITT, *Information Technology Digital Compression and Coding of Continuous-Tone Still Images Requirements and Guideline*, CCITT, 1993.
- [7] Mario Kovac, N.Ranganathan, "A High Speed VLSI Chip for JPEG Image Compression Standard", IEEE, 1995.