

## 802.11n WLAN용 $\Delta\Sigma$ Fractional-N 주파수 합성기의 피드백 체인 설계

전부원\*, 김종철\*, 노형환\*, 박준석\*, 오하령\*, 성영락\*, 정명섭\*  
국민대학교\*

### A Design of $\Delta\Sigma$ Fractional-N Frequency Synthesizer Using Pulse Removed PFD for 802.11n Standard

Jeon Boowon\*, Kim Jongcheol\*, Roh Hyung-hwan\*, Park Jun-Seok\*, Oh Ha-Ryung\*, Seong Young-rak\*, Myoung-Sub\*  
Joung  
Kookmin University\*

**Abstract** - 본 논문에서는 802.11n 규격에 적합한 Fractional-N 주파수 합성기를 설계하였다. 본 논문에서 설계한 주파수 합성기의 특징은 PFD(Phase Frequency Detector) 뒷단에 잔여 펄스를 제거하는 Pulse Remover를 연결하여 이중 개환 Charge Pump의 안정도를 향상시켰으며, Charge Pump에서 동시에 발생하는 Up/Down 전류로 인한 Spike성 전류를 없애므로써 스퓨리어스를 최소화 시켰다. Pulse Removed PFD를 사용함으로써 발생하는 PFD Deadzone 문제는 2N+2분주와 2N-2분주기를 3차의  $\Delta\Sigma$  Modulator가 선택해줌으로 해결하였다. 삼성 0.18 $\mu$ m 공정을 이용하여 설계 하였으며 각 블록은 Cadence spectre를 이용하여 검증하였다.

#### 1. 서 론

$\Delta\Sigma$  Fractional-N 형 주파수 합성기는 Integer-N 형 주파수 합성기에 비하여 넓은 루프 밴드width로 인한 빠른 Lock time, Pseudo Random Sequence에 의한 적은 스퓨리어스 레벨등 많은 장점을 가지고 있다.[1] 그러한 이유로 Fractional-N 형 주파수 합성기는 여러 통신 분야에서 널리 사용되고 있다.

802.11n은 WLAN(Wireless Local Area Network)의 IEEE의 표준으로 현재 802.11a/b/g/n의 표준이 제정 되어있다. 이중 802.11n은 802.11a/b/g를 포함 할 뿐 아니라 MIMO의 도입으로 Throughput을 더욱 높였다. 본 논문에서는 802.11a/b/g/n에 모두 적합한 주파수 합성기를 설계함으로써 더욱 원활한 WLAN망의 통신을 이룰 수 있도록 하였다.

#### 2. 본 론

##### 2.1 802.11 n 채널 표준

802.11 표준은 크게 Upper Band와 Lower Band로 주파수 대역이 두 부분으로 나뉘어 있다. Upper Band는 5~6GHz대역으로 201개의 채널이 5MHz단위로 존재하며 Lower band는 2.4GHz대역으로 11개의 채널이 5MHz단위로 존재한다. 아래 수식(1), (2)에는 Upper Band와 Lower Band의 중심 주파수를 나타내었다.[2] Lock Time은 224 $\mu$ sec이하로 지정 되어있으며 주파수 오차는 20ppm으로 지정되어있다.[2] 또한 VCO의 위상 잡음 특성은 1MHz 오프셋 주파수에서 -110dBc/Hz 이하이어야 한다.[4]

$$\text{Channel Center Frequency} = 5000 + 5 \cdot n_{ch} \text{ (MHz)} \dots\dots (1)$$

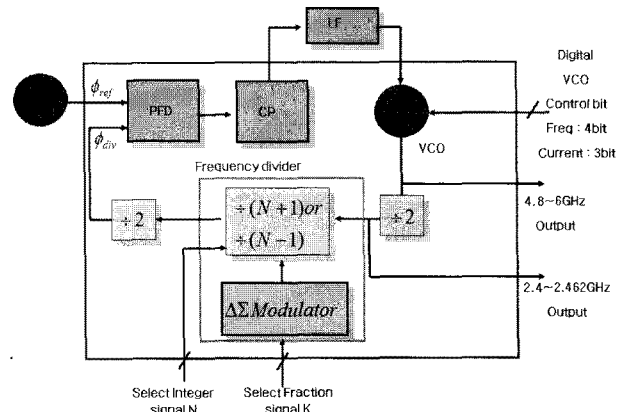
$$n_{ch} = 0, 1, \dots, 200$$

$$\text{Channel Center Frequency} = 2407 + 5 \cdot n_{ch} \text{ (MHz)} \dots\dots (2)$$

$$n_{ch} = 1, 2, \dots, 11$$

##### 2.2 $\Delta\Sigma$ Fractional-N 주파수 합성기 구조

$\Delta\Sigma$  Fractional-N 형 주파수 합성기는 아래 그림 1과 같이 구성 되어있다. 본 논문에서 설계한 주파수 합성기의 특징은 2N+2와 2N-2의 주파수 분주비를 이용하여 소수를 만들어 줌으로써 PFD의 Dead Zone 에 따른 주파수의 오차를 최소화 하였다. 또한 PFD의 뒷단에 Pulse Remover를 장착함으로써 Charge Pump의 전류 부정합에 의한 문제를 해결하였다



<그림 1>  $\Delta\Sigma$  Fractional-N 형 주파수 합성기 블록도

<그림 1>에 나타내었듯이 본 논문에서 설계한 주파수 합성기는 VCO, I/Q 통신을 위한 div2회로, 주파수 분주기, 50%의 Duty를 맞추기 위한 div2회로, 소수를 만들어주기 위한 Digital  $\Delta\Sigma$  Modulator, 위상과 주파수를 비교해주는 PFD, 루프 필터로 전류를 입력해주기 위한 Charge Pump회로 및 루프 필터로 구성 되어 있다. 본 논문에서는 주파수 분배기와  $\Delta\Sigma$  Modulator와의 인터페이스단에 대해 논의 하였다. 피드백 체인에서는 주파수 분주기와  $\Delta\Sigma$  Modulator,  $\Delta\Sigma$  Modulator과 주파수 분주기를 연결하는 인터페이스단이 필요하다. Fractional-N 형 주파수 합성기는 피드백 체인에서  $\Delta\Sigma$  Modulator를 이용해서 0과 1의 디지털 신호를 혼합하여 소수단위를 생성시키며 이 신호를 인가받아 Integer-N 형 divider의 분주비를 변환시킨다.

##### 2.3 주파수 분배기 블록 구현

주파수 분주기는 크게 Pulse swallow divider와 Modular divider로 분류할 수 있으며 이중 Modular divider는 modulus control의 디지털 신호로 분주비를 결정하며 이전수로 1~N까지 입력을 인가받아 주파수를 분주한다. 이는 소프트웨어 단에서 쉽게 주파수 분주비를 결정할 수 있다는 장점이 있으며 또한 Fractional-N 형 주파수 합성기의 경우  $\Delta\Sigma$  Modulator가 생성한 0과 1의 신호를 쉽게 분주기에 control단과 연결할 수 있으므로 본 논문에서는 주파수 분주기로 Modular divider를 선택하였다. Modular divider는 세부 divider블록의 위상을 조절하여 주파수를 분주하며 기존의 Modular divider의 경우에는 세부 divider블록의 단수를 N이라고 하면  $2^N - 2^{N+1} - 1$ 까지 주파수를 분주할 수 있다.[5]

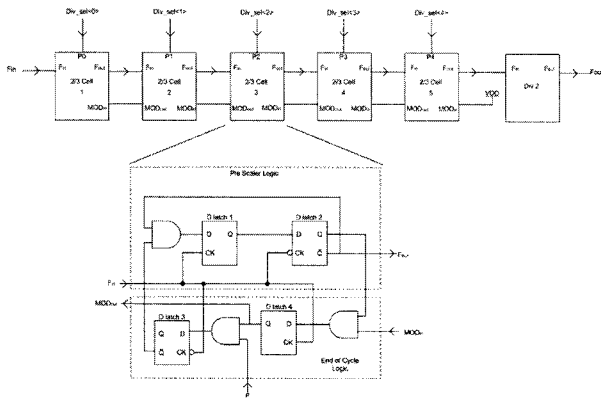
본 논문에서 구현된 Modular divider는 duty를 50%로 보장하기 위해 마지막 단계에 Div2의 세부 블록을 따로 사용하였으며 분주비는 2N+2와 2N-2가 되었다. 이로 인해  $\Delta\Sigma$  Modulator의 Input Range는 감소하지만 PFD의 Dead Zone에서 더욱 떨어진 부분에서 동작함으로써 안정성을 보장받는다.

본 논문에서 설계한 Modular divider는 마지막단에 2 분주기를 연결함으로써 분주비는 다음과 같다.

$$T_{out} = 2 \cdot (2^n \cdot T_{in} + 2^{n-1} \cdot T_{in} \cdot P_{n-1} + 2^{n-2} \cdot T_{in} \cdot P_{n-2} + \dots + 2 \cdot T_{in} \cdot P_1 + T_{in} \cdot P_0)$$

$$= (2^n + 2^{n-1} \cdot P_{n-1} + 2^{n-2} \cdot P_{n-2} + \dots + 2 \cdot P_1 + P_0) \times 2 \cdot T_{in} \quad \dots (3)$$

주파수 분주기의 최대 동작 주파수는 삼성 0.18공정을 사용한 경우 4GHz까지 동작하도록 설계하였으며 이 경우 전류소모는 10mA이다. 아래 <그림 2>에는 Modulus Divider의 회로도를 나타내었다.



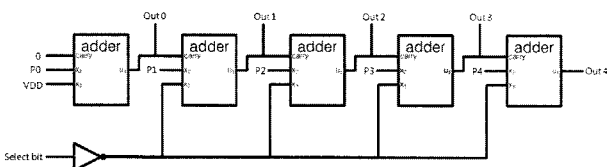
<그림 2> Frequency Divider 회로도

### 2.3.1 MCML(Mos Current Mode Logic)

MCML은 부하 저항에 발생하는 전압으로 로직 레벨을 나타내며 모든 트랜지스터를 선형 영역에서 동작시키므로 속도가 빠른 장점을 갖는다. modular divider의 경우 앞단은 고속으로 동작해야 함으로서 MCML로직을 사용하였다. 그러나 MCML의 경우 고정 전류원을 사용함으로써 정적 전력 소모가 크고 설계가 복잡하다는 단점이 존재한다. modular divider의 경우 세부 블록의 뒷단의 경우 낮은 주파수에서도 동작함으로써 필요한 단 수 까지만 MCML을 사용해야 전력소모를 감소시킬 수 있다. 본 논문에서 802.11n의 spect를 위한 총 세부 분주단은 6단이며 1~3단까지는 높은 주파수에서 동작할 수 있도록 MCML을 사용하였으며 4단 이후부터는 CMOS 로직을 이용해서 설계 하였으며 6단은 2 divider로 동작한다.

### 2.4 인터페이스 블록 구현

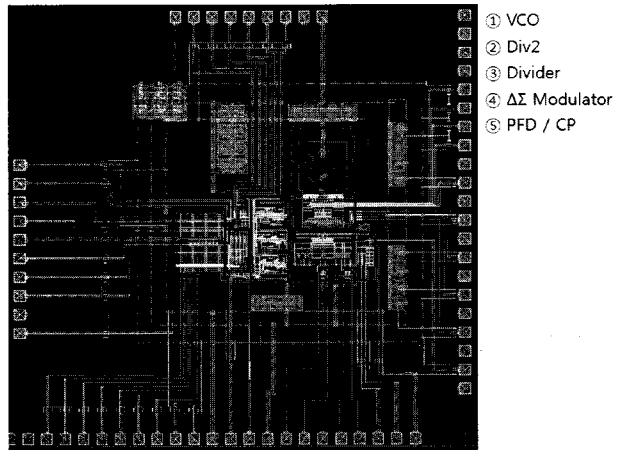
Digital ΔΣ Modulator와 modular divider를 연결하기 위해서는 인터페이스 블록이 필요하다. 채널 결정을 위해 Nbit의 신호가 인가되며 이 신호에 Digital ΔΣ Modulator의 Random화된 신호를 더해야 한다. Digital ΔΣ Modulator는 소수점의 출력을 위해서 Random한 0과 1의 디지털 신호를 전송하며 이 신호를 이용해서 modular divider는 주파수의 분주비를 -2 +2로 변화시켜야 한다. 이를 위해서 5bit의 adder 회로가 필요하며 인터페이스단의 속도 향상을 위해서 CLA(Carry Look ahead Adder)를 사용하였다.



<그림 3> 인터페이스 블록

### 2.5 ΔΣ Fractional-N 형 주파수 합성기의 특징 및 레이아웃

<그림 4>에는 ΔΣ Fractional-N 형 주파수 합성기 Layout을 나타 내었다. 전체 사이즈는 패드를 포함하여 2.3 X 2.2mm<sup>2</sup>이다. 아래 <표 1>에는 설계한 주파수 합성기의 특징을 요약하여 나타내었다.



<그림 4> ΔΣ Fractional-N 형 주파수 합성기 Layout

<표 1> 제안된 주파수 합성기 특징 요약

Parameter	Simulation
Supply Voltage	1.8 V
VCO Tuning Range	4.7~6.8 GHz
KVCO	470 MHz/V
Charge Pump Current	200 uA~1.6 mA
Phase Noise@1MHz	-111 dBc/Hz
Loop Band Width	3.2 MHz
Close Loop PM	70 degree
Reference Frequency	32 MHz
Lock Time	14 uSec
Total power	43 mW
Die Area	2.3 X 2.2 mm <sup>2</sup>

### 3. 결 론

본 논문에서는 802.11규격에 맞는 ΔΣ Fractional-N 형 주파수 합성기를 설계 하였다. 그 결과 11.67ppm의 주파수 오차와 14usec의 Locking Time, -111dBc/Hz의 위상잡음을 가지고 있는 주파수 합성기를 설계하였다. 각 중심 주파수는 Modulus Diver의 입력과 ΔΣ Modulator의 입력 비트를 통하여 802.11전 주파수 대역을 만족하도록 설계 하였다. 본 논문에서 설계한 ΔΣ Fractional-N 형 주파수 합성기의 특징은 Pulse Remover를 PFD 뒷단에 장착한 것으로, 이를 통하여 Spike성 전류를 없앴으므로 VCO의 주파수 제어 전압의 오차를 최소화 하였으며, modular divider 뒷단에 2 divider 단을 추가함으로써 PFD의 Dead zone에서 더욱 멀어지게 설계하였으며 추가된 2divider로 인한 채널 선택의 문제는 ΔΣ Modulator의 Input Range감소시킴으로써 해결하였다.

### [감사의 글]

본 연구는 지식경제부 및 정보통신연구진흥원의 IT핵심기술개발사업의 일환으로 수행하였음[2008-F- 050-01, 자기유지 WBAN/USN 용 Scavenging 기술개발]

### [참 고 문 헌]

- [1] Curtis Barrett, "Fractional/Integer-N PLL Basics," 1999 (<http://focus.ti.com/lit/an/swra029/swra029.pdf>).
- [2] IEEE P802.11nTM/D1.0, March 2006
- [3] Mohammadi A. "Frequency Synthesizer Settling Time and Phase Noise Issue For WLAN Transceiver Application in IEEE 802.11n Standard," : Electrical Engineering, 2007. ICEE '07. International Conference, , pp. 1-5, April. 2007.
- [4] Yijoo Shin. "A Low Phase Noise Fully Integrated CMOS LC VCO Using a Large Gate Length pMOS Current Source and Bias Filtering Technique for 5-GHz WLAN," :Signals, Systems and Electronics, 2007. ISSSE '07. International Symposium on, , pp. 521-524, August. 2007.
- [5] Cicero S. Vaucher, "A Family of Low-Power Truly Modular Programmable Dividers in Standard 0.35-um CMOS Technology," : IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 35, NO. 7, JULY 2000