

900MHz 대역 RFID 수동형 태그 전치부 설계

박경태*, 김중철*, 노형환*, 박준석*
국민대*

900MHz RFID Passive Tag Frontend Design

Kyong-Tae Park*, Jong-Chul Kim*, Hyoung-Hwan Roh*, Jun-Seok Park*
Kookmin University*

Abstract - 본 논문에서는 900MHz RFID 수동형 태그 전치부를 설계하고 검증하였다. 문턱전압(threshold voltage) 제거 구조의 전압 체배기, 전류를 이용한 복조 회로로 설계되었으며 파워다운 회로를 추가하여 정류 동작의 안정성에 중점을 두었다. PWM(Pulse Width Modulation)을 이용한 변조기를 구조로 입력단에 용량성 임피던스의 변화로 변조 동작을 검증하였다. 삼성 0.18um 공정을 이용하였고, 인식거리는 1.5m, 평균 소모 전력은 약 60uW이며, 패드를 포함한 칩 사이즈는 1.22mm²이다.

1. 서 론

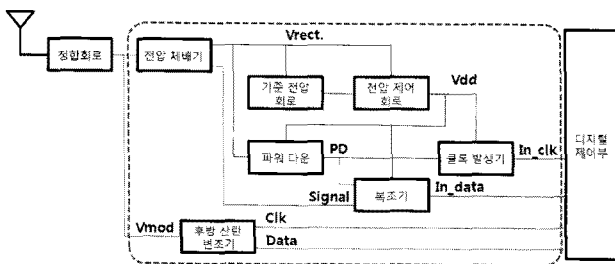
다가올 유비쿼터스 세상의 주요 기술로 무선인식기술(RFID, Radio Frequency Identification)이 주목받고 있다. 물류/유통 분야에 주로 적용되던 기술은 현재 교통, 홈 네트워크 등 실생활에 적용됨은 물론 최근에는 웰빙 시대의 흐름을 타고 헬스 케어(BAN, Body Area Network)에 까지 확대되고 있다. RFID의 세계 시장은 2006년 23억 달러를 넘어섰으며 향후 10년 내에 10배 이상 성장할 것으로 예상하고 있으며, 글로벌 유통업체들은 공급사슬상에서 관리능력의 향상을 위해 RFID 활용을 의무화함으로써 RFID 시장의 확대를 견인할 것으로 전망된다. RFID 시장은 태그, 리더기 등의 하드웨어 분야와 미들웨어 및 시스템통합 등 운영 시스템을 담당하는 소프트웨어 분야로 구분되며, 그 중 태그 부문이 가장 큰 비중을 차지하고 있다. RFID 활용의 제약 요인은 초기 투자비용으로 태그의 가격 문제로 현재 100만개 이상의 대량구매에서도 태그 가격이 낮아지지 않고 있음에 있다.[1] 이에 따라 태그의 가격을 낮추기 위한 소형화 이슈가 있으며, 또한 태그 인식률, 저전력화 등의 성능 보장이 요구된다.

본 논문은 900MHz 수동형 태그 전치부 설계로써 태그의 성능 보장에 중점을 두었으며, 인식거리를 늘리기 위해 전압 체배기의 turn-on 전압을 낮추기 위한 일반적인 구조인 쇼트기 다이오드 사용으로 발생하는 비용과 면적 문제를, CMOS 공정을 이용한 MOSFET 문턱전압 제거 구조를 이용하여 보완하였다.[2]

2. 본 론

2.1 태그 구성

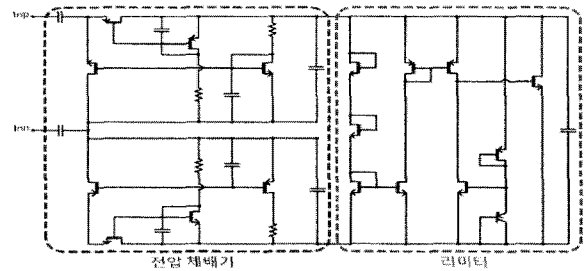
태그 전치부 주요 블록은 수신부에 전압 체배기, 기준전압회로, 전압 제어회로, 클럭 발생기, 파워다운, 복조기, 클럭 발생기, 디지털 제어부 구성되어 있다. <그림 1>은 태그 구성을 블록도로 나타내었다.



<그림 1> 태그 구성

태그 동작에서 가장 중요한 조단의 블록으로 전압 체배기가 위치한다. 전압 체배기는 차동 입력의 AC신호를 수신하여 후단의 블록들을 동작시킬 DC신호로 변환하는 정류 동작을 하며, MOSFET의 문턱 전압을 제거할 수 있는 구조로 설계하였다. 전압 체배기에서 출력되는 DC 전압은 수신 거리에 따라 전압의 크기가 프리스 방식에 따라 거리 네제곱에 반비례하므로, 짧은 거리에서 동작할 때 높은 전압이 수신됨에 따라 회로보호를 위해 리미터 회로를 추가하였다. <그림 2>는 전압 체배기의

구조이다. 전압 체배기의 출력 DC 전압은 회로의 온도변화에 따라 전압 레벨이 변하기 때문에 안정된 전압 공급원으로서 역할을 할 수 없으므로 기준전압회로를 거쳐 온도 변화에 영향을 받지 않는 전압 소스의 생성이 필요하다. 낮은 공급 전압에 동작이 가능하도록 연산 증폭기 피드백을 이용하는 대신 headroom 문제를 줄였다. 전압 제어회로는 선형특성으로 기준전압회로 출력 전압이 로드에 민감한 문제를 해결해 줌으로써 다음단의 클럭 발생기, 복조기 등의 회로에 안정된 공급 전압을 제공한다. 클럭 발생기는 저전력 동작 및 작은 단면적을 위해 구조가 간단한 7단 링 오실레이터 구조를 사용하였고, 온도와 공정 변화에 대한 보상회로를 추가하여 안정된 클럭 출력을 보장하였다.



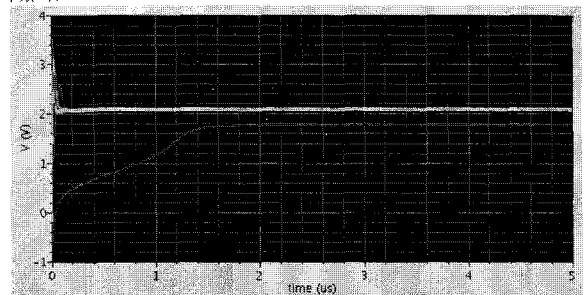
<그림 2> 전압 체배기 구조

파워다운회로는 전압 체배기 동작시 저장 커패시터를 통해 미리 설정해둔 전압레벨이 충전되기 전까지 클럭 발생기와 복조기 회로가 동작을 하지 못하도록 설계되었다. RFID 태그에서 일반적인 구조로 포락선 검파기 구조를 사용한다. 이 구조는 구현이 간단한 반면 거리에 따른 정확한 기준 전압을 설정하기 어렵고, 기준전압을 만들기 위한 높은 시정수 값을 요구하기 때문에 사이즈가 커지는 단점이 있다. 전압을 이용한 복조회로는 근거리 신호의 복조가 어려운 단점을 가지며, 이를 극복하기 위해 전류를 이용한 복조회로를 설계하였다.[2] 마지막으로 변조기는 간단한 구조의 PWM(Pulse Width Modulator)[3]로 변조기의 출력 신호가 태그 칩 입력단의 커패시터 로드를 스위칭하는 역할을 하여 입력 임피던스 값을 변화시켜 송신 동작시 후방 산란의 레벨을 조절한다.

2.2 시뮬레이션 결과

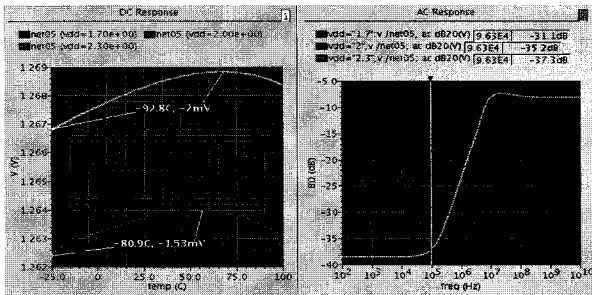
2.2.1 블록 시뮬레이션

거리에 따른 태그 칩 입력 전압이 전압 체배기에 인가되어 리미터를 거쳐 DC 신호로 출력된다. 이때 출력 DC 레벨은 0.18um 공정의 thin oxide MOSFET이 견딜 수 있는 2.7V이하 전압 레벨을 리미터를 통해 제한해야 하며, 1.5V이상의 전압이 출력될 때 후단의 회로를 안정적으로 동작시킬 수 있다. <그림 3>은 전압 체배기의 출력 결과로써 20cm부터 1.5m까지의 동작 범위에 대한 시뮬레이션이다. 50uA 전류 로드를 사용하였다.



<그림 3> 전압 체배기 출력

<그림 4>는 기준전압회로 시뮬레이션 결과로 전압 체배기의 출력이 1.7V~2.3V 사이에 있다는 조건아래 온도변화(-25°C~100°C)에 대한 특성과 PSRR(Power Supply Rejection Ratio) 결과이다. 전압레벨과 온도 변화에 환경에서 전압 변동은 최대 1,578ppm, 100MHz에서 -30dB이상의 PSRR 특성을 보였다.



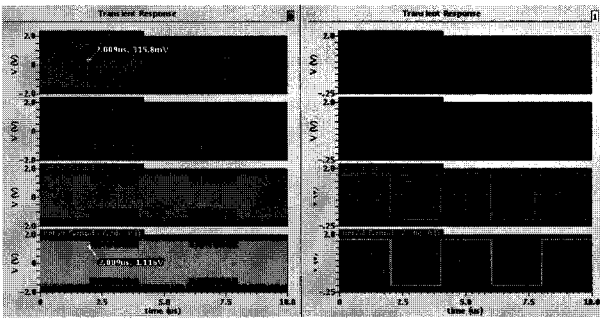
<그림 4> 기준전압회로 시뮬레이션

클럭 발생기는 Multi-code, Multi-data rate를 목표로 3.84MHz 클럭을 생성한다. <표 1>은 클럭 발생기 시뮬레이션 결과로 온도, 공정보상 효과를 표로 정리하였다. 최대 오차는 9.6%이다.

<표 1> 클럭 발생기 시뮬레이션(단위:MHz(오차(%)))

공정 \ 온도(°C)	-25	27	100
ss	3.47 (9.6)	3.57 (7.0)	3.65 (4.9)
nm	3.75 (2.3)	3.77 (1.8)	3.80 (1.0)
ff	3.96 (3.1)	3.96 (3.1)	3.90 (1.6)

<그림 5>는 변조율에 따른 복조기 동작으로 시뮬레이션을 통해 15%~100% 변조율에 대해 변조가 가능하기 때문에 변조율이 낮은 신호인 가로 전압 체배 효과를 높일 수 있다.

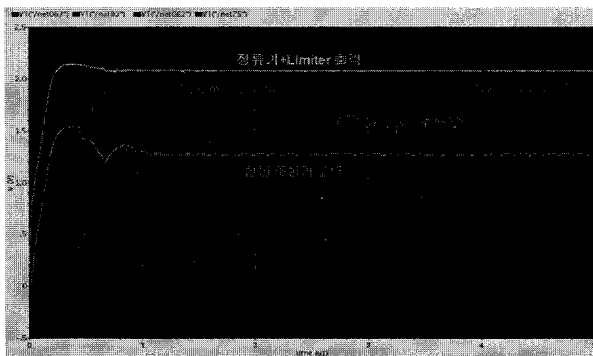


<그림 5> 변조율에 따른 복조기 동작

변조기는 용량성 임피던스 로드를 이용한 스위칭 동작으로 입력 임피던스 조절을 하는 구조로 스미스 차트상의 결과로 90° 위상차를 확인하였다.

2.2.2 거리 1m 시뮬레이션

태그와 리더간 거리를 1m로 가정하고, 주요 블록들에 대해 시뮬레이션 결과를 <그림 6>에 나타내었다.

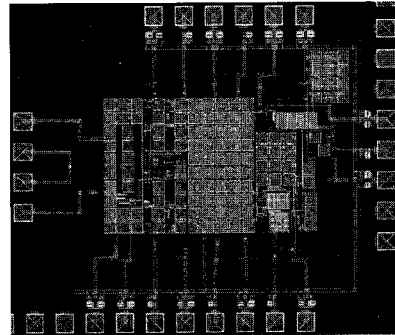


<그림 6> 전체 동작 시뮬레이션(@거리 1m)

전압 조정기 출력은 기준전압회로의 출력을 기준 값으로 설정하여 피드백을 통해 로드영향도 DC 레벨을 유지하고 있음을 확인하였고, 클럭 생성기 또한 정확한 듀티비의 클럭을 생성하였다.

2.3 칩 레이아웃

4-Metal 공정을 이용하였고, Pads를 포함한 전체 칩 사이즈는 1.2mX1.02m이다.



<그림 7> 태그 칩 레이아웃

3. 결 론

설계한 900MHz RFID 수동형 태그 전치부 회로는 삼성 0.18um CMOS 공정을 이용하였고, 특징은 문턱전압 제거 회로 구조와 전류 모드 복조기 설계 및 보상회로를 포함한 다중 Specification 클럭 발생기 회로이며, 시뮬레이션을 통해 성능을 검증하였다. 설계된 태그 칩의 주요 성능 지표를 <표 2>에 정리하였다.

<표 2> 태그 칩 주요 성능

중점 사항	성능	비고
인식거리	1.5m	
소모 전력	약 60uW	복조기:45uW
최대 클럭 오차	9.6%	-25°C, ss
변조도	15%~100%	
사이즈	1.2m*1.02m	패드 포함

향후 Fab out 후 검증을 위한 평가 보드에 매칭 네트워크 및 디지털 처리부를 구성하여 전체 태그 동작에 대해 검증하겠다. 다음 단계의 설계 계획은 체배 효율을 높이기 위한 전압 체배기의 구조 연구와 그에 따른 인식거리 연장 및 저전력 동작에 중점을 둔 연구 및 설계이다.

[감사의 글]

본 연구는 지식경제부 및 정보통신연구진흥원의 IT핵심기술개발사업의 일환으로 수행하였음(2008-F-050-01, 자기유지 WBAN/USN 용 Scavenging 기술개발)

[참고 문헌]

- [1] 조현승, "RFID 활용 확산을 위한 정책 방향," *e-KIET 산업경제정보*, 제395호, pp.1-12, 2008.
- [2] H. Nakamoto, et al., "A Passive UHF RF Identification CMOS Tag IC Using Feffoelectric RAM in 0.35-um Technology," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 42, NO. 1, JANUARY 2007.
- [3] N. Pillin, N. Joehl, C. Dehollain, "High Data Rate RFID Tag/Reader Architecture Using Wireless Voltage Regulation," *2008 IEEE International Conference on RFID*, 2008.