

다구찌법을 이용한 나선형 인덕터의 Q-factor개선을 통한 Low Noise RF Front-End Design

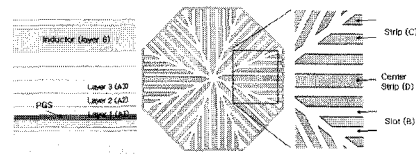
최진규\*, 정효빈, 고재형, 김형석  
 중앙대학교 공과대학 전자전기공학부\*

A Design of Low Noise RF\_Front-End for Improvement Q-factor of Spiral Inductor Using Taguchi's Method

Jin-Kyu Choi\*,Hyo-Bin Jung, Jae-Hyeong Ko, Hyeong-Seok Kim  
 School of Electrical and Electronics Engineering Chung-ang University\*

**Abstract** - This article describes optimization for PGS(Patterned Ground Shield) of rectangular spiral inductor using Taguchi's Design of Experiment. PGS is decrease method of parasite component by silicon substrate among dielectric loss reduction method. Using taguchi's design of experiment, each parameter is fixed upon that PGS high poison(A), slot spacing(B), strip width(C) and overlap turn number(D) of PGS design parameter. Then we verified that percentage contribution and design sensitivity analysis of each parameter and level by signal to noise ratio of larger-the-better type. We consider percentage contribution and design sensitivity of each parameter and level, and then verify that model of optimization for PGS is lower inductance decreasing ratio and higher Q-factor increasing ratio by EM simulation.

으로 넣는다. SGS에 slot을 넣은 것을 PGS라 한다. PGS는 유도전류의 선로를 cut off 시킴으로써 개방 회로가 되게 한다. PGS의 저항은 에너지 소비를 야기하나 일반적으로 oxide층의 저항보다 매우 작으므로 무시해도 된다. 그러나, PGS를 통과하는 자기장의 감소를 최소화하기 위해 사용하려는 주파수에서의 skin depth보다는 PGS의 두께가 얇아야 한다[1].



〈그림 1〉 PGS 구조 및 설계 인자

1. 서 론

집적회로에 들어가는 RF 소자들 중 나선형 인덕터는 부품의 소형화에 중요한 영향을 미치는 수동 소자이다. 나선형 인덕터의 주요 성능을 나타내는 인덕터의 Q(Quality)-factor는 인덕터의 구조, 선로 폭, 선로 길이, 선로 간격 및 턴 수에 따라 영향이 크다.[1]

인덕터의 성능을 개선시키는 방법에는 conduction loss나 dielectric loss 및 eddy current loss를 줄이는 방법 등 여러 가지가 있다[2]. Dielectric loss를 줄이는 방법 중 인덕터와 실리콘 substrate 사이에 PGS(Patterned Ground Shield)를 적용하여 Ground Shield에 slot으로 loop current를 cut off 시킴으로써 eddy current loss 또한 줄이는 방법이 있다.

PGS가 나선형 인덕터에 삽입하여 Q-factor의 특성을 살펴보면 주파수가 높을수록 증가율이 높아지지만 인덕터의 턴 수와 구조에 따라 PGS의 영향으로 인덕턴스와 Q-factor의 증감률이 다르게 나타난다. 적은 턴 수의 사각형 나선형 인덕터와 많은 턴 수의 팔각형 나선형 인덕터에서 PGS가 삽입함으로써 Q-factor가 더 많이 증가한다[3].

본 연구에서는 향상된 Q-factor를 이용하여 RF Receiver Front-End에 사용되는 인덕터에 적용하여 향상된 Q-factor를 통한 Low Noise의 영향을 확인 하고자 하였다.

2. 본 론

인덕터의 Q-factor 개선을 위해 적용하는 PGS는 일반적으로 Oxide층과 Substrate층의 경계면에 삽입한다[1]. 본 연구에서 사용되는 PGS 구조 설계 인자를 PGS의 삽입 위치인 인덕터와 PGS의 간격과 인덕터에 의한 유도 전류(loop current)를 줄이기 위한 slot의 간격 및 인덕터에서 형성되는 전기장을 차단시키기 위한 strip 넓이와 함께 PGS의 첫번째 strip과 인덕터의 선로와 겹치는 턴 수로 하여 다구찌 실험 계획법을 이용하여 최적의 PGS 구조를 설계하였다.

2.1 최적 PGS 설계

인덕터와 실리콘 사이에 SGS(Solid Ground Shield)를 삽입하여 접지시켜 단락 시키면 실리콘의 기생성분인  $R_{si}$ 와  $C_{si}$ 의 값을 줄일 수 있다. 그러나, SGS는 인덕터의 자기장을 방해한다. Lenz's 법칙에 따르면 유도전류가 인덕터의 자기장에 의해 SGS에 유도된다. 이 유도전류가 인덕터에 흐르는 전류의 반대방향으로 전류가 흐르기 때문에 두 전류 사이에 반대의 상호 커플링이 발생해서 자기장을 줄이는 현상이 일어나고 이는 전체 인덕턴스를 감소시킨다. 유도전류에 의한 전체 인덕턴스의 감소를 줄이기 위해 SGS에 유도된 유도전류의 흐름을 방해하기 위해 SGS에 slot을 나선형 인덕터에 수직

본 논문에서 사용되는 PGS구조 설계 인자를 PGS의 삽입 위치인 나선형 인덕터와 PGS의 간격(A)과 나선형 인덕터에 의한 루프 전류를 감소시키기 위한 슬롯의 간격(B) 및 나선형 인덕터에서 형성되는 전기장을 차단시키기 위한 스트립 넓이(C)와 함께 중앙 스트립 넓이(D)로 하여 다구찌법을 이용하여 PGS 구조에 대해 연구 하였다.[2] 각 설계인자는 각각 세 가지 수준 수를 갖도록 하였으며 최소 실험 회수를 조합을  $L9(3^4)$ 형 직교 배열표를 사용하였다. 모의시험 조합에 따라 2.45GHz의 주파수를 대역에서 산출된 Q-factor로 정의된 특성 치에 대한 SN비를 계산하였다. SN비는 설계 인자의 수준 변화가 설정된 특성 치에 크면 클수록 좋은 감도를 갖는 망대특성을 나타내므로 식(1)에 의해 계산 하였다.

$$SN_{LB} = -10 \log \left( \frac{1}{n} \sum_{i=1}^n \frac{1}{y^2} \right) \quad (1)$$

위의 과정을 거쳐 최적화된 PGS 구조를 설정 하여 회로에 적용 하였다.

2.2 RF Receiver Front-End Design

2.2.1 LNA 설계

본 논문에서는 일정한 전력 소모를 유지하면서 입력 매칭과 노이즈 매칭을 동시에 만족시키는 Power Constrained Simultaneous Noise Input Matching (PCSNIM) 방법을 사용하여 LNA를 설계 하였다. 입력단 매칭회로는 degeneration 인덕터  $L_s$ 와 게이트-소스 간 커패시터  $C_{ex}$ , 게이트 단 인덕터  $L_g$ 로 구성된다. 본 연구에서 설계한 LNA의 임피던스는 식(2)에 나타내었다.

$$Z_{in} = \frac{L_s}{C_t} g_m + j \left( wL_s + wL_s - \frac{1}{wC_t} \right) \quad (2)$$

PCSNIM 방식의 LNA를 설계하기 위해 먼저 게이트단의 바이어스 전압을 결정해야 한다. 이때 게이트 단의 바이어스 전압은 최대 이득과 NFmin을 고려하여 결정한다. 바이어스 전압이 결정되면 주어진 소비 전력을 만족하는 트랜지스터의 크기를 결정한다. 트랜지스터의 크기가 크면 전력 소비가 커지고, 트랜지스터의 크기가 작으면 전력 소비는 줄어들지만 트랜지스터의 cutoff 주파수인  $w_T$ 가 낮아지므로 적절한 트랜지스터의 크기를 결정하는 것이 중요하다.

$$Re[Z_{opt}] = Re[Z_s] \quad (3)$$

$$Im[Z_{opt}] = Im[Z_s] \quad (4)$$

$$Im[Z_{in}] = -Im[Z_s] \quad (5)$$

$$Re[Z_{in}] = Re[Z_s] \quad (6)$$

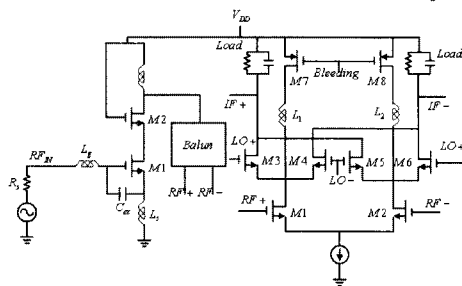
다음 단계로 식 (3)과 식 (6)을 동시에 만족시키는  $C_{ex}$ 와  $L_s$ 를 선택한다.  $L_s$  값이 너무 커지게 되면 NFmin이 커지게 되며,  $C_{ex}$  값이 커지면 이득이 떨어지므로 적절한  $C_{ex}$ ,  $L_s$  값이 요구된다. 그 후 식 (2)과 (3)을 만족시키는 매칭 회로를 인덕터  $L_g$ 를 이용하여 구성한다. 입력단의 회로 구성이 완성되면 최대 이득을 얻기 위한 출력 매칭을 하며, 그 후에는 전체 성능을 고려한 튜닝을 통하여 설계를 마무리한다.[4]

### 2.2.2 Mixer 설계

본 논문에서는 Mixer 설계를 직접 변환 방식으로 설계를 하였다. 혼합기를 직접 변환 방식으로 설계 할 경우 MOS에서 생성되는 고유잡음인 Flicker noise 특성이 주요 고려사항이 된다. Flicker Noise의 주요 원인은 혼합기의 switching단과 bias current이다. 그리고 RF단의 bias current의 증가는 높은 이득과 향상된 선형성을 보장하지만 이로 인해 LO switching current가 증가함으로써 voltage headroom 문제를 야기한다. LO switching단에서 생성되는 Flicker Noise를 줄이기 위해서는 LO swing폭이 크고, 트랜지스터의 width가 넓어져야 한다. 하지만 트랜지스터의 크기가 커지면서 기생 커패시턴스(Cp)가 커지며 이는 LO Switching 단의 영향을 준다. 이는 1/f noise의 증가로 이어지므로 트랜지스터의 기생 커패시턴스(Cp)를 상쇄시킬 수 있는 방법이 요구된다. 또한 noise 전류는 bias 전류에 비례하고 혼합기의 flicker noise는 switching단의 영향을 많이 받으므로 switching단의 bias current를 줄여야 할 필요가 있다. 이를 해결하기 위해 본 논문에서는 CMOS를 이용한 current bleeding 기법을 이용하여 혼합기를 설계하였다. [5]

### 2.2.3 RF Front-End

Mixer와 LNA를 각각 설계한 후 두 회로를 Balun을 연결하여 LNA-Mixer를 시뮬레이션 하였다. Mixer의 LO입력단 역시 Balun을 연결하여 단일의 LO신호가 Balun을 통해 Balanced되어 Mixer로 입력되도록 구성하였다. 본 연구에서 설계한 LNA-Mixer의 Schematic을 그림 2에 나타내었다.



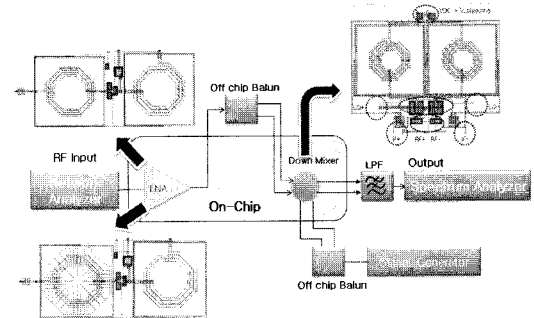
〈그림 2〉 Front-End Schematic

설계한 LNA-Mixer의 시뮬레이션 결과 RF Power가 -40dBm, LO Power가 0dBm, RF 주파수가 2.45GHz일 때 이득은 30.57dB이며 NF는 1.99dB가 나왔다. 그리고 같은 조건에서 PGS구조가 결합된 LNA-Mixer의 시뮬레이션 결과 Gain은 30.57로 같은 결과를 보였으며 NF 결과 1.95dB로 0.04정도의 향상된 결과를 볼 수 있었다. 설계한 LNA, Mixer 와 이를 적용한 Front-End 시뮬레이션 결과 값을 표 1에 정리하였다.

〈표 1〉 Simulation result

	NGS_LNA	PGS_LNA	Mixer	NGS+Mixer	PGS+Mixer
Gain[dB]	14.571	14.571	16	30.57	30.57
NF[dB]	1.699	1.657	6	1.99	1.95

설계한 LNA-Mixer의 One chip제작을 위해 TSMC 0.18um공정을 이용하여 레이아웃 하였다. 레이아웃 시 모의 실험 결과와 측정결과와의 차이를 줄이기 위해 기생소자를 최대한 고려하여 레이아웃 하였다. Layout를 한 후 테스트 환경을 그림 3에 나타내었다.



〈그림 3〉 Test Environment of Front-End

### 3. 결 론

본 연구에서 나선형 인덕터에 삽입되는 PGS로 인해 Q-factor와 인덕턴스를 향상시키기 위해 최적의 PGS 구조를 찾기 위해 다구찌 실험 계획법을 사용하였다. PGS 설계하기 위한 여러 인자 중 주요 인자를 결정하여 다구찌 실험 계획법을 통해 인자 별 백본 기여율과 설계 인자 및 수준별 설계 민감도를 분석하였다. 낮은 주파수에서는 strip 넓이(C)가 많은 영향을 주나 주파수가 증가하면서 PGS 높이(A)가 Q-factor와 인덕턴스에 많은 영향을 주는 것을 확인 할 수 있었다. PGS를 삽입함으로써 Q-factor 향상을 크게 하면서 인덕턴스 감소가 적은 구조의 PGS를 찾아 EM 시뮬레이션을 통해 넓은 주파수 대역에서도 일정한 영향을 주는 구조를 찾았다.

설계한 PGS 구조를 TSMC 0.18um 공정의 인덕터에 삽입 하여 시뮬레이션 하였다. 시뮬레이션 결과 NF가 0.04dB의 향상된 값을 얻었다. 향후 IC 설계에 사용되는 많은 인덕터 Layout시 PGS 구조를 삽입 하여 설계 하여 전체적인 시스템의 NF 향상에 기여 할 수 있을 것으로 사료 된다.

### 감사의 글

본 연구는 2008년 중소기업 산학 지원사업의 지원에 의해 수행 되었음

### 참고 문헌

- [1] C. Patrick Yue, S. Simon Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's", IEEE J Solid-State Cir., vol. 33, pp. 743-752, May, 1998.
- [2] Shang-Yu Liang, Shu-Hui Tsai, Chun-Hsien Lee and Ruey-Shing Huang, "Modeling and comparison of Different Micromachined Tree-Dimensional Inductors", IEEE, 2002.
- [3] 고재형, 김동훈, 김형석 "다구찌법을 이용한 나선형 인덕터의 품질계수 개선에 관한 연구" 마이크로파 및 전파학술대회 논문집, pp491-494, Sep, 2007.
- [4] T. K. Nguyen, V. Krizhanovskii, J. Lee, S. K. Han, S. G. Lee, "A Low Power RF Direct-Conversion Receiver/Transmitter for 2.4 GHz Band IEEE 802.15.4 Standard in 0.18-um CMOS Technology," Microwave Theory and Techniques, IEEE Trans., vol. 54, no. 12, pp. 4062-4071, Dec, 2006.
- [5] Park, C. H. Lee, B. S. Kim, J. Laskar, "Design and Analysis of Low Flicker Noise CMOS Mixers for Direct Conversion Receivers," IEEE Trans. on Microwave theory and techniques, vol. 54, no. 12, pp. 4372-4380, Dec., 2006