

효율적인 ESD(ElectroStatic Discharge) test를 위한 Stress mode 제안

강지웅* · 장석원* · 광계달**

Stress mode proposal for an efficient ESD test

Ji-Ung Gang, Seog-Weon Chang and Kae-Dal Kwack

Key Words: ESD(Electrostatic Discharge, 정전기 방전), MM(Machine Model, 기계적 모델), ESD Stress Mode(정전기방전 스트레스 모드), JEDEC(Joint Electron Device Engineering Council, 합동 전자 장치 엔지니어링 협의회)

Abstract

Electrostatic discharge(ESD) phenomenon is a serious reliability concern. It causes approximately most of all field failures of IC. To quality the ESD immunity of IC product, there are some test methods and standards developed. ESD events have been classified into 3 models, which are HBM, MM and CDM. All the test methods are designed to evaluate the ESD immunity of IC products. This study provides an overview among ESD test methods on ICs and an efficient ESD stress method. We have estimated on all pin combination about the positive and negative ESD stress. We make out the weakest stress mode. This mode called a worst-case mode. We proposed that positive supply voltage pin and I/O pin combination is efficient because it is a worst-case mode.

1. 서 론

정전기는 전자 소자와 제품의 설계와 제조 측면에서 발생하는 고장의 원인이 되어왔다. 정전기방전(electrostatic discharge/ ESD)에 의한 고장은 소자와 제품의 생산, 점검, 보관, 조립, 운송, 실제운용 및 수리에 걸친 전 분야에 걸쳐 영향을 미치기 때문에 심각한 문제가 되었다. 더욱이 전자기술의 발전으로 보다 높은 집적도, 고성능, 절전형 회로가 만들어졌고 이러한 회로들은 ESD 충격에 보다 민감하게 되었다. ESD에 의한 손상은 완전고장을 일으키며 또한 고장이 일어날 때까지 알 수 없을 정도로 서서히 기능을 떨어뜨리

기도 한다.⁽¹⁾ 그렇기 때문에 ESD는 소자의 고장 원인 및 신뢰성판단의 중요한 부분이 되었다. ESD에 의한 고장을 예방하기 위해서 ESD modeling과 결합 분석을 통해서 ESD 고장 메커니즘을 밝혀냈고 보호회로설계에 관련한 새로운 기술들이 계속 만들어지고 연구되고 있다.

더불어 이러한 보호방식에 대한 내구성을 시험하기 위해 EIA/JEDEC, MIL-STD등의 표준이 ESDA, AEC와 같은 관련단체들을 통해 정립되었으며 소자의 신뢰성을 판단하기 위해 표준에 따라 ESD 시험을 시행하고 있다.

표준 규정에 따라 시험을 진행했을 때에는 IC의 모든 핀의 조합을 시도해보기 때문에 많은 시료와 시험횟수를 요구하게 된다. 그래서 본 연구에서는 내구성의 취약점을 찾아 시험을 진행하면서 사용되는 시료와 시험 횟수가 줄일 수 있는 방법을 찾아 효율적으로 ESD 소자내구성을 판단할 수 있는 수정된 stress mode를 제안하고자 한

† 강지웅, 한양대학교 전자전기컴퓨터공학부
E-mail: suogong@naver.com
TEL : 019-460-4257

* 한양대학교 신뢰성분석연구센터(RARC)

** 한양대학교 전자전기컴퓨터공학부

다.

2. ESD 고장 메커니즘

ESD는 물질에 대전된 전하들이 방전되어서 나타나는 현상이다. 물질의 접촉성 대전(tribo-electric charging)의 결과로서 100V~20kV 정도의 전압이 발생할 수 있으며, 대전량은 물질이나 습도에 따라 다르게 나타난다.

정전기의 대전과 방전은 크게 세 가지의 원인으로 발생한다. 첫 번째로 가장 보편적인 원인은 human handling에 의한 것으로 사람의 몸에 최대 20kV의 전하가 쌓일 수 있다. 방전 시 1~10A의 전류가 10ns~100ns의 짧은 시간동안 일어나며 발생하는 에너지의 양은 micro-joules 단위로 작은 양이지만 소자의 면적도 작기 때문에 충분히 고장이 일어날 수 있는 원인이 된다.

두 번째 원인은 IC가 대전된 표면, 재료에 접촉하거나 운송할 때 그라운드전위에 접촉할 때 대전된 전하들이 그라운드 쪽으로 방전되는 것이다. 핀이나 내부 연결선으로 커다란 전류가 유입되어 내부에 커다란 전압을 생성시켜 얇은 유전체와 절연체에 손상을 주게 된다. 또한 자동화 시스템의 경우 부적절한 접지에 의해 운반기기에 전하가 축적되어 발생하게 된다. 대전량은 크나 정전압(static voltage)은 대체적으로 낮고 짧은 시간 동안 일어나며 높은 전류펄스가 발생한다.

세 번째 원인은 소자의외부의 자기장에 의해서 발생한다. 자기장(magnetic field)에 의해 소자 내부에 유도전하(induced charge)를 생성되어 방전되면서 발생하는 1ns미만의 짧은 시간에 높은 과도 전류가 고장을 발생시킬 수 있다.

고장 소자에서 나타나는 ESD에 의한 손상은 크게 두 가지 고장모드가 있다.⁽²⁾ 이 두 가지 모드는 전압에 의한 손상과 전류에 의한 손상이다. 이 두 모드의 고장메커니즘의 예들을 Fig. 1 (a), (b), (c), (d)에 나타내었다.

전압에 의한 손상의 고장 메커니즘에는 절연체 파괴(dielectric damage)와 산화막 파괴(oxide punch-through)이다. 고입력 임피던스와 얇은 산화층을 가진 MOS 계열의 IC들에서 잘 나타난다. 파괴 전압은 금속 전극간의 거리에 영향을 받는다. ESD가 발생했을 때 산화막의 내구도 이상의 전압에 의해 절연체가 파손이 되고 그 파손에 의해

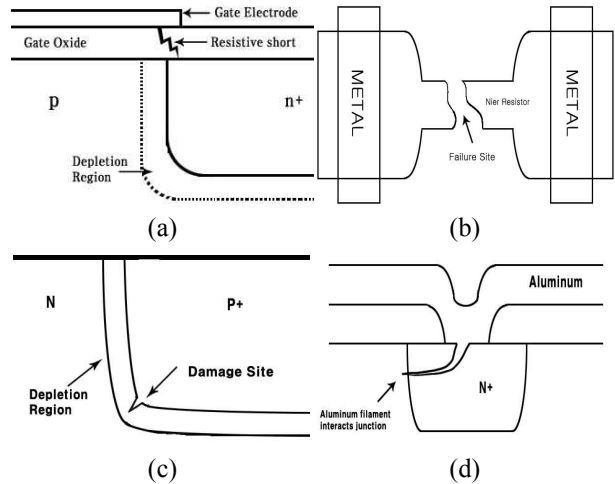


Fig. 1 Failure Damage Mechanism

- (a) Oxide rupture
- (b) Thin film burn-out
- (c) filamentation
- (d) Junction spiking

누설전류가 발생하거나 단락이 일어나게 된다. Fig. 1 (a)에 볼 수 있듯이 전극(electrode) 모서리 부분에서 PN-junction의 n형영역으로 산화막 파괴(oxide rupture)가 일어날 수 있다.

전류에 의한 손상의 고장 메커니즘에는 junction부분에서 방전전류에 의해 metallization burn out과 fusion이 발생한다. 에너지 소산(energy dissipation)과 줄열(joule heating)에 의해 IC의 내부 회로가 녹게 된다. ESD에 의한 과도 전류가 Thermal runaway와 meltdown을 발생시키고 그로 인한 온도의 증가와 전도도의 감소로 인해 부분적인 열점(hot spot)을 발생시킨다. 이러한 현상으로 인해 그림. 1 (b)와 같은 IC 연결부의 단락, (c)와 (d)와 같은 녹은 소재의 이동에 의한 파괴 현상이 발생하게 된다. 이러한 현상들은 주로 polysilicon resistors/interconnects 에서 발생되며 일반적으로 ESD고장 중 가장 쉽게 발생하는 형태이다. 이는 주로 thermal effect때문이다. Junction damage/ contact spiking의 경우는 ESD stress에 의한 2차 breakdown과 thermal run-away에 따라 P-N junction이 파손되는 것을 의미하며 이런 junction 파괴는 contact spiking으로 발전되는 형태이다.⁽¹⁾

3. ESD 시험

3.1 ESD stress mode

ESD 시험 시 시료의 핀에 대해 ESD zapping을 하는 방식에 대한 핀의 조합은 4가지 mode가 있

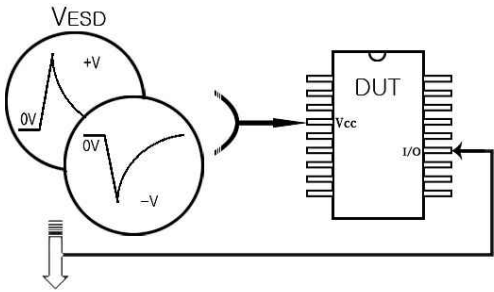


Fig. 2 ESD Stress mode

으며 pin-to-V_{CC}(V_{DD}), pin-to-V_{EE}(V_{SS}), pin-to-pin, and V_{CC}(V_{DD}) to- V_{EE}(V_{SS})로 정리 된다.⁽³⁾

이 네 가지 모드를 바탕으로 시험을 실시했을 때 사용되는 시료의 수를 구하는 기본식을 다음과 같이 정리할 수 있다.

$$Z = 2k(PG + Gn + Pn + n) \quad (1)$$

위의 기본식을 n으로 묶어 정리하면 식 (2)와 같다.

$$Z = 2k(PG + n(P + G + 1)) \quad (2)$$

여기서

Z : 사용된 시료의 개수

k : 단일 ESD stress mode 반복 횟수

P : Supply voltage pin의 개수

G : Ground pin의 개수

n : I/O pin의 개수

N : 시험시료의 총 pin의 개수 (N=n+P+G)

JEDEC 표준에서는 Table 1과 같은 핀의 조합

Table 1 Pin Combinations for IC in JEDEC/MM

Pin Combination	Connect Individually to Terminal A	Connect to Terminal B (Ground)	Floating Pins (unconnected)
1	All pins one at a time, except the pin(s) connected to Terminal B	First power pin(s)	All pins except 1/PUT and first power pin(s)
2	All pins one at a time, except the pin(s) connected to Terminal B	Second power pin(s)	All pins except PUT and second power pin(s)
3	All pins one at a time, except the pin(s) connected to Terminal B	Nth power pin(s)	All pins except PUT and Nth power pin(s)
4	Each Non-supply pin, one at a time	All other Non-supply pins collectively except PUT	All power pin

을 사용하고 있다. 그러나 이 조합도 역시 앞에서 설명한 4가지 모드로 정리할 수 있다. 따라서 식 (1)을 통해 사용된 시료의 총 개수를 구할 수 있다.

이러한 핀의 조합 중 ESD 충격이 주어졌을 때 가장 낮은 전압에서 고장이 일어나는 핀의 조합 (worst- case mode)을 통해 해당 소자의 ESD 내구성을 판단하게 된다.

3.2 ESD 시험 모델

ESD 내구성을 측정하기 위해 발생원인에 따라 다양한 모델들이 만들어 졌다. 대표적으로 IC를 시험하는 경우에는 HBM(Human Body Model), MM (Machine Model), CDM(Charged Device Model) 3가지가 사용되며 세 모델은 Table 2에 나타낸 것과 같이 각 모델이 가지는 소자의 값이나 시험기준에 차이를 나타낸다. 본 연구의 시험은 MM의 기준에 맞춰 실시되었다.

HBM은 대전된 인체에 의한 경우로 MM은 대전된 물체나 기계에 의한 소자의 pin에 접촉했을 때 순간적으로 소자내부로 전하가 방전되는 현상을 모델화 한 것이고 CDM은 소자의 pin이나 body에 마찰 또는 자기장에 의해 소자내의 capacitance 성분에 전하가 축적되었다가 외부로 방전되는 현상을 모델링한 것이다.

MM과 HBM은 CDM과는 달리 외부에 대전된 객체로부터 소자의 배부로 방전이 되는 것을 모델로 한 것이다. 그래서 HBM과 유사하게 커패시터에 일정 전압으로 충전되고 소자로 방전되며 커패시터 C_c에 직접 테스트 소자가 묶여 있다. 또한 MM은 일본에서 만들어졌기에 종종 Japanese Model이라고 불리기도 한다.

MM 방전회로는 200pF, R₁은 0Ω으로 정의 되는 Fig. 3의 나타난 RLC회로로 나타내어진다.

Table 2 Comparison of ESD Models (JEDEC)

Test Model	HBM	MM	CDM
R(Ω)	1500+/-10%	0	for Module C(pf)
C(pf)	100+/-10%	200+/-10%	
Number of zaps	1 positive 1 negative	1 positive 1 negative	5 positive 5 negative
Time Delay (between zaps)	>=0.3sec	>=0.5sec	>=0.2sec
Failure Criteria	post stress function/parametric tests		

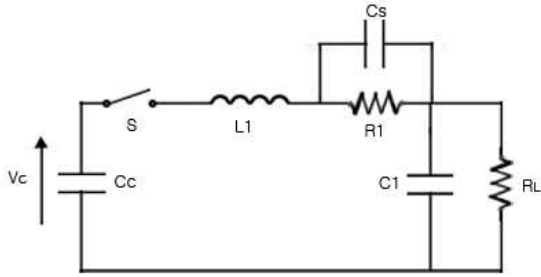


Fig. 3 Equivalent RLC circuit for MM modeling

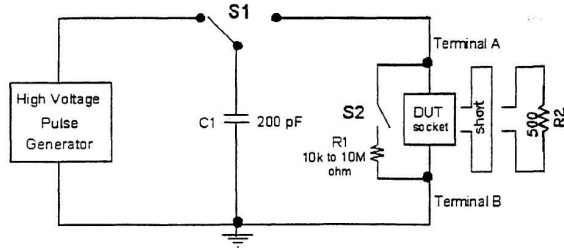


Fig. 4 Typical equivalent MM ESD circuit

그러나 실제 시험상황에서는 표준에 맞는 회로로 구성된다. JEDEC 표준은 Fig. 4와 같은 회로로 MM을 구성한다. 그 결과 MM waveform은 수 ns의 rise time을 가지는 파형을 가진다. 위에서 말했듯이 이 모델은 반도체 제조 장비, 운반 장비 등 기계에서 방전되는 현상을 모델화한 것이다.

3. ESD 보호회로

ESD에 의한 결함을 줄이는 방법에는 두 가지가 있다. 반도체 제조하는 동안에 사람과 장비가 잘 접지 되도록 하는 것과 패키지 된 소자의 핀을 내부 보호 회로에 연결하는 것이다. 이 회로는 내부의 회로들을 ESD stress의 과도 전류와 전압으로부터 보호하는 기능을 하고 있다. 칩을 사용하는 고객의 취급 방법을 제어하기는 힘들기 때문에 내부의 효과적인 보호회로는 필수적이다.

높은 전압과 전류에서의 소자의 동작은 일반적으로 그 소자가 동작하는 영역을 벗어나서 동작하는 경우가 많다. ESD stress가 인가된 동안의 현상을 이해하기 위해서는 높은 전류가 흐르는 소자의 이해가 필수 조건이다. 좋은 보호회로는 ESD 현상이 일어났을 때 발생하는 열과 과도한 전류, 높은 전계에 대한 내성이 좋아야 한다. 이러한 ESD stress에 대한 내성은 회로를 보호하려는 회로, 소자의 설계와 레이아웃 방법 등에 의

존한다.

이상적인 ESD 보호회로는 높은 전압에는 낮은 임피던스를 갖고 낮은 전압이나 동작 전압에서는 무한한 값의 임피던스(open circuit)를 가져야 한다. 높은 임피던스에서 낮은 임피던스로 바뀌고 다시 반대로 될 때 지연시간은 0이 되어야 한다.

실제적인 보호회로는 resistor, MOS transistor, SCR(Silicon Controlled Rectifier), diode protection, resistive protection 등 다양한 것들이 있다.

ESD 보호 소자의 I/V 특성은 Fig. 5 (a), (b)와 같이 나타난다. 특성곡선을 통해 그 동작원리를 살펴보면 우선 그림. (a)는 다이오드를 기반으로 한 보호회로에서 나타나는 기본적인 turn-on 방식을 보여준다. 이러한 보호회로 소자의 한계로는 diffusion diode가 있다. Diffusion diode는 가장 단순한 active voltage 차단 소자이다. Forward bias 상태에서는 약 0.5V~0.7V 정도의 전압만 걸리면 전류를 흐르게 할 수 있다. Reverse bias 상태에서는 junction이 avalanche breakdown에 들어가는 시점에서 전류가 흐르게 된다. 동작 메커니즘을 살펴보면 정상 동작 범위 이상의 전압이 입력으로 들어 올 때 다이오드가 소자를 보호하는 것이다. 만약 적정 전압 이상이 걸리면 다이오드는 breakdown 돼서 소자에 걸리는 전압을 임계치 이하로 유지 시켜 준다. 반대 극성의 전압이 걸리면 다이오드는 forward bias 되어서 소자를 보호한다.

그림. (b)에서 다소 복잡한 MOS와 field transistor의 동작메커니즘에 대해 살펴보면, 우선 역방향으로 바이어스된 접합부분에서 back ground 도핑 농도에 따라 impact ionization이 발생하고 electron hole pair(이하 EHP)가 생성되며 1st

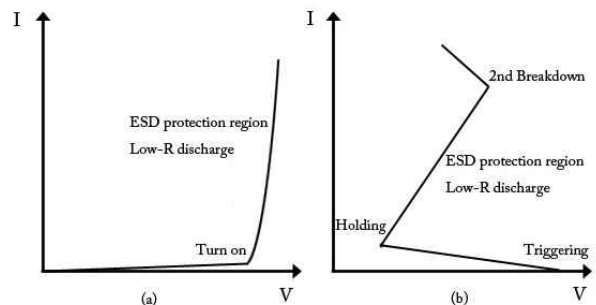


Fig. 5 Typical I/V characteristic used for ESD protection design

(a) simple turn-on (b) snapback

breakdown이 일어난다. 이와 같은 과정을 통해 생성된 EHP의 이동에 따른 potential 증가가 생기며, EHP 생성에 의한 carrier 증가로 저항이 감소되어 결국 전압 또한 감소하게 된다. 그 후 drain 접합에서 발생한 EHP 중 drain contact로 전자가 이동하고 substrate를 통해 hole이 이동한다. 결국 source-substrate 접합의 정방향 바이어스에 따른 carrier 흐름이 원활하게 된다. 이러한 상태에서 ESD 보호가 동작하게 되는데 이러한 동작을 snapback이라고 한다.⁽⁴⁾

4. 시험결과 및 분석

본 연구에서는 ESD 고장 시험의 육안분석(visual inspection)은 소자의 패키지상의 외관 파괴까지 발생하는 전압까지 사용하지 않고 내부의 고장위치를 파악하는 목적이 아니므로 배제하였고 전압, 전류 특성분석만을 시행하였다..

I/V 특성곡선을 통한 고장분석은 curve tracer를 사용하여 주어진 시료들의 ESD stress 전후의 전압/전류 특성의 변화를 확인하여 통해 고장여부를 판단하게 된다. 본 연구에서는 Fig. 6과 같이 소자의 정상동작곡선과 비교해서 (a)와 같은 short가 발생하거나 (b)와 같은 기능적 열화현상이 보이는 전압/전류 특성곡선이 나타나는 것을 고장 판단의 기준으로 정하고 고장시점에서의 전압을 측정하였다.

시험은 각 mode 별로 시료에 각 핀의 조합에 양과 음의 ESD stress를 3회 인가하였다. 고장이 발생하는 상태까지 50V에서 시작하여 50V씩 증가시키면서 측정하였다. 방전회수(zap number)는 3회, 방전간 시간(zap interval)은 1초로 하였다.. 본 시험에서는 특정 IC에 ESD 충격이 가해졌을

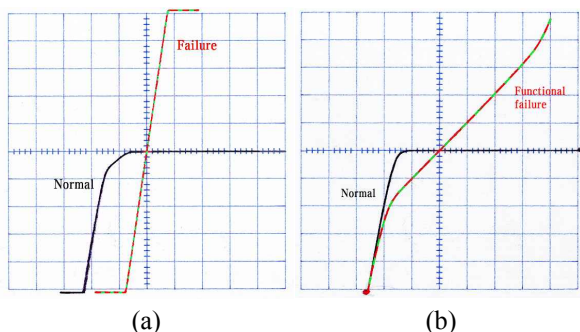


Fig. 6 Normal/failure characteristic curve
(a) short (b)functional degradation

Table 3 ESD test result of an Audio DAC IC

Test Mode	(+)mode(V)	(-)mode(V)
DGND : Pin	700	-650
V _{CC} : Pin	500	-400
Pin : Pin	700	-650
AGND : Pin	700	-600
DGND : V _{CC}	1150	-1400
V _{CC} : AGND	1500이상	-900
AGND : DGND	1500이상	-1500이상

Table 4 ESD test result of an OP-Amp IC

Test Mode	(+)mode(V)	(-)mode(V)
V+ : V-	550	-600
V+ : Pin	300	-450
V- : Pin	600	-500
Pin : Pin	1000	-1000

Table 5 ESD test result of a Digital Amp IC

Test Mode	(+)mode(V)	(-)mode(V)
VDD : Pin	650	-700
GND : Pin	850	-850
Pin : Pin	1300	-1300
VDD : GND	800	-900
DGND : Pin	950	-850
GVDD : DGND	1200	-1300
GND : DGND	1500이상	-1500이상

때에 결과로 도출되는 최악의 핀의 조합(worst-case pin)을 도출하는 목적이기에 각 횟수와 시간 간격은 동일하게 유지하였다..

시험에서 시료는 audio DAC IC, general purpose Op-Amp IC, digital Amp IC 3가지가 사용되었다. 각 IC의 고장까지의 정전압 측정치를 순서대로 Table 3, 4, 5에 각각 제시하였다. 각 수치는 3회의 시험을 통해 얻어진 값의 평균치를 구하고 평균치에 가장 가까운 측정치 중 가장 낮은 값을 선택하여 기록하였다.. 각 표의 Test mode는 power supply pin과 I/O pin과 ground pin의 각각의 값들을 모드별로 나누고 각 모드에서의 최저 고장전압을 기준으로 선정하였다.

표 3, 4, 5의 결과로 볼 때 positive supply voltage pin(V_{CC}, V₊, V_{DD})과 I/O pin과의 조합이 가장 낮은 전압에서 고장이 발생한다는 것을 알 수 있다. 이 사실을 통해 기본적인 식 (1)의 4개의 항에서 3가지를 소거하고 1가지 항만을 남길

수 있다. 그러므로 본 연구에서 제안하고자 하는 효율적인 ESD test stress mode를 통한 시험에서의 시료의 수를 구하는 식은 아래와 같다.

$$Z = 2kPn \quad (3)$$

연구에서 제안한 ESD test를 시행한 경우 사용되어지는 시료의 개수를 식 (3)을 통해 계산할 수 있다. 그리고 JEDEC 기준의 방법을 통한 시험에서 사용되는 시료의 개수와 본 연구에서 제안하는 방식의 시험을 통해 사용되는 시료의 개수를 Table 6에 비교하여 나타내었다.

Table 6 Used Sample in ESD test

IC	OP-Amp	DAC	Digital Amp
Number of pin	8	16	36
JEDEC Standard	38	144	800
Study Method	12	44	240
efficiency (%)	68.4	69.4	70.0

표에서 알 수 있듯이 표준의 시험방식을 통해 사용된 시료의 개수와 본 연구에서 수정 제안한 방식에서 사용된 시료의 개수를 비교해 보면 동일한 IC를 시험하게 되는 경우 연구에서 제안한 positive supply voltage pin(V_{CC} , V^+ , V_{DD})과 I/O pin과의 조합만을 시험에 이용하는 것이 표준의 핀 조합보다 약 68%이상의 zapping 횟수와 시료를 줄이는 효율성을 가지며 핀의 수가 증가함에 따라 효율도 증가하는 경향을 보인다.

5. 결 론

ESD level을 시험할 때 시행되는 각 test mode의 각 핀의 조합에 있어서 최악의 경우를 보이는 핀이 동일한 핀을 조합하여 정리했을 때 positive supply voltage pin과 I/O pin의 조합을 대상으로 했을 때 가장 효율적인 ESD 시험 stress mode가 되는 것을 알 수 있다.

JEDEC 표준으로 살펴보면 각 파워핀에 대해 모든 입출력핀의 ESD 충격을 가해 시험을 할 것을 요구하고 있지만 해당 핀의 내구성에 대한 지표로서의 전압을 구하는데 있어서 IC의 positive supply voltage pin과 I/O pin의 조합을 중심으로 한 측정만으로 판단하는 것을 통해 본 연구의 시

료에서 68.4%~70.0%정도의 시료를 줄이는 효율성을 얻을 수 있었다. 이 결과를 바탕으로 취약한 stress mode를 기준으로 시험을 시행함으로써 기존의 시험보다 효율적인 ESD 시험을 가능하게 할 것이다.

참고문헌

- (1) Puligandla Viswanadham, Pratap Singh, 1998, "Failure Modes and Mechanisms in Electronic Packages" p262~p269, Chapman&Hall International Thomson Publishing
- (2) 1986, "Electrostatic Discharge Protection test handbook", Keytek Instrument Corp.
- (3) Ming-Dou Ker, 1999, "Whole-Chip ESD Protection Design with Efficient VDD-to-VSS ESD Clamp Circuits for Submicron CMOS VLSI", the VLSI Design Division, Computer and Communication Research Laboratories (CCL), Industrial Technology Research Institute (ITRI), Hsinchu, Taiwan 310, R.O.C.
- (4) Albert Z.H. Wang, 2002, "On-chip ESD protection for integrated circuits An IC design perspective", Kluwer Academic Publishers
- (5) Ven G. Streetman, Sanjay Vanerjee, 2005, "Solidstate electronic devices", Pearson Prentice Hall
- (6) Lim Ho-Jeong, 2004, "A Study on the Optimization of the Layout for the ESD Protection Circuit in 0.18um CMOS Process", Hanyang Univesity
- (7) Ming-Dou Ker, Jeng-Jie Peng, and Hsin-Chin Jiang, 2001, "Esd Test Methods on Integrated Circuits : An Overview", Integrated Circuits & System Laboratory Institute of Electronics National Chiao-Tung University, Taiwan
- (8) Charvaka Duvvury, 2001, "ESD Protection Device Issues For IC Designs", Silicon Technology Development Texas Instruments Inc., Dallas