

고속 비터비 디코더를 위한 효율적인 ACS 설계

이 슬기*, 김 인수*, 민 행복*, 류 중경**
 성균관대학교 정보통신공학부*, 대림대학 컴퓨터정보계열**

Efficient ACS Design for High Speed Viterbi Decoder

Seul Ki Lee*, Insoo Kim*, Hyung Bok Min*, Joong-Kyung Ryu**
 School of Information&Communication Engineering, Sungkyunkwan University*
 Division of Computer Science and Information, Daelim College**

Abstract - It respects the high speed of the Bitter expense decoder from the present paper ACS (Add Compare Select) block structures of new method it proposed. It became component anger of existing and it substituted it added all input price it predicted with the method which reduces the operation which is unnecessary it chose respectively ACS unit and a union logical operation circuit and the result after operation one in advance.

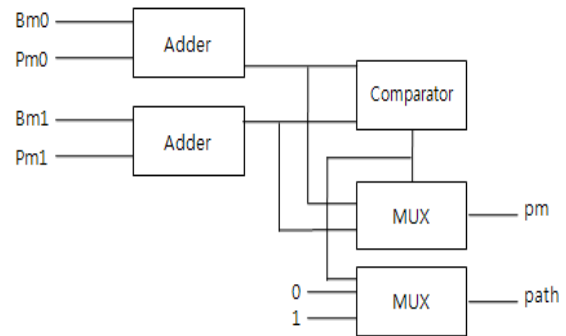
계산된 PM값은 다시 PM 버스로 돌아가 업데이트된다.

2.2 ACS unit의 구조

그림 2는 ACS block을 구성하는 ACS unit의 내부 구조를 나타낸 것으로, 각 2개의 BM과 PM을 입력받아 PM의 feedback과 path를 출력하는 것을 알 수 있다. Constraint Length(구속장, K)가 7인 디코더에서 ACS unit은 모두 64개 사용 되는데, 아래 구조에 따르면 128번의 Add와 64번의 compare를 한번의 CLK마다 수행 해 주어야 한다.

1. 서 론

통신망의 발달과 정보화로 인해 빠르고 효율적인 디지털 데이터 저장 및 전송의 중요성은 계속 강조되어왔다. 특히 데이터의 전송에 있어서 높은 신뢰도를 보장 할 수 있는 기술이 요구되어 왔고, 따라서 에러를 최소화 할 수 있는 채널 코딩 기술이 발전해 왔다. 길쌈 부호(Convolutional Code)는 현재 비트와 과거 비트 사이의 관계를 이용하여 부호화 하는 방식으로, 잡음의 영향을 받는 채널에서 블록 디코딩 방법과 접목되어 사용되어 왔다. 비터비 복호 알고리즘은 길쌈 부호의 가장 대표적인 복호화 알고리즘이고, 낮은 에러율의 데이터 전송이 가능하기 때문에 Wireless LAN인 IEEE 802.11a와 DMB(Digital Multimedia Broadcasting)등에서 널리 사용되고 있는 알고리즘이다. 본 논문에서는 비터비 디코더를 구성하는 컴포넌트 중 하나인 ACS(Add Compare Select block)의 동작 원리에 따른 한계를 극복하고, ACS unit의 구조개선을 통한 효율적인 복호 방법을 제안한다.



2. 본 론

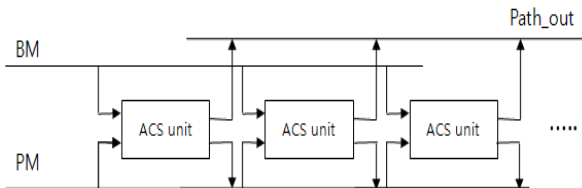
<그림 2> 기본적인 ACS unit의 구조

2.1 기본적인 ACS의 구조 및 동작

ACS block은 여러 개의 ACS unit으로 구성되는데, 그 개수는 2^{K-1} 개가 된다. 여기서 K는 길쌈부호가 가진 레지스터의 개수를 뜻하는데, 널리 사용되는 Wireless LAN(802.11a)의 경우 K=7인 부호기를 사용한다. 이것은 현재의 입력과 6개의 과거 입력을 이용하여 신호를 부호화 한다는 것이다. 그림 1에서와 같이 ACS unit은 BMU(Branch Metric Unit)로부터 받는 BM(Branch Metric - state와 수신된 신호 사이의 Hamming Distance)과 자기 자신이 출력한 과거 값인 PM(Path Metric)을 이용하여 TBU(Trace-back Unit)로 넘겨 줄 Path값을 생성한다.

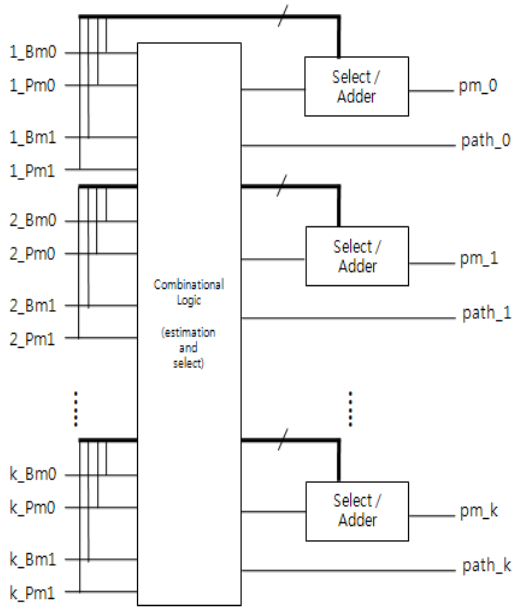
2.3 제안하는 방법

그림 2에서 보인 ACS unit은 2^{K-1} 의 component가 별도로 동작하게 되어 pm과 bm을 각각 더하고, 비교 연산 후에 값을 출력하게 된다. 이러한 방법은 다른 구속장 길이에 따른 확장은 유리할 수 있겠지만, 그 효율면에서는 하나의 combinational logic을 이용하여 연산을 하는 것 보다 우수하다고 보기 힘들다. 4개(실제로는 3개 - 00, 01, 10)의 2비트 신호인 bm과 2^{K-1} 개의 K비트 신호를 동시에 입력 받아서 Add 연산을 거치기 전에 모든 입력 값의 크기로 예상 결과를 미리 예측하여(Carry Lookahead Adder와 비슷한 방법으로) 불필요한 Adder를 줄이는 방법은 ACS block의 부하를 줄이고 빠른 연산을 하는데 도움이 될 것이라 생각한다.



<그림 1> 기본적인 ACS의 구조

그림 1에서, BM은 4개의 2비트 신호, PM은 ACS unit의 개수만큼의 개수를 가지는 K비트 신호이고, BM과 PM을 이용하여



〈그림 3〉 제안하는 ACS_block의 구조

별도의 ACS unit을 가지지 않는 이러한 구조는 CLA(Carry Lookahead Adder)에서 carry가 발생 할 것인지 여부를 계산을 통해 먼저 구하여 빠른 연산을 수행 할 수 있도록 하는 것처럼, 먼저 모든 값을 입력 받은 Combinational Logic이 각각의 입력 값의 크기를 이용해 어떤 값을 더하여 출력해야 할지 여부를 Select/adder에 전달해 주어 pm과 path를 출력하게 된다.

4. 결 론

본 논문에서는 고속으로 동작하는 비터비 디코더를 위한 ACS block의 구조를 제안했다. 다수의 입력을 가지는 Combinational Logic을 포함하고 있으므로 구축장(K)의 길이가 길어질수록 그 복잡도는 증가하리라 생각된다. 하지만 구축장의 길이에 따른 회로의 복잡도의 증가율과 그 상관관계에 대해서는 실제로 그것을 구현 해 보아야 정확한 값을 알 수 있을 것 같다. 제안된 ACS block을 이용하면 보다 나은 결과로 연산을 수행하는 디코더를 구현 할 수 있을 것이라 기대 한다.

[참 고 문 헌]

- [1] Andrew J. Viterbi, "Error bounds for convolutional codes and an asymptotically optimum decoding algorithm", IEEE transactions on information theory, 1967
- [2] You-Pyo Hong, Jae-Jin Lee, "An ACS for a Viterbi Decoder Using a High-Speed Low-Power Comparator", 한국통신학회논문지, 2004.
- [3] Jin Su Chang, Moon Ho Lee, "A High Speed Viterbi Decoder", ICEIC, 1995.
- [4] Jong-Hee Hwang, Seung-Yerl Lee, Dong-Sun Kim, and Duck-Jin Chung, "The viterbi decoder implementation with efficient structure for real-time Coded Orthogonal Frequency Division Multiplexing", 전자공학회논문지, 2005.
- [5] In-Taek Jeong, Sang-Seob Song, "Design of Viterbi Decoder for Wireless LAN", 한국해양정보통신학회논문지, 2001.