

## 패리티 비트를 확장한 오류 검사에 관한 연구

김 인수\* , 민 형복\* , 김 용현\* , 김 신택\*\*

\*성균관대학교 정보통신공학부

\*\*대림대학 컴퓨터정보계열

### Error Detection using Advanced Parity Bit

Insoo Kim\* , Hyoung Bok Min\* , Yonghyun Kim\* , Shin-Taek Kim\*\*

\*School of Information and Communication Engineering, Sungkyunkwan University, Republic of Korea

\*\*Division of Computer Science and Information, Daelim College, Republic of Korea

**Abstract** - The manipulation of Boolean functions is a fundamental part of computer science, and many problems in the design and testing of digital systems can be expressed as a sequence of operations. It is mainly a paper of our research on the techniques of Boolean function manipulation using Binary Decision Diagram(BDDs) and their applications for VLSI CAD System. In many practical applications related to digital system design, it is a basic technique to use ternary-valued functions. In this paper, we discuss the methods for representing logical values.

#### 1. 서 론

이진 정보를 전송하는 경우에는 전송되는 정보의 오류를 검출하는 검사 방법이 있다. 이 방법은 전송 정보에 패리티비트를 추가하여 전송하는 방법이다. 패리티 검사에는 홀수 패리티 검사와 짝수 패리티 검사가 존재한다. 기존의 패리티 검사는 동시에 두 개 이상의 에러가 발생하거나 복잡한 오류가 발생할 경우 이를 검출할 능력이 떨어진다. 본 논문에서는 이러한 한계성을 개선하는 방안을 제시한다.

#### 2. 본 론

##### 2.1 패리티 검사

이진 정보를 전송하는 경우에 전송되는 정보의 오류를 검출하는 방법에 패리티 검사 방법이 있다[1][2][3][4][5]. 이 방법은 전송 정보에 패리티 비트를 추가하여 전송하는 방법이다. 패리티 검사에는 홀수 패리티 검사와 짝수 패리티 검사의 두 가지가 있다. 짝수 패리티 검사에서는 전송하는 정보의 비트들 중에서 값이 1인 비트의 수가 짝수이면 패리티 비트를 0으로 하고, 값이 1인 비트의 수가 홀수이면 패리티 비트를 1로 전송하는 방법이다. 홀수 패리티 검사에서는 짝수 패리티 검사와 반대로 패리티 비트를 설정한다. 수신자는 전송되어 온 정보로부터 패리티 비트를 생성하고 수신된 패리티 비트를 비교하여 두 값이 동일하면 오류없이 전송된 것이고, 두 값이 서로 틀리면 오류가 발생한다. 3비트로 구성되는 정보인 경우의 짝수 패리티 비트와 홀수 패리티 비트에 대한 진리표는 다음과 같다.

a	b	c	짝수패리티비트	홀수패리티비트
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	0

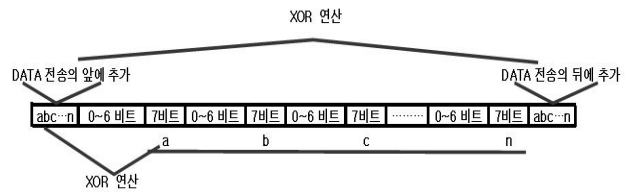
〈그림 1〉 패리티 비트의 진리표

그림 1의 진리표로부터 짝수 패리티비트 = a XOR b XOR c임을 알 수 있다.

위의 경우는 3비트로 구성된 정보의 표현이고 8비트로 구성된 정보의 경우에는 7개의 비트는 정보비트이고 1개의 남은 비트가 패리티 체크를 위한 비트이다. 기존의 8비트를 바탕으로 운영하는 패리티 체크 방법도 3비트를 바탕으로 운영하는 방법과 동일하다. 따라서 3비트로 운영하는 패리티 체크 방법의 한계성을 그대로 내포하고 있다[1][2][3][4][5].

##### 2.2 제안하는 패리티 검사

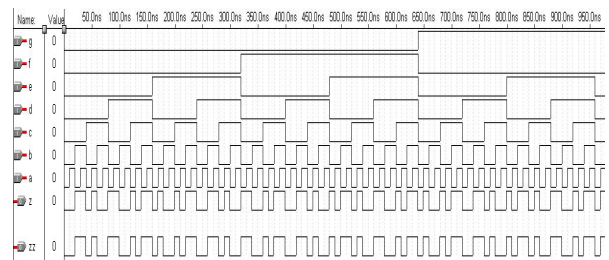
기존의 검사에서와 달리 전송하는 정보의 맨 앞 부분과 맨 뒤 부분에 추가적인 정보를 삽입한다. 이는 실질적으로 전송되는 정보의 패리티 검사를 위한 정보비트들의 집합이다.



〈그림 2〉 제안하는 패리티 비트 검사 방법

그림 2에서 보여주는 방법은 전송되는 데이터의 앞 부분과 뒤 부분에 실질적으로 전송되는 정보의 패리티 검사를 위한 정보비트들의 집합을 만든다. 그리고 정보 비트들과 실질적인 패리티 검사용 비트들과의 비교를 위해서 XOR 연산을 실행한다. 이에 보완적인 방법을 추가하여, 전송되는 정보들의 맨 앞 집합과 맨 뒤의 집합을 서로 XOR 연산을 추가적으로 실행한다. 이를 통하여 2-level 체크가 가능하게 되고 이는 정보 전송의 오류를 가능한 한 줄여주는 효과를 가져온다.

#### 3. 실험 결과



〈그림 3〉 제안하는 기법의 실험

그림 3을 통하여 보여주는 실험은 7비트를 전송 데이터로 사용하고(a~g), 1개의 비트를 패리티 비트(h)로 사용한다. 신호 z와 zz를 서로 비교하여 차이가 없음을 확인한 후 오류 검증 여부를

판발한다.

나아가 전송되는 정보 비트들의 뒷단의 추가되는 비트들과 역시 유사한 방법으로 비교한 후 이를 다시 비교하여(그림 2를 참조) 오류 검증의 완료 단계에 이르게 된다.

#### 4. 결 론

기존의 패리티 비트 체크를 확장하여 전송되는 비트들의 앞 부분과 뒷 부분에 보완적인 정보를 추가하고 이를 다시 비교 검증함으로써 전송되는 데이터의 오류를 최소화하는 방법을 제시하였다. 비록 전송되는 전체 정보의 양이 증가하는 단점을 가지는 하지만 최근의 기술적인 발전으로 고려할 때 이러한 단점은 정보 전송 속도 및 정보 전송량으로 충분히 극복이 가능하다고 판단한다.

또한 1차적인 체크를 벗어나서 2차, 3차적인 체크를 통하여 오류를 더욱 정확하게 검증할 수 있는 방법을 제안한다.

#### 감사의 글

본 연구는 반도체설계교육센터(IDEC)의 지원에 의한 논문입니다.

#### [참 고 문 헌]

- [1] Charles H.Roth "Fundamentals of Logic Design-5th", Thomson BooksElsevier, 2004.
- [2] Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic, "Digital Integrated Circuits A Design Perspective-2nd", Prentice Hall, 2003.
- [3] Neil H.E. Weste, David Harris, "CMOS VLSI Design-3rd", Addison Wesley, 2005.
- [4] Michael L. Bushnell and Vishwani D. Agrawal, "Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits", Kluwer Academic Publishers, 2001.
- [5] Mark Burns and Gordon W. Roberts, "An Introduction to Mixed-Signal IC Test and Measurement", Texas Instruments, 2001.