

M-S 기법을 적용한 System Operation의 동작 검증

김인수*, 민형복*, 백철기*, 박상윤**

*성균관대학교 정보통신공학부

**대림대학 컴퓨터정보계열

Verification of System using Master-Slave Structure

Insoo Kim*, Hyoung Bok Min*, Chulki Baek*, Sang Yun Park**

*School of Information and Communication Engineering, Sungkyunkwan University, Republic of Korea

**Division of Computer Science and Information, Daelim College, Republic of Korea

Abstract - Scan design is a structured design-for-testability technique in which flip-flops are re-designed so that the flip-flops are chained in shift registers. We propose a new technique to re-design about clock operation. This technique propose about low power operation of scan clock and saved time of test operation.

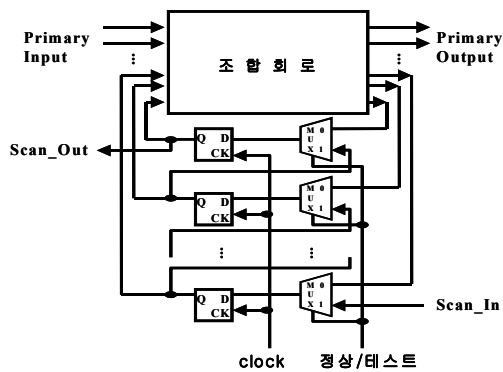
1. 서론

임베디드 시스템을 비롯한 디지털 시스템의 다양한 분야에서 활용되고 있는 동작 검증 기법으로 스캔 기법이 포괄적으로 사용되고 있다. 스캔 기법은 클럭과 플립플롭의 운용을 중심으로 시스템의 검증 과정을 거치게 된다. 기존의 일반적인 검증 과정에서는 클럭의 상승 신호에서만 동작을 검증하고, 하강 신호를 활용하지 못하는 단점을 가지고 있다. 본 논문에서는 상승 신호와 하강 신호를 모두 활용함으로써 검증 시간의 단축, 검증 시간의 축소 및 전력 소모의 감소 등 다양한 이득을 취하는 방안이 관하여 제안한다. 시스템의 검증 과정에서 가장 문제점으로 지적되는 과도한 검증 시간의 사용 및 전력 사용으로 인한 문제점을 해결할 수 있는 방안을 제시함과 동시에 실험으로 통하여 입증한다.

2. 본론

2.1 표준 스캔 검증 기술

시스템 동작 검증 기술 중 하나인 스캔 기법은 그림 1을 통하여 보여주는 것과 같이 검증을 주도하는 클럭의 운용으로 이루어진다. 주 클럭 신호의 상승 신호에 따라 회로내의 플립플롭들의 동작이 일괄적으로 capture operation, shift operation을 수행한다[1][2][3][4][5]. 주 입력단으로부터 클럭 신호 및 주 입력의 값들을 조절할 수 있어야 하며, 시스템의 동작을 통하여 주 출력단을 통하여 검증과정의 결과값을 얻어낸다. 스캔 검증 기법 적용 과정에서는 일반 플립플롭이 검증 동작을 위한 스캔 플립플롭으로 교체되고, 시스템의 일반 동작을 수행하는 normal operation과 동작 검증을 수행하는 test operation으로 구분된다.



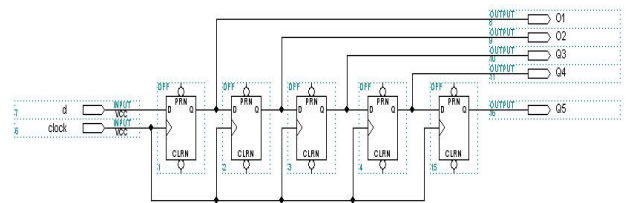
<그림 1> 표준 스캔 검증 기법

회로의 고유의 기능을 수행하는 normal operation에서 예상하지 못한 회로의 동작 오류를 찾기 위해 test operation을 수행하며, 이를 통하여 시스템의 모든 동작을 면밀히 검사하는 과정을 거치게 된다. 그러나 이러한 test operation을 수행하는 과정에서 발생하는 과도한 전력 소모는 아직까지 해결하기 힘든 분야로 남아있다. 시스템의 동작을 검증하는 단계는 필수적으로 수행되어야 하는 단계이지만 그 과정으로 인해 소모되는 과도한 전력과, 동작 검증을 위해 소비되는 시간적인 문제가 존재한다 [1][2][3][4][5]. 이것은 시스템의 개발 단계의 time-to-market 관점에서 결코 이득이 될 수 없으며 또한 전체적인 개발비용의 증가를 초래한다.

이에 본 논문에서는 동작 검증 과정중에 소비되는 클럭의 신호들 중에서 하강 신호의 무의미한 소비를 막고, 나아가 하강 신호를 동작 검증에 적극 활용함으로써 전체적인 동작 검증 시간의 절약 및 전력 소모의 절약에 관한 기법을 제안한다.

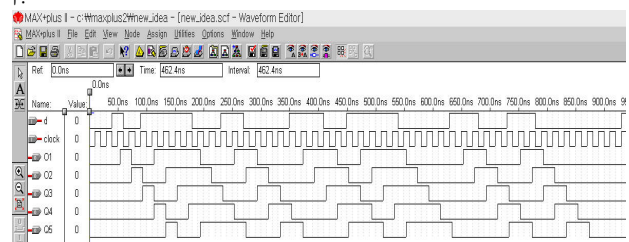
2.2 제안하는 방법

시스템 동작 검증 기술 중 하나인 스캔 기법은 그림 1을 통하여 보여주는 것과 같이 검증을 주도하는 클럭의 운용으로 이루어진다. 주 클럭 신호의 상승 신호에 따라 회로내의 플립플롭들의 동작이 일괄적으로 capture operation, shift operation을 수행한다. 주 입력단으로부터 클럭 신호 및 주 입력의 값들을 조절할 수 있어야 하며, 시스템의 동작을 통하여 주 출력단을 통하여 검증과정의 결과값을 얻어낸다.



<그림 2> 기존의 검증 기법의 클럭 구조

클럭 신호가 그림 2에서 보는 바와 같이 모든 플립플롭들을 직접적으로 조절하고 있다. 이를 통하여 시스템내 플립플롭들의 동작에 직접적으로 관여하며 capture operation과 shift operation 동작을 순차적으로 수행함으로써 시스템의 동작 검증을 수행한다.

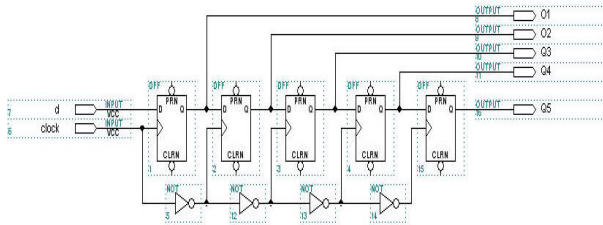


<그림 3> 기존의 검증 기법의 클럭 운영의 동작

그림 3을 통하여 기존 기법을 표현한 그림 2의 시스템의 동작을 검증한다. 시스템 검증 과정에서 클럭의 상승 신호와 동시에 시스템의 플립플롭들은 검증 동작을 수행하지만, 이와 같은 과정에서 클럭의 하강 신호는 시스템의 동작에 관여하지 않는 신호가 된다. 이러한 하강 신호를 운영하는 동안 동작 검증 과정은 시간적으로 지연되게 되는 문제점을 가지게 된다.

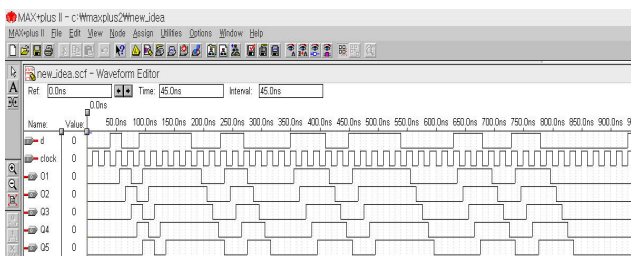
이에 본 논문은 그림 4를 통하여 새로운 클럭 운영 기법을 제안한다.

3. 실험 결과



〈그림 4〉 제안하는 검증 기법의 클럭 구조

그림 4를 통하여 보여주는 새로운 기법은 마스터 슬레이브 (Master-Slave) 회로 구조를 적용한 클럭의 운영 기법이다. 주 클럭 신호의 운영 과정 중 상승 신호와 하강 신호 두 가지를 시스템의 동작 검증에 적용한다. 기존에는 상승 신호만을 동작 검증에 적용하였으나 본 논문에서는 하강 신호에서도 동작 검증을 위한 신호로 활용한다. 이를 통하여 상승 신호 및 하강 신호 모두 동작 검증을 수행할 수 있으므로 전체적인 동작 검증 시간이 기존 기법과 비교하여 절반으로 줄어드는 효과를 가져온다. 또한 전력 소모면에서도 큰 이득을 가질 수 있다.



〈그림 5〉 제안하는 검증 기법의 클럭 운영의 동작 검증

그림 5를 통하여 제안하는 기법의 실험을 보여준다. ALTERA™ MAX+plus II Version 8.3.4 및 Synopsys™ DesignVision을 통하여 실험 및 검증을 수행하였다.

4. 결 론

스캔 기법의 설계 기법 중 중요한 기준은 주 클럭을 주 입력단으로부터 직접적으로 조절 가능해야 하지만, 기존의 기법의 단점을 극복하기 위한 방법으로 본 논문에서 제안하는 기법을 제안하였다. 본 논문에서 제안하는 기법은 시스템 내에 클럭 fault가 존재하지 않는다는 조건에서 적용된다는 제약성이 존재한다. 그러나 기존의 기법과 비교하여 검증 시간 및 전력 소모면에서 기존의 기법과 비교하여 큰 이득이 존재함을 실험으로 증명하였다.

감사의 글

본 연구는 반도체설계교육센터(IDECE)의 지원에 의한 논문입니다.

[참 고 문 헌]

[1] Laung Terng Wang, Charles E. Stroud and Nur A. Touba, "System On Chip Architectures-Nanometer Design for Testability", Elsevier, 2008.
 [2] Laung Terng Wang, Cheng Wen Wu and Xiaoqing Wen, "VLSI Test Principles and Architectures-Design for

Testability", Elsevier, 2006.

[3] M. Abramovici, M. A. Breuer and D. Friedman, "Digital Systems Testing and Testable Design", Computer Science Press, 1990.

[4] Mark Burns and Gordon W. Roberts, "An Introduction to Mixed-Signal IC Test and Measurement", Texas Instruments, 2001.

[5] Michael L. Bushnell and Vishwani D. Agrawal, "Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits", Kluwer Academic Publishers, 2001.