

P2P를 활용한 PC Mother Board Ethernet Test 방법 개선

이 영호* , 김 인수**, 민 행복**, 김 영실***
 삼성전자*, 성균관대학교 정보통신공학부**, 대림대학 컴퓨터정보계열***

A Way of PC Mother Board Ethernet Test using P2P

Young Ho Lee*, Insoo Kim**, Hyoung Bok Min**, Young-Shil Kim***
 Samsung Electronics*

School of Information&Communication Engineering, Sungkyunkwan University**
 Division of Computer Science and Information, Daelim College***

Abstract - Hybrid Peer-to-Peer structure is sharing resource in each peer, but various resource that is with go peer indexing and segment that search from attained in server who function is solidified that is not attained in peer itself be. Basis algorithm was based on Ethernet protocol and administration of each peer enabled in center server and peer does as can confirm breakdown existence and nonexistence through communication with center server and the internet through this directly expensive test expense and a lot of test times of existing test method of access method necessary problem effectively improve.

1. 서 론

PC 제조공정에서 Ethernet Test를 위해 여러 가지 방법을 사용하여 Test를 실시하고 있다. 그러나 현재 사용되고 있는 방식은 직접 인터넷이나 각종 서버에 접속하여 Test 하는 방식으로 제조공정내에서 사용이 용이 하지 않고, 그에 따른 비용 및 시간이 과다하게 소요되어 제조공정에서의 사용이 불합리한 부분이 많다. 따라서 이러한 방식을 Test용 PC와 BUT간의 P2P 네트워크를 구성 하여 Test 하는 방식으로 변경이 가능 하다. 최소의 비용으로 높은 고장 검출력을 얻을 수 있는 Test 방법으로 제안 하고자 한다. 이 Test 방법은 구현이 용이하고, Test 시간 및 비용을 최소화 할 수 있다.

2. 본 론

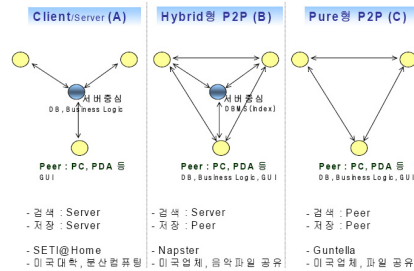
2.1 Peer-to-Peer의 정의 및 특징

Peer-to-Peer 기술은 HTTP와 사용자간의 응용 수준의 프로토콜로서, 사용자 사이의 실시간 통신이나 자원 분배(교환) 등을 지원 하는 동기적 상태 지원 기술로 정의 되고 있다. P2P 시스템은 크게 Hybrid형과 Pure형 P2P의 두 가지 형태가 있다.

P2P 시스템의 특징은 두 가지로 볼 수 있다. 첫째, 클라이언트 PC 사이에서 처리가 완결 될 수 있어 서버를 거치지 않는 분산 처리를 실현 할 수 있다. 둘째, 실시간 정보를 생성하는 정보원의 역할과 실시간 정보 공유 및 디지털 콘텐츠의 교환을 특면한 조작 없이 가능하게 하여 동기적 커뮤니티 서비스에 대한 새로운 클라이언트 컴퓨팅 이용 환경을 제공 한다는 것이다.

2.2 P2P의 분류

P2P의 분류는 아래 그림 1과 같이 클라이언트/서버, 하이브리드형, 그리고 좀 더 발전된 형태의 퓨어형 P2P로 분류 될 수 있다.

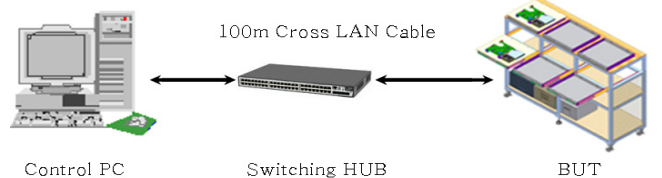


〈그림 1〉 P2P의 분류

2.3 제안하는 방법

그림 1의 P2P의 분류 중 하이브리드형 P2P의 구조를 활용 하여 Test를 제어하는 Control PC를 서버로 명명하고, BUT를 클라이언트로 하는 P2P를 구성하여, 서버와 BUT 사이에 HUB를 통해 여러 대의 BUT와 연결하는 구조로 하이브리드형이 P2P와 유사한 형태를 가지며, 그림 2 와 같은 네트워크를 구성 한다.

이런 구조의 제안으로 Test시 불 필요한 고가의 네트워크 장비가 없어지며, 짧은 Test 시간으로 높은 고장 검출력을 얻을 수 있도록 하였다.



〈그림 2〉 제안하는 네트워크 구성 형태

검사 방법은 아래에 따라 진행 되고 매우 간단하다.

- (1) 준비된 서버의 LAN Port와 HUB를 통해 BUT의 LAN Port를 100m Cross LAN Cable로 네트워크를 구성 한다.
- (2) Control PC와 BUT 간 네트워크가 구성 되면, BUT는 서버의 C:\RR 폴더에 접속하여 미리 정해진 파일을 Write 하고, 서버는 Write된 파일의 용량을 비교하여 이상이 없으면 다시 서버가 가지고 있는 파일을 BUT에 Write 하여 용량의 이상 유무를 확인 한다.
- (3) Write / Rear / Compare와 동시에 전송 속도를 같이 검사 한다.
- (4) 이러한 과정을 통해 Upload / Download에 해당하는 검사가 진행 된다.
- (5) 접속/ 전송/ 접속 해제에 소요 되는 Test 시간은 약 13초 가량 소요된다.

이와 같이 매우 간단하게 구현되는 Test 방법은 Test시간이 매우 짧은 것이 특징이며, Windows 환경에서 Test를 함으로 Multi-Tasking 기능을 이용하여 Test 하므로 다른 Test를 병행 할 수 있기 때문에 더욱더 효율적이다. 최소의 비용으로 최대의 효율을 얻을 수 있고, 고장 검출력 또한 기존 방법 대비 떨어지

지 않는다.

3. 실험 결과

실제 제조공정에서 발생하는 불량률의 검출여부 와 Test 시간에 대한 비교 분석을 위주로 하였다. 따라서 이론과 상이한 결과가 나타날 수도 있다. 본 실험은 두가지를 통해 이루어진다. 첫째는 기존 방법과 제안된 방법과의 Test 시간 비교, 둘째는 주요 불량률에 대한 제현을 통한 두 방법간의 검출력을 비교하는 것으로 하였다.

3.1 Test 시간 비교

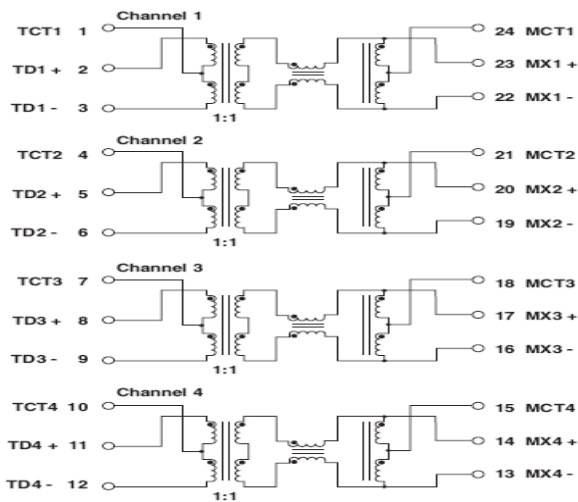
Test 시간 비교 방법은 기존 방법과 제안된 방법으로 실제 BUT를 Test 하면서 소요되는 Test 시간을 직접 측정하여 비교하였다. 이론적으로 계산 되는 시간과 다소 차이가 있을 수 있으며, 실 측정 데이터이므로 신뢰도가 더 높다고 본다.

<표 1> Test 시간 비교

구분	기존방법	제안된 방법
접속시간	30초 ~	5초
Download	3초	3초
접속 해제	3초	3초

3.2 불량 검출 비교

제조공정에서 발생하는 불량률의 대부분은 LAN Filter에서 발생되며, 불량률의 90% 이상이 납땜 불량으로 납이 묻지 않아 Pin이 회로에서 Open 된 불량률이다. 따라서 실제 불량을 발생 시켜 기존 방법과 제안된 방법을 번갈아 Test 해봄으로써, 두 방법간의 검출력을 확인 해 보았다.



<그림 3> LAN Filter 내부 회로

<표 2> LAN Filter Pin별 검출 현황

Pin번호	기존 방법	제안된 방법
1	검출	검출
2	검출	검출
3	검출	검출
4	검출	검출
5	검출	검출
6	검출	검출
7	검출	검출
8	검출	검출
9	검출	검출
10	검출	검출
11	검출	검출
12	검출	검출
13	검출	검출
14	검출	검출
15	검출	검출
16	검출	검출
17	검출	검출
18	검출	검출
19	검출	검출
20	검출	검출
21	검출	검출
22	검출	검출
23	검출	검출
24	검출	검출

불량 검출 현황을 보면 두 방법 모두 동일한 검출 결과를 얻었으며, 모두 높은 고장 검출력을 보인다.

4. 결 론

본 논문에서는 제안하는 구조의 P2P형태의 네트워크 구성을 통한 Test 방법은 Test에 필요한 하드웨어 비용의 오버헤드를 감소시키고, 간단한 구조로 인해 쉽고 편리하게 Test를 할 수 있게 되었고, 기존 방법 대비 떨어지지 않는 고장 검출력을 가지므로 Test시에 발생하는 여러 가지 방해 요인 없이 순수 Test 만 할 수 있도록 설계되어 제조공정에서 사용 하기에 적절한 방법이다. 기존의 이론과 방법을 특별한 변경 없이 Test 할 수 있도록 개선하였다.

[참 고 문 헌]

[1] M. Abramovici, M. A. Breuer and D. Friedman, "Digital Systems Testing and Testable Design", Computer Science Press, 1990.
 [2] Alexander Miczo, "Digital Logic Testing and Simulation", John Wiley & Sons, 1986.
 [3] Eichelberger, E. B., T. W. Williams, "A Logic Design Structure for LSI Testability", Proc.14th Design Automation Conf., pp. 462-468, June 1977.
 [4] M. S. Abadir, M. A. Breuer, "A Knowledge Based System for Designing Testable VLSI Chips", IEEE Design &Test of Computers, Vol. 2, No. 4, pp. 56-68, August 1985.
 [5] Kenneth P. Parker, "The Boundary-scan Handbook", Kluwer Academic Publishers, 1998.