

Embedded System One-Hot 시그널의 위치 추적 알고리즘

전 유성, 김 인수, 민 형복
 성균관대학교 정보통신공학부

Tracking Algorithm about Location of One-Hot Signal in Embedded System

Yusung Jeon, Insoo Kim, Hyoung Bok Min
 School of Information&Communication Engineering, Sungkyunkwan University

Abstract - The Logic Built In Self Test (LBIST) technique is substantially applied in chip design in most many semiconductor company in despite of unavoidable overhead like an increase in dimension and time delay occurred as it used. Currently common LBIST software uses the MISR (Multiple Input Shift Register) However, it has many considerations like defining the X-value (Unknown Value), length and number of Scan Chain, Scan Chain and so on for analysis of result occurred in the process.

So, to solve these problems, common LBIST software provides the solution method automated.

Nevertheless, these problems haven't been solved automatically by Tri-state Bus in logic circuit yet.

This paper studies the simulator and algorithm that judges whether Tri-state Bus lines is the circuit which have X-value or One-hot Value after presuming the control signal of the lines which output X-value in the logic circuit to solve the most serious problems.

1. 서 론

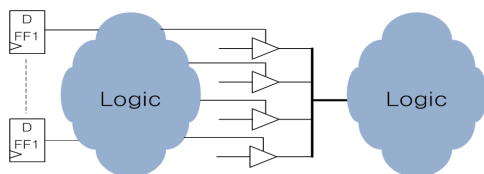
Logic Built In Self Test (LBIST) 기법은 적용에 따라 발생하는 면적 증가 및 시간 지연 등과 같은 필연적인 오버헤드에도 불구하고, 실질적으로 대부분의 많은 반도체 회사에서 칩 설계시 광범위하게 적용하고 있다[1][2]. 현재 상용 Logic BIST 소프트웨어들은 MISR(Multiple Input Shift Register)를 사용한다. 그러나 이러한 과정에 발생하는 결과 분석을 위한 X값(Unknown Value)의 문제[3], Scan Chain의 길이 및 수, Scan Chain 등 많은 고려사항이 존재한다. 이와 같은 문제들을 해결하기 위해 상용 Logic BIST 소프트웨어들은 자동화된 해결 방식을 제공하고 있다[4][5].

그러나 로직 회로 내에 삼상태 버스(Tri-state Bus)는 자동적으로 해결하지 못하고 있다. 본 논문은 삼상태 버스라인들이 X값을 갖는 회로인지 One-hot 값을 갖는 회로인지를 판단하는 시뮬레이터 및 알고리즘을 연구한다.

2. 본 론

2.1 기존 Logic BIST의 Design For Testability

그림 1은 상태 버퍼들 중 오직 한 개만이 동작허용(EN : Enable)상태를 가질 수 있도록 회로를 설계하여야 하며 이를 Full Decoding 또는 One-hot Decoding이라 한다. 하지만 많은 경우 설계 단계에서 테스트를 고려하여 위에서 말한 Full Decoding 회로를 갖도록 삼상태 버퍼의 동작허용 신호를 생성하지 않고 주사사슬을 합성하는 과정에서 테스트 모드에서 버스값들의 충돌(Bus-crash)을 방지하기 위한 테스트 용이화 설계 기법을 사용한다.



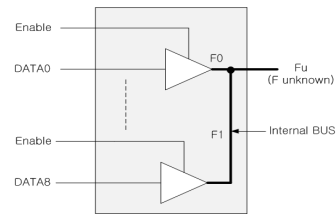
<그림 1> CUT Tri-state bus

하지만 주사사슬을 통해 이동(Shift) 하는 동작 중에 즉 테스트 패턴을 주사 동작허용(SE : Scan Enable)신호가 활성화(Active)상태에는 버스값들의 충돌을 방지할 수 있게 보장할 수 없게 된다.

2.2 One-hot 상태의 Logic BIST구조

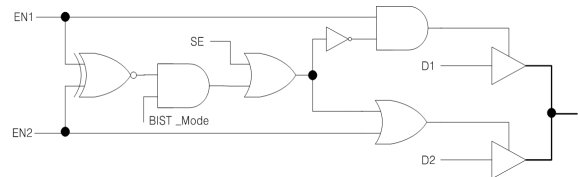
Logic BIST가 생성하는 테스트 패턴을 의사입의 패턴으로 고장을 검출하는 패턴 뿐 아니라 그렇지 않은 패턴도 테스트 대상 회로에 가해지게 되고 버스들의 값이 충돌이 일어나지 않는 의사입의 패턴만을 생성하는 것이 불가능하기 때문이다.

그림 2와같이 두 개의 드라이버가 다른 값을 강제로 버스에 인가할 때 X값 즉 버스값들의 충돌을 가져온다.



<그림 2> 출력 데이터 채널의 버스값들의 충돌

정상 동작 동안 쉬프트 연산이 이루어져야 하며 버스들의 값이 충돌을 막는 것은 중요하며[6] 이런 삼상태 버스들을 Logic BIST를 적용하기위해 의사입의 패턴을 사용하고, Capture 모드에서도 버스값들의 충돌을 방지하기 위해 그림 3과같이 One-hot Decoder 회로를 추가하여 삼상태 버퍼의 동작허용 신호가 X값이 나오지 않게 사전에 방지하여야 한다[7].

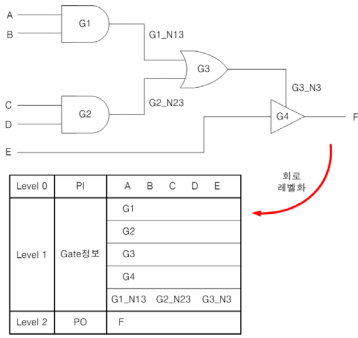


<그림 3> Logic BIST를 적용시킨 One-hot Decoder

2.3 제안하는 알고리즘

Control Signal 추정 시뮬레이션에서는 먼저 주어진 회로를 주 입력(PI : Primary Input)과의 거리를 토대로 회로를 레벨화 하여 그 순서대로 나열한다. 그림2.3은 회로에 대한 레벨화의 예를 나타낸다. 즉 레벨에 따라서 순서화된 게이트의 집합은 다음과 같으며 시뮬레이션의 과정은 다음의 각 순서 집합에 해당하는 게이트를 한 번씩 평가함으로써 이루어진다.

- Level 0 = {A, B, C, D, E}
- Level 1 = {G1, G2, G3, G4, G1_N13, G2_N23, G3_N3}
- Level 2 = {F}



〈그림 3〉 테스트 대상회로의 레벨화 과정

그림 4는 Control Signal 추정 전체 알고리즘이다. 우선 테스트 대상 회로에 대해서 삼상상태 버퍼 또는 삼상상태 버스를 찾는다. 이를 주 출력(Primary Output)이라 하면 주 입력과 주 출력까지 순차적으로 각 게이트를 정점으로 고려하여 탐색한다. 회로 데이터가 저장되어 있어 질 때 게이트의 종류와 게이트의 Fan-in의 정보가 같이 저장되어 있다. 이는 회로 구성이 자체로 트리로 구성되어 있어 이를 순차적으로 탐색을 수행하면 깊이 우선 탐색 알고리즘에서의 트리 탐색과 같은 조건으로 탐색이 되어진다. 따라서 이 회로 정보를 순차적으로 탐색하여 Control Signal을 추정하게 된다.

만약 회로에 삼상상태가 검색되면, 이때 게이트의 정보를 살펴본다. 그 이유는 삼상상태 버퍼와 연결된 또 다른 게이트를 찾기 위해서 이고, 여기서 삼상상태 버퍼의 Fan-in 정보가 사용된다. 사용되는 정보에는 Fan-in으로 연결된 게이트의 정보가 저장되어 있는 포인터 정보가 저장되어 있다. 이를 가지고 입력 신호를 구성하는 게이트의 종류, 연결 정보 등을 확인 할 수 있다.

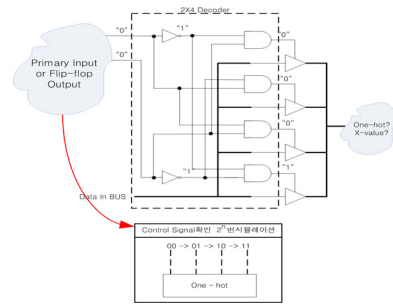
```

Procedure SearchControSignal(gate_list)
for every tri-state buffer of the tri-state bus do
begin
to Find a gate "V" which in connected
control pin of the tri-state buffer;
DFS(V);
end
DFS(gate V) // Depth-first search toward inputs from
gate V
begin
make V visited;
if V in a Tri-state Buffer then
MUX be founded;
if V in a PI or a flip-flop then
found; // this is one of the outputs
endif
for every fan-in of the gate V do
begin
find a gate W which is connected
to the fan-in of the gate V;
if W in not visited then
DFS(W);
end if
end
end
end

```

〈그림 4〉 다중 캡처 그룹을 제어하는 기법

삼상상태 버퍼를 정점으로 게이트에 구조를 DFS(Depth-first Search)알고리즘을 사용하여 Control Signal의 주 입력 또는 플립플롭의 출력단을 찾아내어 그림 4.1.4과 같이 삼상상태 버스라인 회로에 대해 시뮬레이션 해준다. 삼상상태 버스가 One-hot값을 출력하려면 출력 개수는 입력 개수에 대하여 개를 출력단을 가지고 있어야한다. 본 논문에서는 Control Signal을 추정하여 추정된 Control-pin들에 대하여 출력 개수에 번 동안 시뮬레이션을 반복 수행하여 삼상상태 버스라인들이 One-hot값을 출력하는지 X값을 갖는 신호인지를 판단할 수 있는 시뮬레이션을 수행한다.



〈그림 5〉 One-hot 시뮬레이션

3. 실험 결과

고장 시뮬레이션, 테스트 용이화 설계, ATPG 및 BIST의 성능을 검증하기 위해 ISCAS85 벤치마크 회로 및 ISCAS89 회로를 사용하였다. 하지만, 설계 방식과 CAD 기술의 발전 및 변화에 따라, 현재 사용되고 있는 기술을 나타낼 수 있는 크고, 복잡한 벤치 마크 회로를 사용할 필요성이 존재한다. 이에 따라 ITC99 벤치마크 회로[15][16]를 사용하였으며, 테스트 대상 회로는 Synopsys사의 DesignVision[17]로 합성하였고 Control Signal 추정 시뮬레이터와 Pattern Matching 시뮬레이터는 모두 C언어로 구현되었다.

〈표 1〉 Control signal 추정 실험결과

벤치마크 회로	Tri-Sate Buffer	Tri-Sate Bus	Tri-Sate MUX	검출률
B02	1	1	0	100%
B03	2	2	2	100%
B04	1	1	0	100%
B05	6	8	1	100%
B06	0	2	1	100%
B08	1	2	0	100%
B09	1	0	0	100%
B10	1	1	2	100%
B12	0	0	1	100%
B13	1	4	3	100%

표 1의 실험결과로 Control Signal추정하여 X값의 존재여부를 판단하였고 ITC99회로에서 실험한 결과 100%의 검출결과를 검증하였다.

4. 결론

본 논문에서는 삼상상태 버스 드라이버들과 두개의 삼상상태 버퍼들의 동작회용 단자에 연결되어 멀티플렉서 기능을 하는 것에 대하여 상용 Logic BIST 소프트웨어들은 설계자의 몫으로 남겨놓고 있던 기존의 한계성을 극복하여 X값의 전파가 나오는 삼상상태 라인을 찾아내어 시뮬레이션 한 후 X값이 나오는지 또는 X값이 발생하지 않고 One-hot Decoding이 되는지에 대한 시뮬레이션 프로그램을 개발 하였다. Logic BIST 수행하기 전에 테스트 대상 회로에 본 논문에서 제안한 시뮬레이터를 사용할 경우에 보다 편리하게 X값 전파에 대한 정보를 효과적인 것으로 예상되는 회로에만 이용한다면 효과 적일 것으로 판단한다.

[참고 문헌]

[1] Laung-Terng Wang, Cheng-Wen Wu, Xiaoqing Wen, "VLSI Test Principles and Architectures", Morgan Kaufmann Publishers(Elsevier), 2006.
 [2] Laung-Terng Wang, Charles E. Stroud, Nur A.Touba, "System-On-Chip Test Architectures", Morgan Kaufmann Publishers(Elsevier), 2007.
 [3] E. H. Volkerink and S. Mitra, "Response compaction with any number of unknowns using a new LFSR architecture," Proc. of Design Automation Conference, pp. 117-122, 2005.
 [4] icBIST MANUAL, LogicVision, 2004.
 [5] TurboBIST-Logic Manual, Syntest, 2006.
 [6] B. Cheung and L.-T. Wang, "The seven deadly sins of scan-based design", Integrated Syst. 1996.
 [7] A. A. Al-Yamani, S. Mitra, and E. j. McCluskey, "Avoiding Illegal States in Pseudorandom Testing of Digital Circuits, Technical Report (CRC TR) No. 02-2, Center for Reliable Computing, Stanford University, 2002.