

SFDR 70dBc의 성능을 제공하는 10비트 100MS/s 파이프라인 ADC 설계

여선미*, 문영주*, 박경태*, 노형환*, 박준석*, 오하령*, 성영락*, 정명섭*
국민대*

A 10-bit 100Msps Pipeline ADC with 70dBc SFDR

Seon-Mi Yeo*, Young-Joo Moon*, Kyong-Tae Park*, Hyung-Hwan Roh*, Jun-Seok Park*, Ha-Ryoung Oh*,
Yeong-Rak Seong*, Myeong-Sub Jung*
Kookmin University*

Abstract - 최근 Wireless Local Area Network(WLAN), Wide-band Code Division Multiple Access(WCDMA), CDMA2000, Bluetooth 등 다양한 모바일 통신 시스템에 대한 수요가 증가하고 있다. 이와 같은 모바일 통신 시스템에는 70dB이상의 SFDR(Spurious Free Dynamic Range)을 가진 ADC(Analog-to-Digital Converter)가 사용된다. 본 논문에서는 모바일 통신 시스템을 위한 SFDR 70dBc의 성능을 제공하는 10비트, 100Msps 파이프라인 ADC를 제안한다. 제안한 ADC는 요구되는 해상도 및 속도 사양을 만족시키기 위해 3단 파이프라인 구조를 채택하였으며, 입력단 SHA(Sample and Hold)회로에는 Nyquist 입력에서도 10비트 이상의 정확도로 신호를 샘플링하기 위해 부트스트래핑 기법 기반의 샘플링 스위치를 적용하였다. residue amplifier 회로에는 전력을 줄이기 위해 8배 residue amplifier 대신 3개의 2배 residue amplifier를 사용하였다. ADC의 높은 사양을 만족시키기 위해서는 높은 이득을 가지는 op-amp가 필수적이다. 제안한 ADC는 0.18um CMOS 공정으로 설계되었으며, 100Msps의 동작 속도에서 70dBc 수준의 SFDR과 60dB 수준의 SNDR(Signal to Noise and Distortion Ratio)을 보여준다.

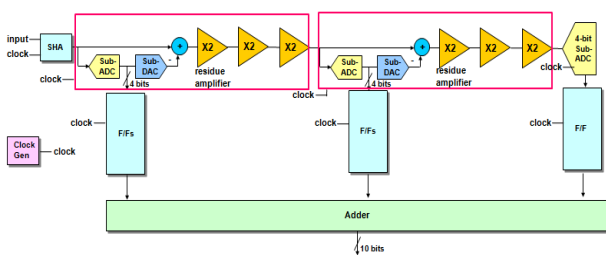
1. 서 론

오늘날 대부분의 전자시스템에서는 고 정밀, 고 해상도의 시스템을 구현하기 위해 디지털 신호 처리(digital signal processing : DSP) 기법을 사용한다. 일반적인 전자시스템은 디지털 신호 처리를 위해 외부의 아날로그 신호를 입력받아 내부의 디지털 신호로 변환시켜주는 ADC와 그 내부의 디지털 신호를 아날로그 신호로 변환하여 외부로 출력하는 DAC가 반드시 필요하다. 모바일 통신 시스템에서는 높은 SFDR과 고속 동작을 필요로 하며, 이러한 ADC 중 고속의 동작을 얻으면서 면적과 전력소모를 최적화한 구조가 파이프라인 ADC이다[1][2]. 본 논문은 고속 모바일 통신 시스템에 사용가능한 SFDR 70dBc의 성능을 제공하는 10비트, 100Msps 파이프라인 ADC를 제안한다.

다음 장에서는 설계한 파이프라인 ADC의 각단에 대해 설명하고 구현 결과에 대해 서술한다.

2. 본 론

2.1 파이프라인 ADC



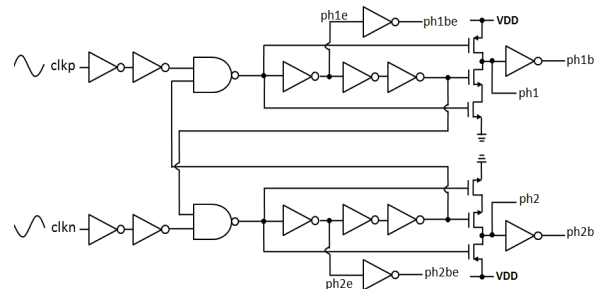
〈그림 1〉 10비트 파이프라인 ADC 구조

SFDR은 무선랜 및 모바일 시스템의 sensitivity를 제한하는 매우 중요한 요소 중 하나이다. Spurs는 출력 신호가 nonlinear한 구간에서 발생한다. 10비트 ADC에서 Spurs 성분을 최대한 줄이기 위해서는 10비트 플래쉬 ADC를 사용해야 한다. 플래쉬 ADC는 INL(Integral nonlinearity) level이 파이프라인 ADC보다 작고, nonlinearity가 랜덤하므로, 파이프라인 ADC보다 SFDR이 좋다 그러나 플래쉬 ADC는 10비트의 정밀도를 가지기 어렵고 복조기 수가 파이프라인 ADC보다 많아 전력소비가 크다. 따라서 파이프라인 ADC를 사용한다. 파이프라인 ADC는 여러 stage가 반복적으로 존재하므로, 같은 잡음이 반복적으로

발생하는 spur를 줄일 수 없다. 하지만 멀티 stage를 사용하여 INL level을 작게 하면 큰 spur를 분산시켜 SFDR을 개선시킬 수 있다. 멀티 stage의 sub-range 비트에 의해 전력소비, 속도, 칩면적 등이 trade off 관계로 존재하므로, 4 비트/stage ADC를 사용하였다. 10비트 파이프라인 ADC를 구성하기 위해 4 비트/stage 2개와 4 비트 플래쉬 ADC 1개를 사용하였다. 각 4 비트/stage의 1 비트는 에러를 correction하기 위한 잔여 비트이다.

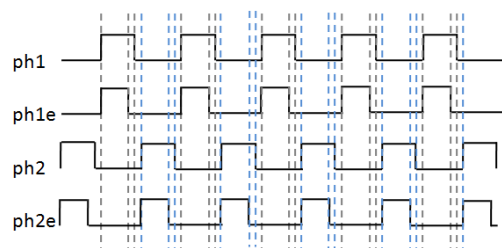
2.2 클럭 generator

구형과 신호는 정현파 신호보다 jitter가 많다. 따라서 외부의 jitter에 대한 영향을 최대한 줄이기 위해서는 정현파 신호를 받아 내부에서 버퍼를 이용하여 구형파로 변경한다. 변경된 구형파 신호를 NAND, inverter등을 이용하여 ADC 구동에 필요한 8개의 phase를 갖는 클럭을 생성해 준다. 이때 클럭이 다른 클럭과 겹치지 않도록 비중첩 클럭을 생성해야 한다.



〈그림 2〉 10비트 파이프라인 ADC 사용한 클럭 generator 구조

클럭이 다른 클럭들과 중첩을 허락할 경우, 입력이 출력에 그대로 반영되어 glitch가 생성되어 ADC의 오작동을 일으킬 위험이 있으므로 그림 3과 같은 비중첩 클럭이 필요하다.



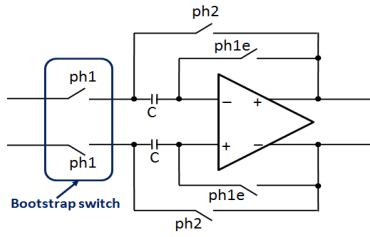
〈그림 3〉 비중첩 클럭 diagram

2.3 샘플 앤 홀드 증폭기

샘플 앤 홀드 증폭기는 샘플링 회로로서, 데이터 변환기 응용에 많이 이용되고 있다. 그리고 discrete-time 시스템에서 중요한 역할을 한다. 만약, 샘플 앤 홀드 회로가 없다면 아날로그 입력신호는 양자화된 아날로그 신호를 출력하는 시간동안에도 계속 변화하므로 잔류전압을 출력하지 못한다.

본 논문에서 사용한 ADC의 입력 단 샘플 앤 홀드는 그림 4와 같이 입력 신호를 샘플링 할 때 신호의 왜곡을 최소화하고, Nyquist 입력 주파수 이상의 대역폭을 가지기 위해 입력 신호의 변화에 관계없이 샘플링 스위치의 게이트-소스 전압을 일정하게 유지시켜 스위치의 저항을 일정하게 만들어주는 부트스트래핑 스위치 기법 기반의 샘플링 스위치를 사용하였다[3]. 또한 입력 커패시터 크기는 요구되는 kT/C 잡음 및 1V_{p-p}의 단일 및 차동 입력 신호에서 10비트 수준의 정확도들을 고려하여

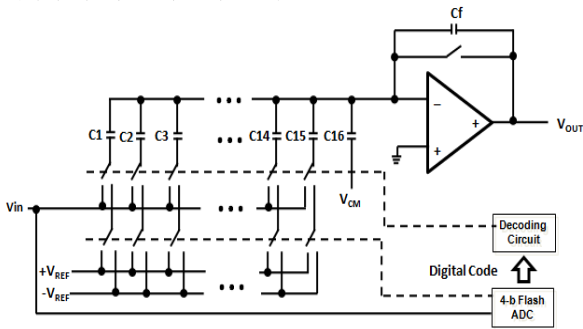
1pF으로 설계하였다.



〈그림 4〉 샘플 앤 홀드 증폭기

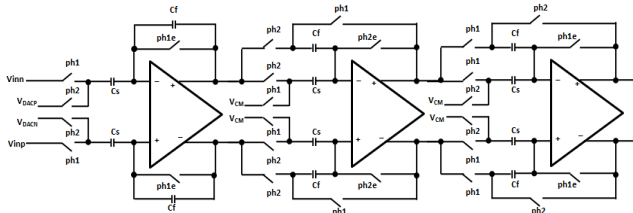
2.4 MDAC(Multiplying DAC)

고속 파이프라인 ADC에서 MDAC은 아날로그 입력신호와 Sub-ADC의 디지털 출력 비트로부터 양자화된 아날로그 신호와의 잔류 전압을 증폭하여 다음 단계 전달하는 역할을 한다[4],[5]. MDAC은 디지털 신호를 아날로그 신호로 바꾸어주는 DAC와 아날로그 입력신호와 양자화된 아날로그 신호의 차인 잔류전압을 생성하는 뺄셈 기능 및 잔류전압을 증폭시켜 다음 단계 전달하는 증폭 기능을 수행한다. MDAC의 동작은 샘플링 모드와 증폭 모드가 교대로 이루어지며 이를 조절하기 위하여 비중첩 클럭을 사용한다.



〈그림 5〉 MDAC 구조

2.4.1 잔여 증폭기



〈그림 6〉 제한한 8배 이득을 가지는 잔여 증폭기

1.5 비트/stage의 잔여 증폭기는 피드백 벡터가 2 이므로 피드백 대역폭은 unit-이득 대역폭보다 1/2로 감소한다. 하지만 4 비트/stage인 경우 잔여 증폭기의 이득이 8 이므로 Cs가 Cf의 7배이고, 피드백 상수가 1/8이 된다. unit-이득 대역폭이 일정하다는 조건하에 4 비트/stage의 피드백 대역폭은 1.5 비트/stage의 피드백 대역폭 보다 4배 감소한다. 또한 출력 단계에서 본 커패시터가 동일하다는 조건하에서는 피드백 대역폭을 1.5 비트/stage와 동일하게 하기 위해서는 gm을 4배 증가 시켜야 한다. gm을 4배 증가시키기 위해서는 MOS size를 16배 증가 시키거나, 전류를 16배 증가 시켜야 한다. 그러나 동일한 입력 커패시터 size 조건을 위해서는 MOS size를 고정 시켜야 한다. 따라서 gm을 4배 증가시키기 위해서는 전류를 16배 증가시켜야 한다. 전류가 16배 증가하면 4 비트/stage의 전력은 1.5 비트/stage의 전력보다 16배 증가하게 된다. 이러한 전력 소비를 줄이기 위해서 그림 6과 같이 잔여 증폭기를 사용한다. 그림 6은 1.5 비트/stage 증폭기를 3개 연결한 경우이다. 이렇게 잔여 증폭기를 사용하게 되면 이득은 4 비트/stage 차동 잔여 증폭기와 같이 8이 되고, 전력소비는 기존의 4 비트/stage 차동 잔여 증폭기보다 줄어든다.

2.5 Sub-ADC과 Encoder

Sub-ADC 동작은 한 클럭의 주기가 끝나기 전에 출력 신호가 나와야 한다. 이러한 이유로 ADC 중에 가장 빠른 출력을 얻을 수 있는 플래시 ADC를 사용하였다. 플래시 구조는 입력 신호에 대해 모든 비가스가 동시에 결과를 출력하므로 디지털신호로 변화하는데 한 클럭 주기만 필요로 하기 때문에 빠른 속도로 동작할 수 있다는 장점을 가지고 있다.

Sub-ADC에 의해 생성된 신호가 덧셈기의 입력으로 들어가기 위해서는 Encoder가 필요하다. Encoder는 Sub-ADC에 의해 생성된 14비트

신호를 4 비트로 변환해주는 역할을 한다.

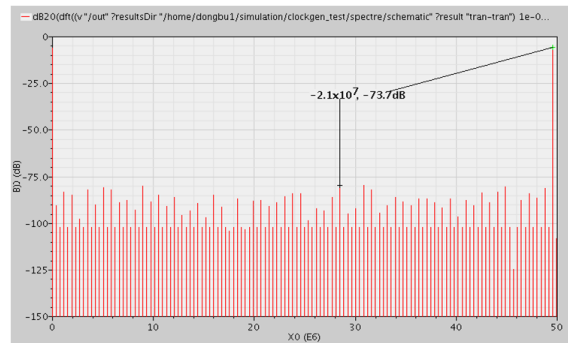
2.6 Retiming 회로와 덧셈기

각 stage를 지남에 따라 지연이 발생한다. 각 stage마다 3개의 잔여 증폭기를 지나면서 1.5 클럭의 지연이 발생한다. 따라서 각 stage별로 출력이 나오는 시간이 달라진다. 이 신호를 덧셈기에 사용할 경우 원하는 값을 얻을 수 없다. 각 stage에 나온 출력을 덧셈기에 사용하기 위해서는 각 stage에서 발생한 지연을 보상해 주어야 한다. 각 stage의 지연은 1stage를 기준으로 할 경우 2stage 지연이 1.5클럭, 3stage 지연이 3 클럭이 된다. 이를 보상함과 동시에 각 stage의 출력에 여분의 지연을 주어 1,2,3 stage의 각 출력이 동일한 timing을 갖도록 한다.

덧셈기는 각 stage에서 나온 출력을 더해서 10비트의 출력이 나오도록 한다. 계산 속도를 줄이기 위해 각 비트 단에서 carry를 미리 예측하여 계산하도록 설계된 CLA(Carry Look Ahead) 덧셈기를 사용한다.

2.7 시뮬레이션 결과

온도와 공정 파라미터에 따라 SFDR과 SNDR이 변하게 된다. 온도와 공정 파라미터가 변화하여도 ADC는 안정된 동작을 보장해야하므로 일정한 SFDR과 SNDR이 보장 되어야 한다.



〈그림 7〉 일반적인 환경(27도의 tt공정)에서의 SFDR

〈표 1〉 공정 파라미터, 온도에 따른 SFDR과 SNDR

공정 파라미터	온도(°C)	SFDR(dBc)	SNDR(dB)
tt	27	73.7	61.98
ss	120	69.9	59.97
ff	0	70.7	61.16
sf	27	71.1	61
fs	27	73.5	61.5

3. 결 론

본 논문에서는 100Msps의 동작 속도에서 70dB 수준의 SFDR과 60dB 수준의 SNDR을 갖는 ADC를 설계할 위해 3단 파이프라인 구조를 채택하였으며, 입력 단 SHA 회로에는 Nyquist 입력에서도 10비트 이상의 정확도로 신호를 샘플링하기 위해 부트스트래핑 기법 기반의 샘플링 스위치를 적용하였다. Residue amplifier 회로에는 전력을 줄이기 위해 8배 residue amplifier 대신 3개의 2배 residue amplifier를 제한하였다. 제한한 ADC는 모바일 통신 시스템에 기여할 것으로 사료된다.

[감사의 글]

본 연구는 한국건설교통기술평가원 항공선진화사업의 연구비지원(36-2007-C-공항)에 의해 수행되었습니다.

[참고 문헌]

- [1] S. Yoo et al, "A 10b 150MS/s 123mW CMOS pipeline ADC," in IEEE ISSCC Dig. Tech. Papers, Feb. 2003, pp.326-327.
- [2] B. Min et al, "A 69mW 10b 80MS/s pipelined ADC," in IEEE ISSCC Dig. Tech. Papers, Feb. 2003, pp.324-325.
- [3] A. M. Abo and P. R. Gray, "A 1.5V, 10-bit, 14.3MS/s CMOS pipeline analog-to-digital converter," IEEE J. Solid-Stage Circuits, vol. 34, no.5, pp. 599-606, May 1999.
- [4] 이승훈, 김범섭, 송민규, 최중호, "CMOS 아날로그/혼성모드 집적시스템 설계(하)," 시그마프레스, pp.103-188, 1999.
- [5] Hee-Cheol Choi, Gil-Cho Ahn, Seung-Hoon Lee, Geun-Soon Kang, Seung-Ho Lee, and Myung-Jun Choe, "A 10-bit 20-MHz CMOS A/D Converter", 대한전자공학회 논문지, 제 33권 A편 4호, Apr. 1996.