

Pulse Removed PFD를 이용한 802.11n WLAN용 $\Delta\Sigma$ Fractional-N 주파수 합성기 설계

김종철*, 전부원, 노형환, 박준석, 오하령, 성영락, 정명섭
국민대학교*

A Design of $\Delta\Sigma$ Fractional-N Frequency Synthesizer Using Pulse Removed PFD for 802.11n Standard

Kim Jongcheol, Jeon Boowon, Roh Hyung-hwan, Park Jun-Seok, Oh Ha-Ryung, Seong Young-rak*
Kookmin University*

Abstract - 본 논문에서는 802.11n 규격에 적합한 Fractional-N 주파수 합성기를 설계하였다. 본 논문에서 설계한 주파수 합성기의 특징은 PFD(Phase Frequency Detector) 뒷단에 잔여 펄스를 제거하는 Pulse Remover를 연결하여 이중 케환 Charge Pump의 안정도를 향상시켰으며, Charge Pump에서 동시에 발생하는 Up/Down 전류로 인한 Spike성 전류를 없애므로써 스퓨리어스를 최소화 시켰다. Pulse Removed PFD를 사용함으로써 발생하는 PFD Deadzone 문제는 2N+2분주와 2N-2분주기를 3차의 $\Delta\Sigma$ Modulator가 선택해줌으로 해결하였다. 삼성 0.18u 공정을 이용하여 설계 하였으며 각 블록은 Cadence spectre를 이용하여 검증하였다.

1. 서 론

$\Delta\Sigma$ Fractional-N 형 주파수 합성기는 Integer-N 형 주파수 합성기에 비하여 넓은 루프 밴드width로 인한 빠른 Lock time, Pseudo Random Sequence에 의한 적은 스퓨리어스 레벨등 많은 장점을 가지고 있다.[1] 그러한 이유로 Fractional-N 형 주파수 합성기는 여러 통신 분야에서 널리 사용되고 있다.

802.11은 WLAN(Wireless Local Area Network)의 IEEE의 표준으로 현재 802.11a/b/g/n의 표준이 제정 되어있다. 이중 802.11n은 802.11a/b/g를 포함 할 뿐 아니라 MIMO의 도입으로 Throughput을 더욱 높였다. 본 논문에서는 802.11a/b/g/n에 모두 적합한 주파수 합성기를 설계함으로써 더욱 원활한 WLAN망의 통신을 이룰 수 있도록 하였다.

2. 본 론

2.1 802.11

802.11 표준은 크게 Upper Band와 Lower Band로 주파수 대역이 두 부분으로 나뉘어 있다. Upper Band는 5~6GHz대역으로 201개의 채널이 5MHz단위로 존재하며 Lower band는 2.4GHz대역으로 11개의 채널이 5MHz단위로 존재한다. 아래 수식(1), (2)에는 Upper Band와 Lower Band의 중심 주파수를 나타내었다.[2] Lock Time은 224usec이하로 지정 되어있으며 주파수 오차는 20ppm으로 지정되어있다.[2] 또한 VCO의 위상 잡음 특성은 1MHz 오프셋 주파수에서 -110dBc/Hz 이하이어야 한다.[4]

$$\text{Channel Center Frequency} = 5000 + 5 \cdot n_{ch} \text{ (MHz)} \dots\dots\dots(1)$$

$$n_{ch} = 0, 1, \dots, 200$$

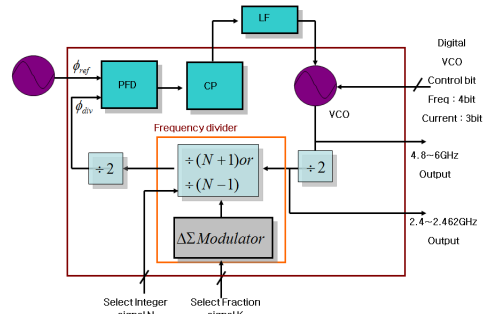
$$\text{Channel Center Frequency} = 2407 + 5 \cdot n_{ch} \text{ (MHz)} \dots\dots\dots(2)$$

$$n_{ch} = 1, 2, \dots, 11$$

2.2 $\Delta\Sigma$ Fractional-N 주파수 합성기 구조

$\Delta\Sigma$ Fractional-N 형 주파수 합성기는 아래 그림 1과 같이 구성 되어 있다. 본 논문에서 설계한 주파수 합성기의 특징은 2N+2와 2N-2의 주파수 분주비를 이용하여 소수를 만들어 줌으로써 PFD의 Dead Zone에 따른 주파수의 오차를 최소화 하였다. 또한 PFD의 뒷단에 Pulse Remover를 장착함으로써 Charge Pump의 전류 부정합에 의한 문제를 해결하였다.

<그림 1>에 나타내었듯이 본 논문에서 설계한 주파수 합성기는 VCO, I/Q 통신을 위한 div2회로, 주파수 분주기, 50%의 Duty를 맞추기 위한 div2회로, 소수를 만들어주기 위한 Digital $\Delta\Sigma$ Modulator, 위상과 주파수를 비교해주는 PFD, 루프 필터로 전류를 입력해주기 위한 Charge Pump회로 및 루프 필터로 구성 되어 있다. 각 블록에 대한 설명은 다음 장에서 하겠다.



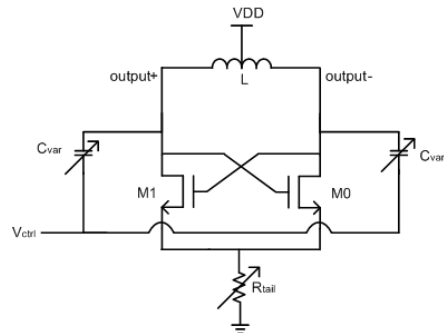
<그림 1> $\Delta\Sigma$ Fractional-N 형 주파수 합성기 블록도

2.3 설계 블록 구현

이번 장에서는 본 논문에서 설계한 $\Delta\Sigma$ Fractional-N 형 주파수 합성기의 세부 블록에 대하여 설명하겠다. 각 블록들은 68회 삼성 0.18u공정 라이브러리를 이용하여 설계하였으며, 각 패시브 소자들은 EM 시뮬레이션을 통하여 검증하였다.

2.3.1 Voltage Controlled Oscillator

VCO(Voltage Controlled Oscillator)는 주파수 혼합기에서 가장 중요한 역할을 하는 블록으로 전압 컨트롤 단자를 통하여 출력 주파수를 조절할 수 있다. 본 논문에서 설계한 VCO의 회로도를 <그림 2>에 나타내었다.

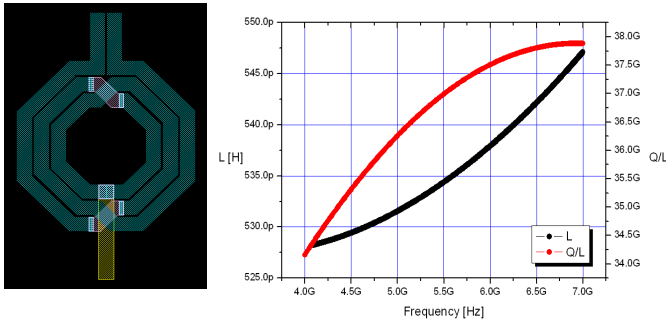


<그림 2> VCO 회로도

본 논문에서 제안한 VCO의 특징은 1.2V의 전원을 사용하며, Tail Current를 MOS 전류원 대신 저항을 사용한 것이다. 이는 MOS의 Flicker Noise에 의한 위상잡음을 최소화 한 것이다.[5] 또한 인덕터는 아래 수식(3)에 따라서 Q/L값을 크게 디자인 하여 위상잡음의 특성이 좋도록 설계하였다.[6]

$$L(\Delta\omega) \approx 10 \log \left[\frac{FkT\omega^3}{V_a^2} LQ \left(\frac{\omega_0}{Q\Delta\omega} \right)^2 \right] \approx 10 \log \left(\frac{1}{Q/L} \right) \dots\dots\dots(3)$$

여기서 F는 경험적인 지수로서 “Device Excess Noise Number”라고 한다. k는 볼츠만 상수이며 T는 절대온도를 나타낸다. Va는 VCO의 출력 진폭을 나타낸다. <그림 3>에는 설계된 인덕터의 2D Layout과 L 및 Q/L값을 나타내었다.



<그림 3> 인덕터의 2D Layout과 L 및 Q/L 값 (EM Simulation 결과)

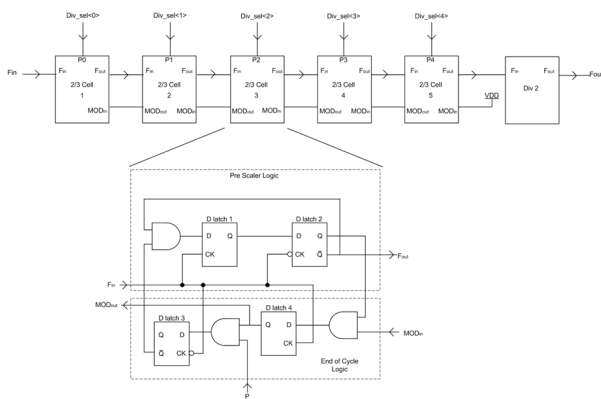
<표 1>에는 설계된 VCO의 특징에 대하여 기록하였다.

<표 1> 계된 VCO 결과

Frequency Range[GHz]	4.7 ~ 6.8
소모 전력[mA]	< 10
위상잡음@1MHz[dBc/Hz]	-111
KVCO[MHz/V]	470
출력 진폭[V _{p-p}]	2.2

2.3.2 Frequency Divider

주파수 분주기는 Modulus Divider를 이용하여 설계하였다. 분주비는 아래 수식(4)와 같이 결정 된다. CML(Current Mode Logic)을 이용하여 각 게이트 및 D Latch를 구현 하였으며 3번 2/3Cell부터는 전류소모를 줄이기 위하여 CMOS 로직으로 회로를 구성 하였다.[7] 본 논문에서는 50%의 Duty를 보장하기 위하여 뒷단에 Div2회로를 장착하였다. 이로 인하여 분주비는 2N+2와 2N-2로 되어 ΔΣ Modulator의 Input Range가 줄어들었으며 PFD의 Dead Zone에서 더욱 멀어진 부분에서의 동작을 보장한다. 아래 <그림 4>에는 Modulus Divider의 회로도를 나타내었다.

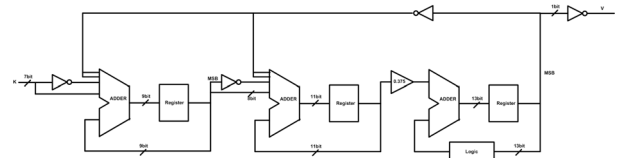


<그림 4> Frequency Divider 회로도

본 논문에서 설계한 Divider는 64~126까지 짝수로만 분주를 하며 최대 동작 주파수는 4GHz이다.

2.3.3 Digital Delta-Sigma Modulator

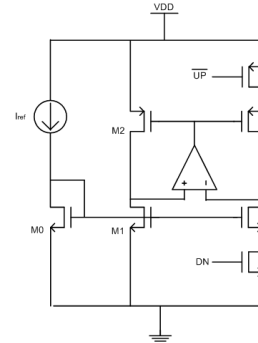
Digital ΔΣ Modulator는 Fractional-N 형 주파수 합성기에서 아주 중요한 역할을 한다. 2차 이상의 ΔΣ Modulator는 Pseudo RandomGenerator로 입력과 같은 평균 출력값을 주지만 그 순서가 Random해져 스퓨리어스 성분을 최소화 할수 있는 장점이 있다. 본 논문에서는 Ritchie 구조의 3차 Digital ΔΣ Modulator를 설계 하였다. 본 논문에서 설계한 Digital ΔΣ Modulator는 [8]을 기반으로 설계하였다. 그러나 별도의 add/sub 로직을 두 개의 인버터로 대체함으로써 그 크기를 더욱 줄였다. ΔΣ Modulator는 매트랩의 시뮬링크를 통해 시뮬레이션 결과를 확인 하여 Overflow가 발생하지 않도록 3bit의 정수 비트를 가지도록 설계 하였으며, digital adder와 register의 조합으로 구현하였다. 아래 <그림 5>에는 adder와 register로 구현된 Digital ΔΣ Modulator의 회로도를 나타내었다.



<그림 5> 3차 ΔΣ Modulator 회로도

2.3.4 Phase Frequency Detector & Charge Pump

PFD회로는 입력되는 기준 위상과 분주기로부터 분주된 VCO의 위상을 비교해주는 회로이다. PFD로부터 출력된 UP/DN 신호는 Charge Pump 회로로 입력 되는데, 이때 전류의 부정합이 발생한다. Fractional-N 형 주파수 합성기에서는 전류의 부정합이 곧 주파수의 오차이므로 본 논문에서는 OP-amp를 이용한 Dual Loop Charge Pump를 설계하였다.[9] 아래 <그림 6>에는 Dual Loop Charge Pump의 회로도를 나타내었다.

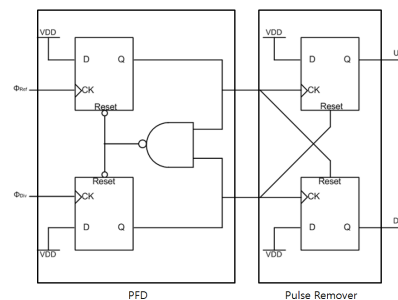


<그림 6> Dual Loop Charge Pump 회로도

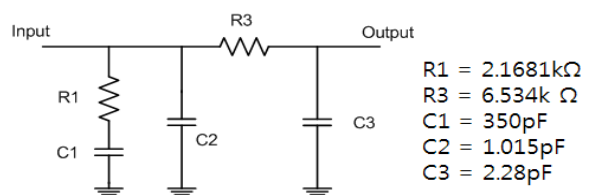
<그림 7>은 본 논문에서 제안된 Pulse Removed PFD이다. 기존의 PFD는 데드존으로부터 발생하는 주파수의 오차를 없애기 위하여 Reset Path에 지연회로를 장착한다. 그러나 이로부터 Up신호와 Down신호가 동시에 입력되는 구간이 발생한다. 이로 인하여 Spike성 전류가 루프 필터로 입력 되게 된다. 이를 방지하기 위하여 PFD의 뒷단에 Pulse Remover를 장착함으로써 Up신호와 Down신호가 동시에 입력되지 않게 하였다. 그리하여 주기적으로 발생할수 있는 Spike성 전류를 없앴은 물론, Dual Loop가 아닌 Single Loop를 유지함으로써 Charge Pump의 안정도를 향상 시켰다. 아래 <표 2>에는 PFD와 Charge Pump의 특성을 나타내었다.

<표 2> PFD / CP특성

PFD Dead Zone	±120 psec
CP 출력 전류	200uA~1.6mA
CP 전류 부정합	3.75nA @200uA



<그림 7> Pulse Removed PFD



<그림 8> Loop Filter 회로도 및 소자 값

- R1 = 2.1681kΩ
- R3 = 6.534k Ω
- C1 = 350pF
- C2 = 1.015pF
- C3 = 2.28pF

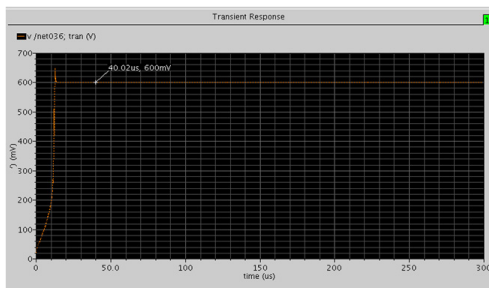
2.3.5 Loop Filter

루프 필터는 Charge Pump 회로에서 출력되는 전류를 Filtering 해주어 DC 전압으로 바꾸어 VCO의 주파수 조절단자로 입력해주는 역할을 한다. 또한 루프 필터로 인하여 VCO의 위상잡음은 HPF(High Pass Filter)를 지난 효과를 보이며 PLL의 Locking Time에도 바로 직결된다. Loop Band Width는 위상 잡음과 Locking Time 사이에서 Trade off 관계에 있으므로 신중히 선택하여야 한다. 본 논문에서는 2차의 Passive Loop Filter를 이용하여 설계하였으며 <그림 8>에는 설계한 필터의 회로도 및 그 값을 나타내었다. Loop Band Width는 3.2MHz로 하였으며 Phase Margin은 70도를 기준으로 하여 설계하였다.[10]

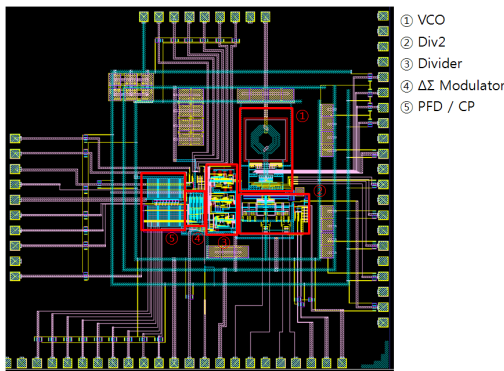
2.4 Fast Locking Simulation 결과 및 레이아웃

이번절에서는 이상적인 VCO를 가지고 수행한 Locking 시뮬레이션과 전체 Layout을 나타내었다. <그림 9>에는 PFD, CP, Loop Filter, 그리고 Ideal VCO를 연결하여 시뮬레이션을 수행하여 Locking Time을 확인하였다.

설계된 PLL의 Locking Time은 14usec이며 0.599993V의 Locking 전압을 출력하고 있다. 이는 11.67ppm의 주파수 오차를 나타내며 이는 설계 목표인 20ppm보다 작은 값으로 설계 기준을 만족한다. 그림 8.에는 Fast Locking Simulation의 결과를 나타 내었다.



<그림 9> Fast Locking Simulation 결과



<그림 10> ΔΣ Fractional-N 형 주파수 합성기 Layout

<그림 10>에는 ΔΣ Fractional-N 형 주파수 합성기 Layout을 나타 내었다. 전체 사이즈는 패드를 포함하여 2.3 X 2.2mm² 이다. 아래 <표 3>에는 설계한 주파수 합성기의 특징을 요약하여 나타내었다.

<표 3> 제안된 주파수 합성기 특징 요약

Parameter	Simulation
Supply Voltage	1.8 V
VCO Tuning Range	4.7~6.8 GHz
KVCO	470 MHz/V
Charge Pump Current	200 uA~1.6 mA
Phase Noise@1MHz	-111 dBc/Hz
Loop Band Width	3.2 MHz
Close Loop PM	70 degree
Reference Frequency	32 MHz
Lock Time	14 uSec
Total power	43 mW
Die Area	2.3 X 2.2 mm ²

3. 결 론

본 논문에서는 802.11규격에 맞는 ΔΣ Fractional-N 형 주파수 합성기를 설계 하였다. 그 결과 11.67ppm의 주파수 오차와 14usec의 Locking Time, -111dBc/Hz의 위상잡음을 가지고 있는 주파수 합성기를 설계하였다. 각 중심 주파수는 Modulus Divider의 입력과 ΔΣ Modulator의 입력 비트를 통하여 802.11전 주파수 대역을 만족하도록 설계 하였다.

본 논문에서 설계한 ΔΣ Fractional-N 형 주파수 합성기의 특징은 Pulse Remover를 PFD 뒷단에 장착한 것으로, 이를 통하여 Spike성 전류를 없애므로써 VCO의 주파수 제어 전압의 오차를 최소화 하였으며 ΔΣ Modulator를 통하여 Pulse Remover가 장착됨으로써 발생하는 Dead Zone문제를 해결하였다.

[감사의 글]

본 연구는 지식경제부 및 정보통신연구진흥원의 IT핵심기술개발사업의 일환으로 수행하였음. [2008-F-050-01, 자기유지 WBAN/USN용 u-Scavenging 기술개발]

[참 고 문 헌]

- [1] Curtis Barrett, "Fractional/Integer-N PLL Basics," 1999 (<http://focus.ti.com/lit/an/swra029/swra029.pdf>).
- [2] IEEE P802.11nTM/D1.0, March 2006
- [3] Mohammadi A. "Frequency Synthesizer Settling Time and Phase Noise Issue For WLAN Transceiver Application in IEEE 802.11n Standard ," : Electrical Engineering, 2007. ICEE '07. International Conference, , pp. 1-5, April. 2007.
- [4] Yijoo Shin. "A Low Phase Noise Fully Integrated CMOS LC VCO Using a Large Gate Length pMOS Current Source and Bias Filtering Technique for 5-GHz WLAN ," :Signals, Systems and Electronics, 2007. ISSSE '07. International Symposium on, , pp. 521-524, August. 2007.
- [5] 노형환, UHF 대역 모바일 RFID 리더 용 RFIC 저잡음 콜피츠 VCO 및 로컬 체인 설계
- [6] Dongmin Park. "A Power Optimized CMOS LC VCO with Wide Tuning Range in 0.5-V Supply ," : Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on, , pp. 4, May. 2006.
- [7] Cicero S. Vaucher, "A Family of Low-Power Truly Modular Programmable Dividers in Standard 0.35-um CMOS Technology," : IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 35, NO. 7, JULY 2000
- [8] B. Bornoosh. "Reduced complexity 1-bit high order digital delta-sigma modulator for low-voltage fractional -N frequency synthesis applications ," : IEE Proceeding-Circuit Device System, Vol. 152, No 5, October. 2005.
- [9] Jae-Shin Lee, "Charge pump with perfect current matching characteristics in phase-locked loops," : Electronics Letters, Volume 36, Issue 23, Page(s):1907 - 1908, Nov. 2000.
- [10] http://my.athenet.net/~multiplex/cgi-bin/pll_filter.main.cgi
- [11] Shuenn-Yuh Lee. "A 1-V 2.4GHz Low-Power Fractional-N Frequency Synthesizer with Sigma-Delta Modulator Controller ," : Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on, 2811- 2814 Vol. 3, May. 2005.
- [12] Scott E. Meninger, "A Fractional-N Frequency Synthesizer Architecture Utilizing a Mismatch Compensated PFD/DAC Structure for Reduced Quantization-Induced Phase Noise ," : Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, Volume: 50, Issue: 11, On page(s): 839- 849, Nov. 2003.
- [11] Ali Hajimiri, "A General Theory of Phase Noise in Electrical Oscillators ," : IEEE Journal of Solid State Circuits, VOL. 33, NO. 2, February 1998