

AC-PDP구동에서 전위차로 인한 벽전하의 소실과 어드레스 방전 지연시간에 관한 연구

전원재, 김동훈, 김종열, 이석현, 이천
인하대학교

A Study on an Address Discharge Time Lag and a Wall-Charge Loss Due to the Potential Difference in AC-PDP

Won-jae Jeon, Dong-hoon Kim, Jong-yeol Kim, Seok-hyun Lee, Cheon-Lee
Inha University

Abstract - The plasma display panel is an image expression display using gas discharge. However gas discharge characteristics vary with temperature. Furthermore, the potential difference among three electrodes appears in sustain period due to external applied voltages. It affects to the wall charge state accumulated on the electrodes. This research aims at identifying that the discharge characteristics depend on the potential difference and temperature. The results show that the wall charge loss increases with increase of the number of applied pulse during sustain period and it severely appears at high temperature.

1. 서 론

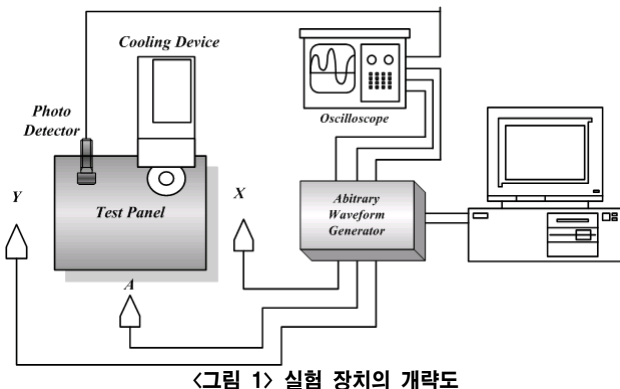
In the current ADS (Address and Display period Separated) scheme which is opted mostly for plasma display driving, one TV field is divided into several sub-fields, each containing reset, address and sustain period. The reset and address step durations are the same for all sub-field. The durations of the sustain periods in the sub-fields vary in proportional to each gray scale level, which is obtained by modulating the number of sustain pulses in a given discharge cell during a TV frame.[1] Moreover, the higher gray scale level gets, the more sustain pulses are applied in sustain period and it induces the changes in the wall charges stats accumulated on the electrode.[2] In this experiment, two types of driving waveform was employed to find wall-charges variation with the number of sustain pulse and the address discharge time lag and address voltage were measured to solve the phenomenon.

2. 본 론

2.1 실험장치 및 방법

2.1.1 실험장치

그림 1은 실험에 사용된 장치의 개략도이다. 실험에는 7.5인치 XGA급 테스트 패널(Ne+Xe10%)을 사용하였고, 패널에 적용된 구동파형은 VDS로 제어되는 AWG(FTLab, HVA800)를 사용하여 설계하였다., Temperature Controller(AceTec)를 통해 패널 전체의 온도를 조절하였고, Digital Oscilloscope(Tektronix, TDS3054), 광파형 측정기인 Photo Detector(Hamamatsu, C6386-01)를 사용하여 방전 특성을 측정하였다..

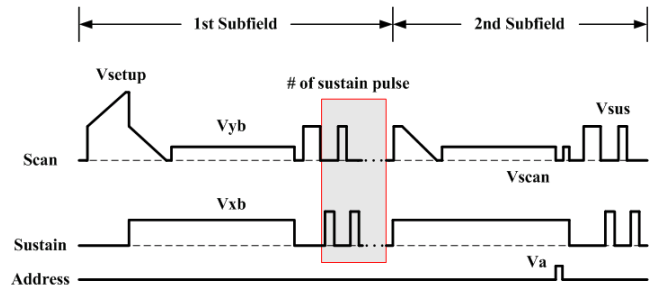


방전 특성은 방전전류대신 방전 시 발생하는 IR광을 Photo Detector로 측정하였으며 어드레스 펄스 전압의 90%지점에서 광파형의 상승부분 90%지점까지의 시간차를 방전 지연시간으로 정의하였다. 또한 400회 sampling을 통하여 평균 방전 지연시간과 통계적 지연시간 도출하였다.

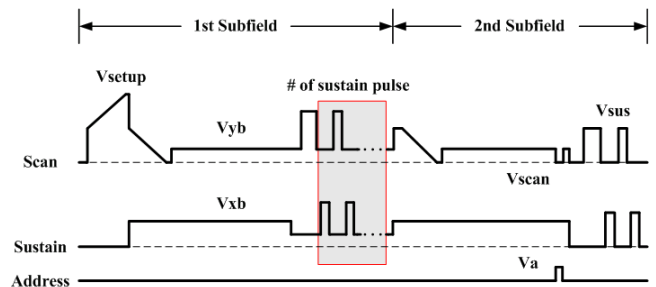
2.1.2 구동파형

전극간의 연속적인 전위차는 sustain 구간에서 발생하게 된다. 화상을 표현하기 위해서 sustain 구간에서 scan전극과 sustain전극에 교번의 sustain 펄스가 연속적으로 인가되며 계조가 높아질수록 인가되는 sustain 펄스 수는 증가하게 된다.

그림 2는 sustain 펄스 수에 따른 방전 특성을 관측하기 위해 적용된 구동파형의 개략도이다. A파형은 AC-PDP에 적용되고 있는 일반적인 구동파형이며 B파형은 sustain 구간동안 인가되는 sustain 펄스로 인해 발생하는 Scan전극과 Address전극간의 전위차를 제거하기 위하여 Sustain 펄스의 기준 전위를 V_{yb} 만큼 증가시킨 파형이다. 방전 현상의 측정은 2nd subfield에서 이루어졌고, 1st subfield의 sustain구간에서 인가되는 펄스의 수를 조절하였다.



(a) Case A



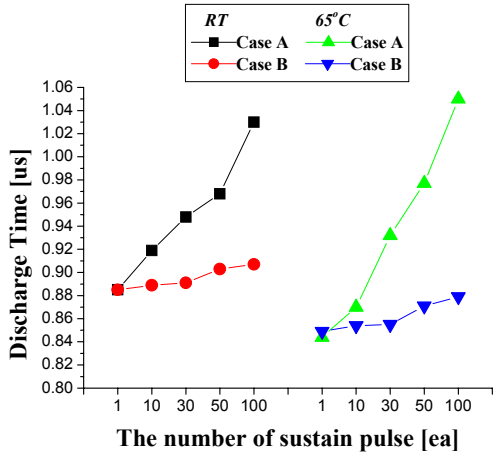
(b) Case B

<그림 2> 실험에 사용된 구동파형

2.2 실험결과

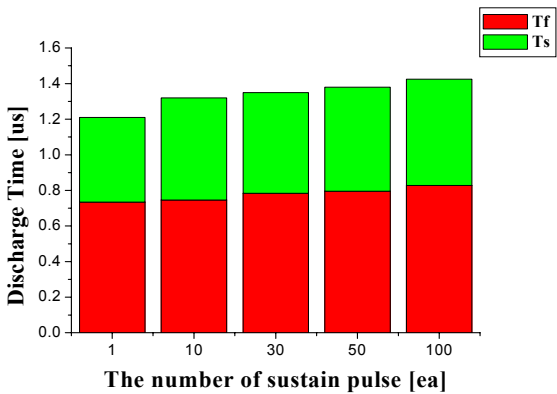
그림 3은 sustain 펄스 수에 따른 평균 어드레스 방전 지연시간의 변화를 보여주고 있다. A파형의 경우 sustain 펄스 수가 증가할수록 방전 지연시간이 크게 증가하는 것을 볼 수 있다. 또한 실온의 경우 펄스 수가 50개 이상일 경우 고온에서는 펄스 수가 30개 이상일 경우 지연 시간이 크게 증가하는 것을 알 수 있다. 특히 고온에서 sustain 펄스 수가 50개

이상이 되면 방전 지연시간이 실온에서보다 증가하는 것으로 나타났다. B과형의 경우 평균 방전 지연시간은 온도 변화에 따른 차이만 보이며 sustain 펄스 수에 따른 방전 지연시간은 거의 일정하게 나타났다.

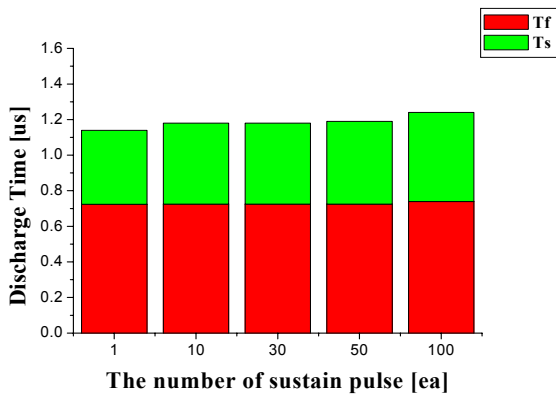


〈그림 3〉 서스테인 펄스 수에 따른 평균 어드레스 방전 지연시간

그림 4는 실온에서 방전 형성 지연시간(T_f)과 통계적 지연시간(T_s)을 측정된 결과이다. 외부 전압이 인가되는 시점에서 방전이 시작되기까지 소요되는 시간을 방전 지연 시간(Discharge Time Lag : T_d)이라 하며 이 시간은 형성 지연시간(Formative Time Lag : T_f)과 통계적 지연시간(Statistical Time Lag : T_s)으로 이루어진다. 또한, 형성 지연시간은 전체의 세기에 주로 영향을 받고, 통계적 지연 시간은 프라임밍 입자에 의해 영향을 주로 받는다.[3] 테스트 패널에 A과형을 적용했을 때 sustain 펄스수가 증가할수록 형성 지연시간의 증가(T_f)로 인해 방전 지연시간(T_d)이 증가하는 것으로 나타났다. B과형의 경우 거의 일정한 방전 지연시간을 나타냈다.



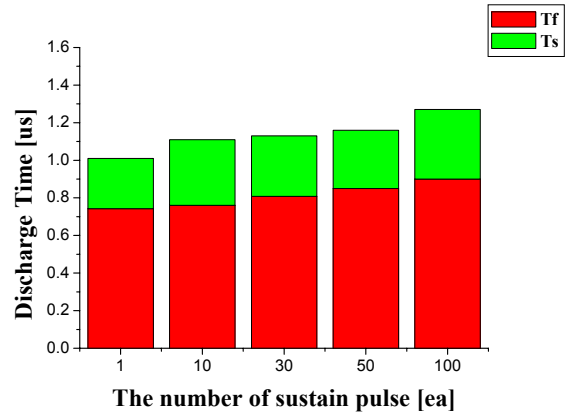
(a) Case A



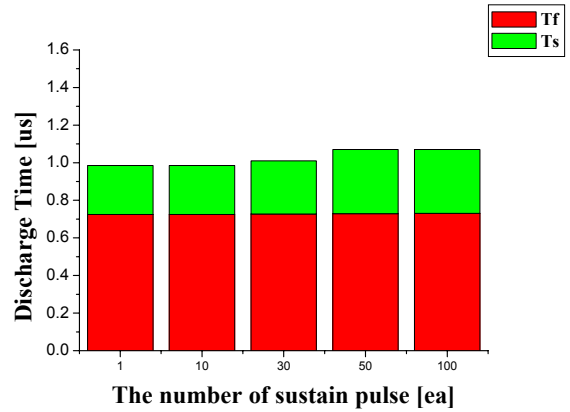
(b) Case B

〈그림 4〉 실온에서의 Formative Time Lag과 Statistical Time Lag

그림 5는 고온에서의 방전 형성 지연시간과 통계적 지연시간을 보여주고 있다. 통계적 지연시간(T_s)은 전체 패널의 온도 상승으로 인하여 감소하였다. A과형의 경우, 통계적 지연시간(T_s)은 실온에서와 마찬가지로 거의 변화가 없는 반면, 형성 지연시간(T_f)은 실온에서보다 더 큰 폭으로 증가하는 것을 볼 수 있다. 특히, sustain 펄스수가 30개 이상이 되면 형성 지연시간(T_f)이 실온보다 증가하게 된다. B과형에서는 거의 일정한 형성 지연시간(T_f)을 나타내었다.



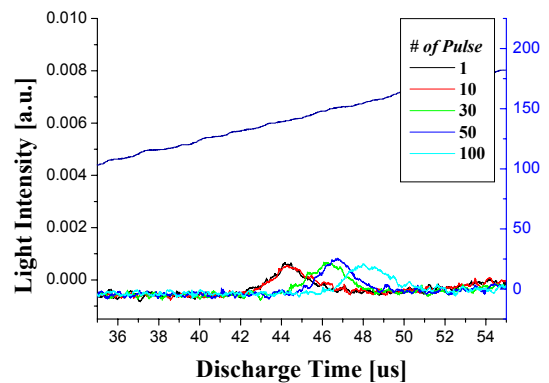
(a) Case A



(b) Case B

〈그림 5〉 고온에서의 Formative Time Lag과 Statistical Time Lag

그림 6은 고온에서 2nd subfield의 어드레스 방전 이후 Scan전극에 인가된 Ramp Pulse에서 발생하는 IR광을 측정된 것이다. 기체 방전은 외부인가 전압(V_{ext})과 벽전압(V_{wall})의 합이 방전개시 전압(V_{firing})보다 클 경우 발생한다.



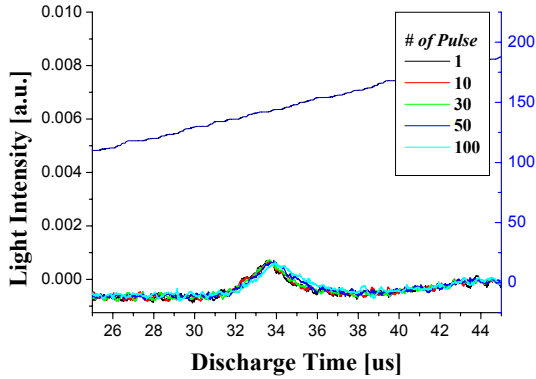
(a) Case A

3. 결 론

본 논문에서는 sustain 구간에서 scan전극과 sustain전극에 인가되는 sustain 펄스로 인해 발생하게 되는 벽전압 소실현상을 두 가지 과정을 사용하여 분석하였다. sustain 구간에서 scan전극과 address전극 간에 지속적인 전위차가 발생하는 A과형의 경우 1st subfield에 인가된 sustain 펄스의 수가 증가할수록 2nd subfield의 어드레스 방전 지연시간, 특히 방전 형성지연시간(T_f)이 크게 증가하였다. 또한 패널의 온도가 상승할수록 더욱 큰 폭의 변화를 보였다. 이는 sustain 펄스에 의한 벽전하의 소실로 인한 것으로 Test ramp pulse를 통한 방전 개시전압의 변화 및 sustain 펄스 수에 따른 어드레스 전압의 변화를 통하여 확인할 수 있었다. 고온에서 sustain 펄스 수가 100개일 경우 방전에 필요한 외부인가전압은 약18V 증가하였으며, $V_s=190V$ 에서 최소 어드레스전압은 14V증가하는 것으로 나타났다.

[참 고 문 헌]

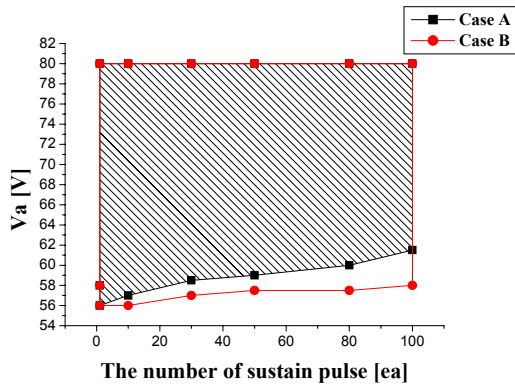
- [1] J P Boeuf, "Plasma display panels:physics, recent developments and key issues", J.Phys.D:Appl Phys.36(2003) R53~R79
- [2] Byung-Tae Choi, Hyung Dal Park, Jae Kwang Lim, and Heung-Sik Tae "Analysis of Wall Voltage Variation During Address Period Using $V(t)$ Closed Curves" SID'07 Digest, pp. 565-568, 2007.
- [3] Ji-Yong Kim, Dong-Hun Kim, Tae-Yong Song, Sun Kim, Seok-Hyun Lee, Joon-Yub Kim "A Study on the Improvement of Address Discharge Time Lag in AC PDP at Low Temperature" ASID, WP 1.02, pp.369-372 October, 2006.



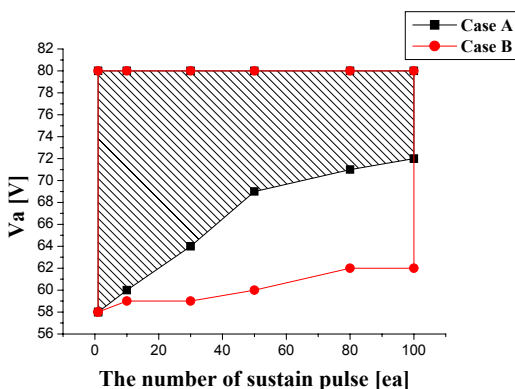
(b) Case B

〈그림 6〉 IR emission measured by test ramp pulse

A과형의 경우 1st subfield의 sustain 펄스 수가 증가할수록 방전개시 시점이 늦어지는 것을 볼 수 있다. 100개의 sustain 펄스가 인가되었을 경우 약18V정도 외부인가전압이 상승하였고, 이것은 sustain펄스 수가 증가할수록 벽전하의 소실 또한 증가한다는 것을 의미한다. B과형의 경우 방전개시 시점은 sustain 펄스수와 관계없이 거의 일정하였고, 벽전하의 소실 역시 거의 발생하지 않는다는 것을 알 수 있다.



(a) Room Temperature



(b) High Temperature

〈그림 7〉 IR emission measured by test ramp pulse

그림 7은 2nd subfield의 $V_{sus}=190V$ 에서 온도에 따른 어드레스 전압의 변화를 보여주고 있다. sustain 펄스 수가 100개일 경우 실온과 고온에서 각각 sustain 펄스 수가 1개일 경우보다 약5V, 14V 증가하였다. 그림 6의 결과와 마찬가지로 패널의 온도가 높아질수록 sustain 펄스 수에 따른 벽전하 소실의 정도가 증가하는 것을 확인할 수 있다.