

Ge₁Se₁Te₂/As에 Ag layer를 삽입한 구조의 전기적 특성

김현구, 김재훈, 정홍배
광운대학교

Electrical Characteristics of Ge₁Se₁Te₂/As with Inserted Ag Layer

Hyun-Koo Kim, Jae-Hoon Kim, Hong Bay Chung
Kwangwoon Univ.

Abstract - A detailed investigation and structure of tested samples are clearly presented. As a reference, Ge₁Se₁Te₂/As only sample was also investigated. We used compound of Ge-Se-Te material for phase-change cell. Actually, the performance properties have been improved surprisingly than conventional Ge-Sb-Te. However, crystallization time was as long as ever for amorphization time. We conducted this experiment in order to solve that problem by doping-As with Ag layer.

1. 서 론

1960년대 비정질 칼코게나이드계 물질을 이용한 메모리스위치상은 소개된 이래 최근 시제품이 나오는 등 상용화를 앞두기까지 활발한 연구가 이루어지고 있다. 비정질 칼코게나이드계 물질은 비휘발성 특성을 기본으로 하여 비휘발성 메모리 소자로서의 가능성을 내포하고 있다. 또한, 최근 재료기술의 발전과 반도체 소자 및 공정기술의 눈부신 발전, 그리고 많은 연구 성과들로 인해 가능성으로만 언급되던 비정질 칼코게나이드계 물질을 이용한 비휘발성 메모리가 현실로 다가오고 있다.[1-4]

상변화 메모리는 각각 결정질과 비정질 상태일 때의 저항 차이를 이용하여 0과 1의 1-bit 신호를 담아낼 수 있다. 특징으로는 비휘발성 메모리이고, 빠른 동작속도와 낮은 소비 전력, 긴 수명, 기존 공정과의 친밀성 등의 장점을 갖고 있다. 앞으로 더 빠르고, 더 작고, 대용량화가 가능함과 동시에, 전력소모는 덜 되는 메모리의 수요가 필요하게 되는데 이를 만족시키기 위한 메모리로써 상변화 메모리가 현재 가장 많이 사용되고 있는 플래쉬 메모리를 대체 할 차세대 메모리로 주목 받고 있다.[5] 하지만, 상용화에 이르기 위해 앞서 과도한 리셋전류와 상대적으로 오래 걸리는 결정화 시간, 불안정한 저항 특성 등의 문제를 먼저 해결해야 한다.

본 논문에서는 이미 소개된 바 있는 새로운 상변화 물질 조성인 Ge₁Se₁Te₂를 기반으로[6-7] 보다 향상되고 안정된 결정화 특성을 얻기 위해 As을 소량 첨가하고 여기에 Ag 층을 삽입하여 결정화 시간을 측정하였다.

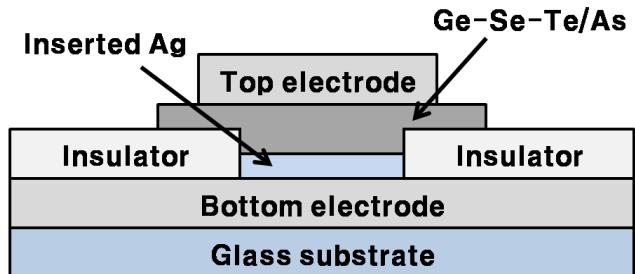
2. 본 론

2.1. 실험

본 논문에서는 Ge₁Se₁Te₂ 삼원계 물질을 기본으로 선택하였으며, 실험은 기존의 Ge₁Se₁Te₂ 제조 과정에 추가적으로 10wt%의 As을 alloying 하여 conventional melt-quench 법에 의하여 제조하였다. 시료 제작에 앞서 전자 천평(Alsep, MEV-198A)을 이용하여 각 원소를 평형했다. 시료를 진공 봉입할 석영관은 질산과 왕수를 채워 각각 24시간 동안 세척한 다음, 아세톤, T.C.E., 메탄올, 초순수 순으로 5분씩 흔들어 세척하여 준비했다. 시료를 진공 봉입하며 적절한 열처리 과정을 통해 불순물 제거 공정을 또 한 번 수행했다. 준비된 진공 상태의 capsule은 rotation(rocking) furnace에 넣어 각 시료의 녹는점에 맞추어 200°C, 600°C에서 각각 2시간동안 가열한 후, 1000°C에서 48시간 동안 유지하였다. 가열이 완료된 시료를 상온에서 급랭시켜 비정질 재료를 완성하였다.

소자의 제작은 Corning glass를 기판으로 하여 그 위에 E-beam evaporation system을 사용하여 하부 전극으로 쓰일 Al을 150nm 증착하였다. 하부 전극과 상부 전극을 분리시키기 위하여 sputtering system을 사용하여 SiO₂ 200nm를 증착한 후,

contact aligner를 이용하여 patterning 후 RIE system을 사용하여 상변화 물질을 증착할 via hole을 만들었다. 다시 열 증착기를 이용하여 상변화 재료와 Ag 층을 증착하였다. 상변화 재료의 증착은 비정질 상의 형태를 위하여 1.0~1.5Å/s의 증착율을 유지하였다. 삽입된 Ag 층의 두께는 100nm, 상변화 박막의 두께 또한 100nm로 제작하였다. 상변화 물질 증착 후, patterning 했던 PR을 제거하고 하부 전극과 같은 방법에 의하여 상부 전극을 150nm 증착하였다. 실제로 상변화가 일어나는 상변화 영역은 0.1×0.1mm로 제작하였다. 제작된 소자는 <그림 1>의 단면도 같다.

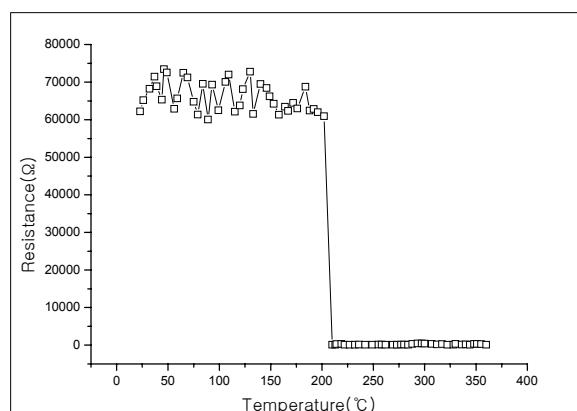


<그림 1> 제작된 샘플의 단면도

<그림 1>의 샘플은 RTA(MILA-3000)을 이용하여 2×10^{-3} 의 저진공에서 열처리 하였다. 약 5분정도 질소 gas를 이용하여 산화를 방지하였다. RTA에서의 열처리는 기존 연구에서 얻은 최적의 결과인 T_g 근처에서 200°C, 약 30분간 실행하였다. Ag를 삽입하지 않은 reference sample은 열처리 과정을 끝으로 준비되었고 Ag 층이 삽입된 구조의 샘플은 He-Ne Laser(P:P, 632.8nm)의 광을 상변화 매질에 조사하였다.

샘플의 결정화 특성은 핫플레이트에 의한 온도 상승에 따른 저항값을 멀티미터 시스템을 이용하여 실시간으로 측정하였다.

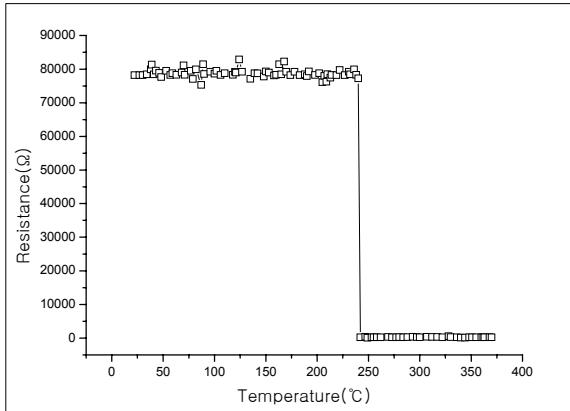
2.2. 결과 및 고찰



<그림 2> Ge₁Se₁Te₂ 샘플의 전기적 특성

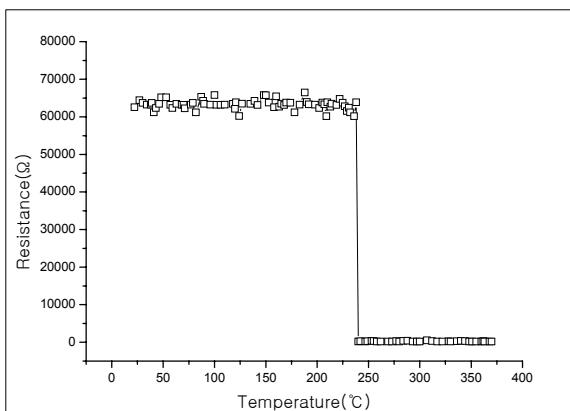
제작된 샘플은 reference를 위해 As을 첨가하지 않은 샘플과 함께 초기 비정질 상태에서 set pulse를 사용하여 결정질로 변화시켰다. 그 후 다시 reset pulse를 인가하여 비정질 상태로 고정했다. 가역적 변화 확인과 Over programming을 방지하기 위해 위와 같은 선 처리 과정을 거친 후, 앞선 실험 절에서 설명한 Hot plate 기기를 이용하고 온도 상승을 변화 인자로 적용하여 위와 같은 결정화 곡선을 얻을 수 있었다.

<그림 2>에 나타나듯 샘플은 초기에 60~75KΩ 범위의 고 저항 상태를 갖는다. $\text{Ge}_1\text{Se}_1\text{Te}_2$ 의 조성과 비정질 상에 따른 초기 고 저항상태는 약 15KΩ의 변동 폭을 갖지만 기준의 상변화 물질에 의해 낮은 결정화 온도를 갖는다.



<그림 3> $\text{Ge}_1\text{Se}_1\text{Te}_2/\text{As}$ 샘플의 전기적 특성

연구실에서 지속적으로 연구되어온 이전 실험 결과로 얻은 최적 값인 As을 10wt%를 첨가한 샘플의 특성 그래프를 <그림 3>에 나타냈다. As의 함량이 다른 경우는 본 샘플의 결과 값보다 안 좋은 특성을 나타내고 본 논문의 연구 주제와는 어긋나므로 제외했다. 다음에 나타낸 <그림 3>은 10wt%의 As-doped 샘플에 Ag layer adopted 모델의 샘플이다.



<그림 4> Ag layer가 적용된 $\text{Ge}_1\text{Se}_1\text{Te}_2/\text{As}$ 샘플의 전기적 특성

Dangling bond를 포함한 각종 defect는 열처리 효과에도 불구하고 국적인 상태에 따라 불균일한 fluctuation을 갖는 고 저항 상태를 보인다. <그림 2>에서 나타난 불균일한 저항 변화가 이를 나타내고 있다. 따라서 본 연구실에서 진행되어온 As을 첨가한 경우 이 defect들을 채워주고 dangling bond와의 결합을 유도함으로써 그 fluctuation을 flat화한 그래프가 <그림 3>이다. 또한 75KΩ 이상의 고 저항 상태를 안정적으로 확보했음을 알 수 있다. 그런데 이 방법에서 문제가 되는 부분은 As의 첨가로 인해 높아진 결정화 온도이다.

<그림 3>과 <그림 4>에서 나타나는 결정화 온도는 약 238~240°C의 범위이다. <그림 2>의 $\text{Ge}_1\text{Se}_1\text{Te}_2$ only인 bare 샘플에서의 결정화 온도가 약 210~213°C인 것을 고려하면 큰 결정화 온도 상승임을 알 수 있다. 이 상승폭은 As의 높은 녹는점이 구조 내에서 영향을 미친 것으로 해석된다. 하지만 그 함량이 15~20wt%에 비해 적기 때문에 그 상승폭 또한 비교적 적고 doping의 장점으로 높은 sensing margin을 얻을 수

있었다.

<그림 4>는 Ag layer를 상변화 물질 하부에 증착하고 laser를 photo doping하여 더 높은 전도도를 얻고자 했다. 결정화 온도에 있어서 약 2°C의 낮은 결정화 온도를 얻을 수 있었다. 또한 Ag ion의 내부 결합으로 인해 전체적으로 더 낮은 61KΩ의 고 저항 영역을 보였다. 저 저항 영역에서도 다소간의 변화는 있었으나 수 10Ω의 변화는 전체적으로 거의 영향을 미치지 못해 논외로 했다.

3. 결 론

본 연구에서는 이미 소개 된 바 있는 새로운 조성비의 칼코게이드계 $\text{Ge}_1\text{Se}_1\text{Te}_2$ 를 기초로 As을 도핑한 상변화 물질에 Ag layer를 먼저 증착하여 제작하고 결정화 특성을 분석하였다.

As을 도핑하지 않은 $\text{Ge}_1\text{Se}_1\text{Te}_2$ 박막의 상변화 물질은 200nm의 박막 두께에서 210°C의 결정화 온도를 갖고, 10wt%의 As을 도핑한 $\text{Ge}_1\text{Se}_1\text{Te}_2$ 박막의 결정화 특성은 역시 박막의 두께가 200nm일 때 결정화 온도 238°C를 나타내는 것을 관찰 할 수 있었다. 또한 역시 As를 도핑한 소자는 높은 결정화 온도를 갖지만 좀 더 안정화된 특성과 높은 sensing margin 폭을 갖는 것을 알 수 있었다. 여기에 본 논문의 주 논제인 Ag layer를 삽입한 경우 안정된 고 저항 영역에서의 저항 flat화는 물론 결정화 온도의 저하를 얻을 수 있었다. 하지만 Ag ion의 결합으로 인해 Sensing margin 폭의 감소를 초래 했다. dangling bond 및 존재 가능한 defect들을 As가 좀 더 빠르게 채워주어 noise에 가까운 fluctuation의 감소를 가져온 것으로 보인다.

결과적으로, $\text{Ge}_1\text{Se}_1\text{Te}_2$ 조성의 상변화 메모리 소자에 As을 도핑하고 Ag layer를 삽입함으로써 상변화 물질의 신뢰성 향상을 위한 해결방법을 제시하고 기존에 부족하던 안정화에 대한 연구가 병행되어 연구되었다.

감사의 글

This research was supported by the MKE (Ministry of Knowledge Economy), Korea under the ITRC (Information Technology Research Center) Support program supervised by the IITA (Institute of Information Technology Advancement) (IITA-2008-C1090-0801-0018)

[참 고 문 헌]

- [1] A. Madan and M. P. Shaw, "The physics and Applications of Amorphous Semiconductors", Academic Press, p.382-408, 1988
- [2] Mott and Davis, "Electronic processes in Non-crystalline Materials", Oxford University Press, p.507-512, 1979
- [3] T. Matsushita, T. Yamagami, and M. Okuda, "Switching Phenomena Observed on Ge-Se-In System", Japan. J. Appl. Phys., Vol.11, pp.422, 1972
- [4] A. Hamada, M. Saito, and M. Kikuchi, "Energy Gap Discrepancy in Amorphous Semiconductors of As-Te-Ge System", Japan. J. Phys., Vol.1, pp.530, 1971
- [5] R. Neale, "Amorphous nonvolatile memory: the past and the future", Electronic Engineering, pp.67-78, April 2001
- [6] Hong-Bay Chung, et al., "Phase-change characteristics of chalcogenide $\text{Ge}_1\text{Se}_1\text{Te}_2$ thin films for use in nonvolatile memories", J. Vac. Sci. Technol. A 25(1), pp.48-53, 2007
- [7] Jae-Min Lee, et al., "Electrical Switching Studies of Amorphous $\text{Ge}_1\text{Se}_1\text{Te}_2$ thin film for a High-Performance Nonvolatile Phase-Change Memory", Japanese Journal of Applied Physics, Vol. 45, No.6B, pp. 5467-5470, 2006