

항복 에너지 향상을 위해 분절된 트렌치 바디 접촉 구조를 이용한 새로운 전력 MOSFET

김영실, 최영환, 임지용, 조규현, 한민구
 서울대학교 전기·컴퓨터 공학부

New Power MOSFET Employing Segmented Trench Body Contact for improving the Avalanche Energy

Young-Shil Kim, Young-Hwan Choi, Ji-Young Lim, Kyu-Heon Cho and Min-Koo Han

School of Electrical Engineering and Computer Science, Seoul National University yskim@emlab.snu.ac.kr

Abstract - 본 실험에서는 CMOS 공정에서 사용하는 실리콘 트렌치 공정을 이용하여 분절된 트렌치 바디 접촉구조를 형성, 60 V급 전력 MOSFET 소자를 제작하였으며, 결과 소자의 면적을 증가시키지 않고도 제어되지 않은 유도성 스위칭 (UIS) 상황에서 낮은 전도 손실과 높은 항복 에너지 (E_{AS})를 구현하였다. 분절된 트렌치 접촉구조는 소자의 사태 파괴시 n^+ 소스 아래의 정공전류를 억제한다. 이는 트렌치 밑 부분에서부터 이온화 충돌이 일어나기 때문이며, 이는 기생 NPN 바이폴라 트랜지스터의 활성화를 억제하여 항복 에너지를 증가시킨다. 기존 소자의 항복 전압은 69.4 V이고 제안된 소자의 항복 전압은 60.4 V로 13% 감소하였지만, 항복 에너지의 경우, 기존소자가 1.84 mJ인데 반하여 제안된 소자는 4.5 mJ로 144% 증가하였다. 트렌치의 분절 구조는 n^+ 소스의 접촉영역을 증가시켜 온 저항을 감소시키며 트렌치 바디 접촉구조와 활성영역의 균일성을 증가시킨다.

부분이 시물레이션 결과와 거의 일치하였고 예상대로 전계는 트렌치의 밑 부분에서 집중되었다.

1. 서론

많은 전력기기에서 사용되는 전력 MOSFET은 낮은 전도손실 및 스위칭 손실 특성을 갖추어야 하며, 또한 제어되지 않은 유도성 스위칭 (UIS) 상황과 같이 높은 전류가 흐르는 상황에서 기생 바이폴라 소자가 동작하지 않도록 할 만큼 안정되어야 한다.

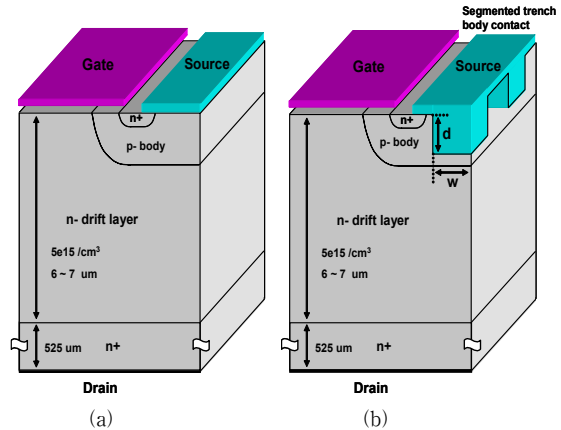
UIS 상황에서 MOSFET소자가 안정성을 잃는 이유는 소자에 높은 유도성 전류가 발생하였을 때 기생 NPN 바이폴라가 동작하기 때문이다 [1]. 이러한 기생 바이폴라 소자가 켜지는 것을 억제하기위해 여러 가지 방법이 사용되고 있다[1-3]. 그 중 하나가 측벽 공정이나 높은 에너지를 사용한 주입공정 (implantation)을 이용하여 n^+ 소스 밑 부분의 p 바디 영역의 저항을 낮춰주는 것이다. 그러나 이러한 방법들은 문턱전압의 변화 없이 측벽구조를 변화시키거나 도핑농도를 조절하기 매우 어렵다. 다른 방법으로는 또 다른 정공우물을 형성하거나 P^+ 다이오드를 추가로 연결하여 전류의 방향을 p 바디의 꼭면에서 바닥면으로 바꿔주는 것인데, 이는 p^+ 우물을 형성하기 위해서 소자의 면적이 넓어지는 문제가 있다. 본 연구실은 이전에도 항복 에너지 (E_{AS}) 향상을 위해 분절되지 않은 트렌치 접촉구조를 제안한바가 있다[4]. 분절되지 않은 트렌치 접촉 구조는 트렌치의 균일성과, 공정 시 n^+ 소스의 정렬 여분을 감소시키며 이는 불균일한 순방향 차단 특성과 전도 특성을 야기한다.

따라서 본 연구에서는 분절된 트렌치 바디접촉(STBC) 구조를 이용하여 항복에너지를 향상시키고 트렌치 바디접촉의 균일성을 확보하였다. 또한 제안된 구조의 메커니즘을 확인하기 위해 표 1에 나타나있는 것과 동일한 물리적 변수를 사용하여 이차원상에서 시물레이션을 시행하였다.

2. 본론

2.1 소자의 제작

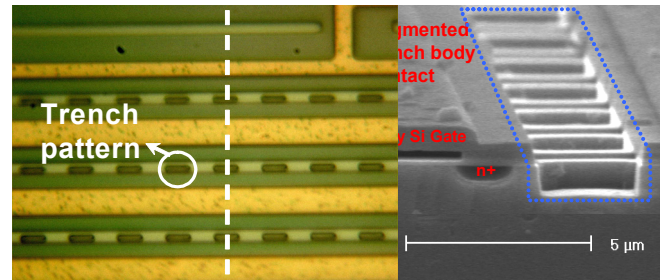
제안된 소자의 구조와 이전 소자의 구조는 각각 그림 1 (a) 와 2 (a) 에 나타나있다. 소자는 CMOS 공정을 이용하여 60 V급 VDMOS (Vertical Double Diffused MOS) 로 제작되었다. n^+ 기판위에 인(P)이 도핑된 에피층 (Epitaxial layer)을 성장시켰으며 두께 및 도핑농도는 각각 $6.3 \mu\text{m}$, $5 \times 10^{15} / \text{cm}^3$ 이고, 순방향 차단을 위해 사용된다. 게이트 산화막과 LPCVD (Low Pressure Chemical Deposition) 방법으로 증착된 폴리 게이트의 두께는 각각 1000Å, 3000Å이다. p 바디 접합의 깊이는 $3 \mu\text{m}$ 이다. STBC 구조를 형성하기 위해 금속공정 전에 ICP-RIE (Inductively Coupled Plasma- Reactive Ion Etching) 방법을 이용하여 실리콘 트렌치를 형성하였다. 본 실험에서는 트렌치의 깊이를 실험 변수로 하였으며, 깊이는 1.2 μm , 1.3 μm , 1.4 μm 이다. 분절된 트렌치 바디접촉 (STBC)을 사용한 소자의 평면도와 소자의 단면에 대한 SEM (Scanning Electron Microscope) 영상은 그림 2에 제시되어있다. 트렌치 측벽의 경사도는 시물레이션 결과와는 다소 다르지만, 트렌치의 말단



〈그림 1〉 기존 60 V급 전력 MOS (a)와 제안된 소자(b)의 구조

Parameter	Value	Unit
Xj of p-body	1.5	μm
Width of trench	1	μm
Depth of trench	1.2, 1.3, 1.4	μm
Spacing of trench	4	μm

〈표 1〉 소자제작을 위한 변수



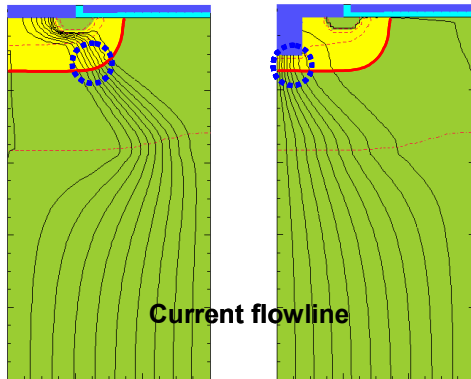
〈그림 2〉 분절된 트렌치 바디접촉 구조의 평면도와 단면도

2.1.1 실험 결과 및 고찰

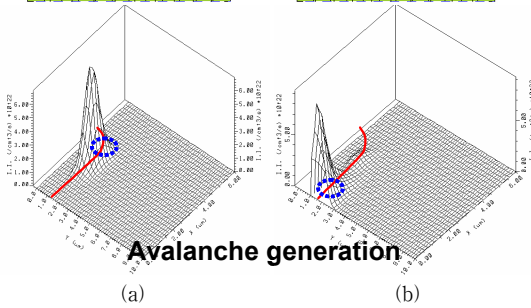
제안된 소자의 전류-전압 특성은 HP4156과 Tektronix 370A curve tracer를 이용하여 측정되었다. UIS 특성은 UIS 검사 회로를 이용하여 측정하였다. 게이트 전압이 인가되었을 때 전류는 인덕터를 통해 흐르게 된다. 특정 드레인 전류 값이 되었을 때, 게이트 전압을 제거하면 인덕터에 저장되어있던 에너지가 DUT (Device Under Test)를 통해 방출되며 소자에 높은 전류를 흘리게 된다. 이렇게 생성된 고 전류는 높은 전압강하를 발생시키고 따라서 높은 전력손실이 발생한다.

본 실험에서 수행된 시물레이션 결과에 따르면 트렌치의 폭 보다는 트렌치의 깊이가 항복에너지를 향상시키는데 더 효과적임을 나타내고

있다[5]. UIS 상황에서 사태 생성률 (Avalanche Generation Rate)은 그림 3에 나타나있으며, 그림에서 보듯이 기존소자의 사태 생성률이 최대가 되는 지점은 p 바디영역의 곡면부분이지만, 제안된 소자의 최대점은 바디의 아랫부분임을 나타내고 있다. 게다가 제안된 소자의 생성률은 기존소자의 생성률 보다 낮았으며 이는 곧 제안된 소자가 기존 소자보다 안정됨을 의미한다.



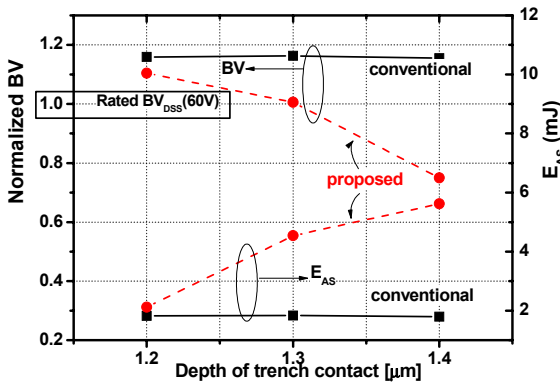
Current flowline



Avalanche generation

〈그림 3〉 각 소자의 전류 흐름과 이온화 충돌에 의한 생성률에 대한 시뮬레이션 결과 (a) 기존소자 (b) 제안된 소자

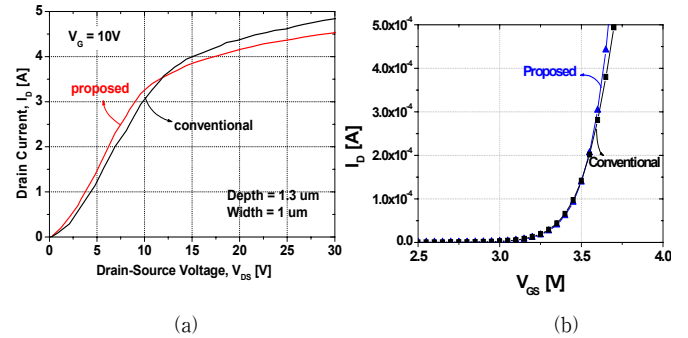
제안된 소자의 항복 전압은 트렌치의 깊이가 증가할수록 감소하였다. 그림 4에 나타난 것처럼 표준화된 항복전압은 목표 항복전압(60V)에 대한 측정 항복전압의 비를 나타낸다. 트렌치의 깊이가 1.2 μm 일 때, 항복전압은 감소하지 않았다. 이는 여전히 소자의 파괴가 p 바디의 곡면에서 발생하였기 때문이다. 트렌치의 깊이가 1.3 μm 일 때는 항복전압이 69.8V에서 60.4V로 13% 정도 감소하였으며, 이는 소자의 파괴가 p 바디의 밑 부분에서 발생하였기 때문이다. 반면 소자의 항복 에너지(E_{AS})는 깊이가 증가함에 1.84 mJ에서 4.5 mJ로 144% 증가하였으며, 이는 분절된 트렌치 바디 접촉구조가 사태 파괴 전류 (Avalanche Failure Current)를 1.45 A에서 2.14 A로 증가시켰기 때문이다.



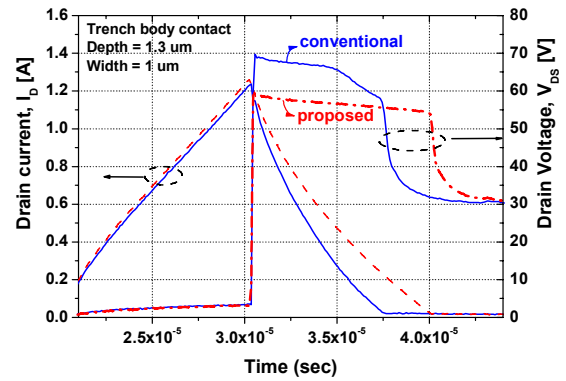
〈그림 4〉 트렌치 깊이에 따른 표준화된 항복전압

그림 5는 제안된 소자의 문턱전압을 나타내고 있으며, 기존소자와 동일한 문턱전압임을 확인할 수 있다. 이는 채널의 도핑농도가 기존 소자와 동일하기 때문이다. 그림 5(a)는 제안된 소자의 전류-전압 특성을 나타내고 있다. 소스와 드레인 사이의 온 저항 (R_{DS-ON}) 값은 기존소자보다 약간 감소하였다. 이는 분절된 트렌치 구조로 인해 제안된 소자에서 소스의 접촉영역이 증가하였기 때문이다. 그림 6은 UIS 상황에서의

드레인 전압을 나타내고 있다. 인덕터를 통해 흐르는 전류값(I_L)이 1 A가 되기 위해서는 인덕터값은 103 μH , 게이트 펄스의 지속시간은 20 μs 가 되어야 한다. 제안된 소자는 전류의 방향을 바꿔줌으로써 기생 바이폴라 트랜지스터가 활성화되는 것을 억제하고, 이를 통해 기존소자보다 드레인 전압의 감소정도를 완화시키며 방전시간을 기존소자의 시간보다 약간 더 길게 하여 UIS 상황에서 기존소자보다 향상된 항복 에너지 값을 갖는다[5].



〈그림 5〉 측정된 전류-전압 특성 및 트랜스퍼 특성



〈그림 6〉 UIS상황에서 측정된 소자의 파형

3. 결 론

본 실험에서는 분절된 트렌치 접촉구조(STBC)를 이용한 60V급 MOSFET을 제작하고 UIS 특성을 측정하였다. 분절된 트렌치 바디접촉(STBC) 구조는 소자의 파괴가 발생하는 부분을 바꿔줌으로써 균일한 트렌치 접촉을 형성하고 아울러 소자의 면적증가나 다른 특성의 변화 없이 항복 에너지를 1.84 mJ에서 4.5 mJ로 144% 증가시켰다.

또한 분절된 트렌치 접촉구조를 이용, 소스의 접촉 면적을 증가시켰기 때문에 소자의 온 저항 (R_{DS-ON}) 값은 4.37 Ω 에서 3.78 Ω 로 감소하였다. 실험결과 가장 최적화된 트렌치의 깊이는 1.3 μm 였다. 본 실험에서 제안된 구조의 효율성은 UIS 상황에 더 취약한 JFET(Junction Field Effect Transistor)소자를 이용하여 더 조사될 계획이다.

[참 고 문 헌]

- [1] J.Zeng and Frak Wheatley, ISPSD'99, pp.205-208, 1999.
- [2] C.Kocon, J.Zeng and R.Stokes:Proc. 12th ISPSD (2000) p157
- [3] R.K.Williams, W.Grabowski, M.Darwish, M.Chang,H.Yilmaz and K.Owyang; IEDM Technical Digest(1997) p.363
- [4] I-H Ji,Y-H Chio,S-S kim,Y-I Chio and M-K Han, SSDM '05, pp590-591, 2005
- [5] S.S Kim, J.K Oh and M.K Han;Jpn. J.Appl. Phys.Vol 42(2003) p.1
- [6] A.Narazaki, J.Maruyama, T. Kayumi, h, Hamachi, J. Moritani and S.Hine:Proc 12th ISPSD(2000) p.377