

교류 자계 유도 결정화된 다결정 박막 트랜지스터의 비대칭 오프셋 구조를 통한 누설 전류 감소 효과

강동원\*, 이원규\*\*, 한상면\*\*, 최준후\*\*, 김치우\*\*, 한민구\*  
 서울대\*, 삼성전자 LCD총괄\*\*

Leakage Current Suppression of Asymmetric-Offset Polycrystalline Thin Film Transistor employing Alternating Magnetic Field Enhanced Rapid Thermal Annealing

Dong-Won Kang\*, Won-Kyu Lee\*\*, Sang-Myeun Han\*\*, Joonhoo Choi\*\*, Chi-Woo Kim\*\*, Min-Koo Han\*  
 Seoul National University\*, LCD Business, Samsung Electronics Co.\*\*

**Abstract** - N형 공핍 모드의 탑 게이트 다결정실리콘 박막 트랜지스터에 비대칭 오프셋 구조를 적용하였다. 이로써 드레인 부근의 전계를 감소시켜, on전류의 큰 손실 없이 누설 전류를 86% 감소시켰다. 박막 트랜지스터는 유리 기판위에 교류 자계 유도 결정화를 이용하여 제작하였고, 마스크 추가 없이 오프셋 구조를 형성하였다. 또한 비정질 실리콘과 n+ 층은 이온 주입을 하지 않고 증착하였다. 이 방법은 능동 구동 디스플레이에서 소비 전력 감소와 이미지 유지에 도움이 될 수 있다.

1. 서 론

능동구동 유기발광다이오드 디스플레이의 픽셀의 관점에서 저온 액시머 레이저 다결정실리콘 박막 트랜지스터는 높은 전류 구동과 전계 효과 이동도가 큰 장점인 반면 화소 간의 불균일성과 높은 비용 문제가 있다. 레이저를 쓰지 않는 고상결정화 방식은 공정이 간단하고 저렴하며 균일하여 레이저 방식의 대안으로서 적절하나, 고온에서 장시간 결정화하기 때문에 유리 기판의 변형 문제가 있다[1].

최근 보고된 자계 유도 결정화[2]는 자계를 인가하여 실리콘 원자의 운동을 증가시켜 온도 상승효과를 이용하여 결정화 시간과 온도를 줄이는 방법이다[3]. 이로써 유리 기판의 변형 없이 박막 트랜지스터를 제작이 가능하나 누설 전류가 크다는 문제가 있다.

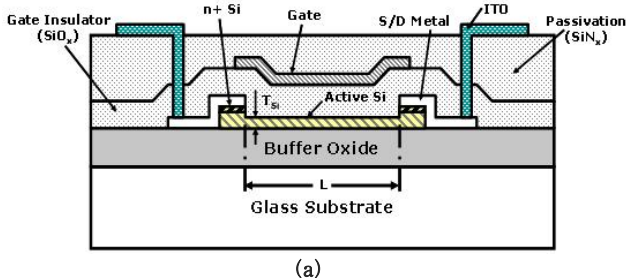
본 논문에서는 비대칭 오프셋 구조를 이용하여 누설 전류를 줄이는 연구를 하였다. 이 과정에서 이온 도핑 없이 n+ 층을 증착하여 접촉 저항을 높였고 오프셋을 위한 마스크는 추가로 사용하지 않았다. 이 새로운 소자의 제작 공정은 기존의 비정질 실리콘 박막트랜지스터 공정으로도 가능하다.

2. 본 론

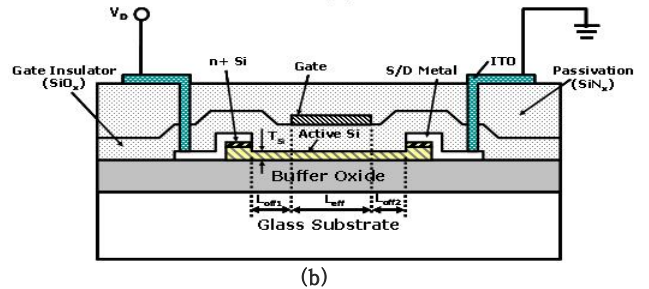
2.1 실험 - 소자 제작

그림 1의 (a)와 (b)는 각각 비대칭 오프셋 구조를 사용하지 않은 경우와 사용한 경우의 자계 유도 다결정실리콘 박막 트랜지스터이다.

유리 기판위에 버퍼로 실리콘 산화막(500 nm)을 증착한 후 비정질 실리콘(100 nm)과 n+ 비정질 실리콘(5 nm)을 증착하였으며, 일반적인 비정질 실리콘 박막 트랜지스터 공정과 같다. 그 후에 750 °C에서 30분간 자계 유도 결정화를 수행하였다. 실리콘 영역 패터닝 후 소스/드레인을 형성하여 이를 마스크로 삼아 건식 식각하여 채널 영역을 만들었다. 이어서 게이트 산화막(60 nm)을 증착 후 게이트 전극을 형성하고, 소자 보호를 위하여 보호막으로 실리콘 질화막(600 nm)을 증착하였다. 전극과의 연결을 위해 식각 후 ITO(70 nm)를 증착하였다. 오프셋 구조를 이용하지 않은 박막 트랜지스터의 채널 폭과 길이는 각각 200µm, 8µm이고, 비대칭 오프셋의 길이는 양 쪽에 각각 0.65µm, 1.90µm이었다.



(a)



(b)

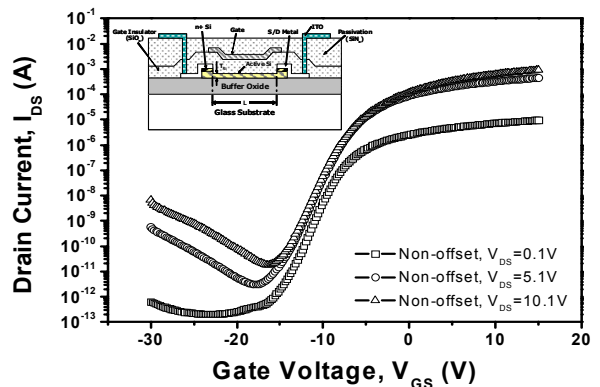
<그림 1> (a) 오프셋 미적용 자계 유도 다결정 박막 트랜지스터 (b) 제안한 오프셋 적용 자계 유도 다결정 박막 트랜지스터

3. 결과 및 토의

비대칭 오프셋 구조가 적용된 박막 트랜지스터와 적용되지 않은 소자의 전류-전압 특성을 측정하였다. 그림 2는 오프셋을 미적용한 소자의 전류-전압 특성이다. 0V의 게이트 전압에서도 on 전류가 흐르기 때문에 이 소자는 공핍 모드에서 동작한다고 할 수 있다.

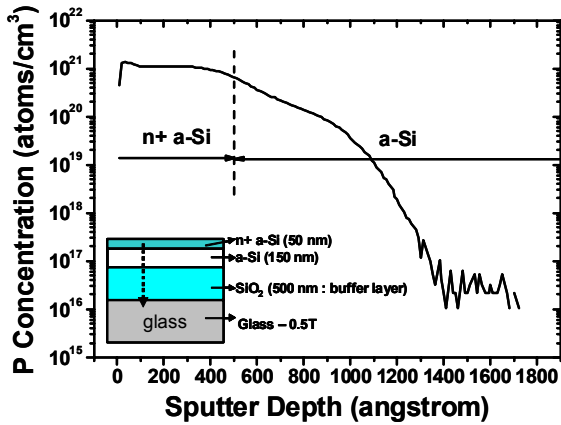
이 소자의 문턱 전압은 -6.83V, 전계 효과 이동도는 3.10 cm<sup>2</sup>/V • s, S 기울기는 0.5097V/dec 이었다.

그림 3은 P+ 이온이 n+에서 비정질 실리콘 층으로 확산되는 농도 분포를 분석한 이차 이온 질량 분석 데이터이다. 결정화가 진행되는 동안 P+ 이온이 기판 쪽으로 많이 확산되었음을 알 수 있다. 채널 영역을 충분히 식각했음에도 불구하고 P+이온이 채널에 많이 존재하는데 이것은 마치 채널 도핑 효과처럼 문턱 전압의 감소를 일으킨다[4]. 대부분의 능동 구동 디스플레이의 소자는 축적 모드에서 동작하지만, 제작된 이 소자는 공핍 모드에서 동작하는 이유가 바로 여기에 있다.

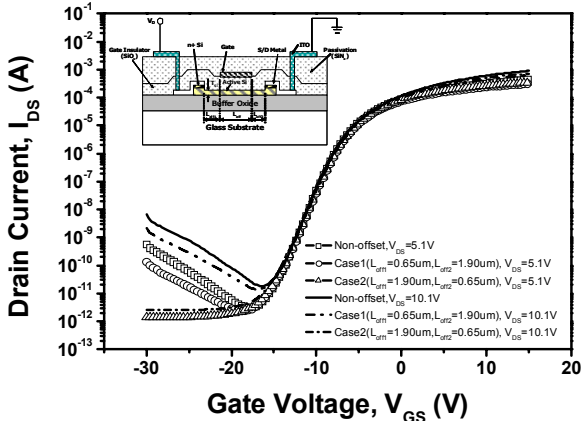


<그림 2> 오프셋 미적용 자계 유도 다결정 박막 트랜지스터의 transfer 특성

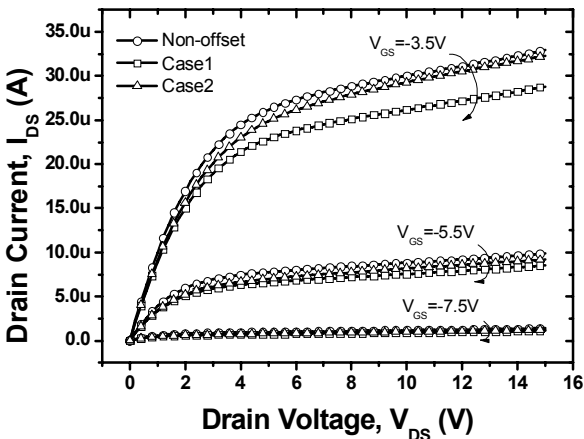
제안한 비대칭 오프셋을 적용한 소자의 transfer/output 특성이 그림 4에 있다. 오프셋은 case1의 경우 L<sub>off1</sub>=0.65µm, L<sub>off2</sub>=1.90µm이고 소스/드레인 전극을 바꿔 측정된 것이 case2이다. 두 경우 모두 오프셋 미적용시보다 누설전류가 감소하였는데, 이것은 드레인 공핍영역에 걸리는 전계를 감소시켰기 때문이다. 그러나 저항 성분이 그만큼 증가하기 때문에 on 전류도 감소한다.



〈그림 3〉 자계 유도 다결정 박막의 P+ 이온 농도 분포



(a)



(b)

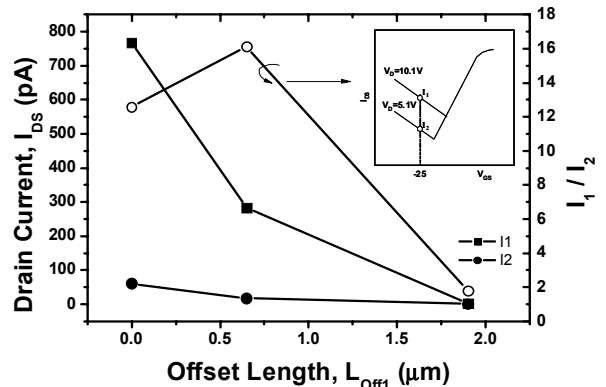
〈그림 4〉 (a) 오프셋 미적용 소자와 적용된 소자의 transfer 특성 (b) 오프셋 미적용 소자와 적용된 소자의 output 특성

그림 4(b)에서는 case2가 오프셋 미적용 소자의 on 전류와 더 가까운 데 이것은 case1이 소스에서 저항 성분이 커서 전하 흐름이 감소하기 때문이다.

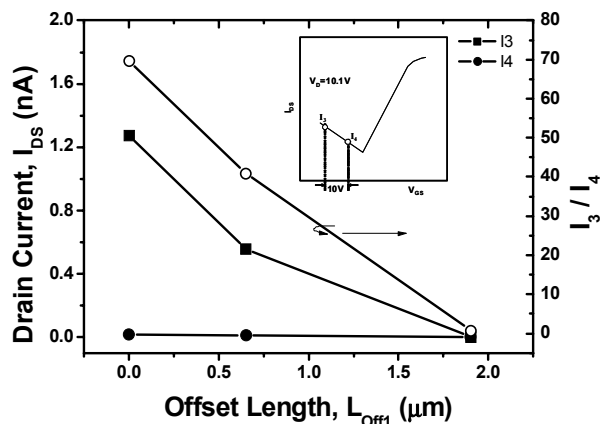
그림 5는 오프셋 적용 소자의 누설 전류 특성을 보여준다. 그림 5(a)는  $L_{off1}$ 에 대해서  $V_D$ 에 따른  $I_1/I_2$ 의 누설 전류 증가율을 보여준다.  $I_1/I_2$ 의 정의는 K. Tanaka et al.[5]의 그림과 같다. 오프셋 미적용 소자는  $V_D$ 의 증가에 따라 누설 전류가 급격하게 증가하지만  $L_{off1}=1.90\mu\text{m}$ 가 적용된 소자는 미적용 소자의 누설 전류 대비 86%가 감소하였다. 이것은 드레인 전극 부근에 걸리는 전계가 감소하기 때문이다.

그림 5 (b)는  $L_{off1}$ 에 대해서 음의 게이트 전압에 따른  $I_3/I_4$ 의 누설 전류 증가율을 보여준다.  $I_3/I_4$ 의 정의는 K. Tanaka et al.[5]과 같다. 오프셋 미적용 소자는  $V_G$ 가 음의 방향으로 증가하면서 누설 전류가 크게 증가하지만,  $L_{off1}=1.90\mu\text{m}$ 이 적용된 소자의 누설 전류는  $V_G$  증가에 무관함을 보여주었다. 이것은 드레인 공핍영역 부

근에 걸리는 전계를 효과적으로 감소시켜서 누설 전류를 크게 감소시켜 주는 결과라고 볼 수 있다. 비대칭 오프셋 구조를 적용하여 제작한 탑 게이트 n형 공핍 모드의 박막 트랜지스터는 오프셋을 위한 마스크는 추가적으로 사용되지 않았으며 능동 구동 디스플레이에서 화질 유지와 전력 소비 감소 효과를 기대할 수 있다.



(a)



(b)

〈그림 5〉 (a)  $L_{off1}$ 에 따른  $V_D$ 에 대한  $I_1/I_2$  누설 전류 증가율 (b)  $L_{off1}$ 에 따른  $V_G$ 에 대한  $I_3/I_4$  누설 전류 증가율

### 3. 결 론

비대칭 오프셋 구조를 적용하여 새로운 n형 탑 게이트 공핍 모드의 자계 유도 결정화 박막 트랜지스터를 제작하고 전기적인 특성을 분석하였다. 비대칭 오프셋 제작을 위한 마스크는 따로 사용하지 않았고, 이온 주입 없이 비정질 실리콘과 n+ 층을 증착하였다. 이 소자는 드레인 전압과 게이트 전압의 누설 전류 조건에 대해서 on 전류의 큰 손실 없이 누설 전류를 효과적으로 감소시켰다. 이 누설 전류 감소 방법은 능동 구동 디스플레이 화질의 화질 유지와 패널 측면에서 소비 전력을 감소시키는 효과를 기대할 수 있다.

### [참 고 문 헌]

- [1] T. Sameshima, "Status of Si thin film transistors" J.Non-Cryst. Solids, 227-230, pp. 1196-1201, 1998
- [2] B.S.So et al, "Application of Field-Enhanced Rapid Thermal Annealing to Activation of Doped Polycrystalline Si Thin Films," Mater. Res. Soc. Symp. Proc., Vol. 862, pp. 275-280, 2005.
- [3] H.J.Kim, "Uniform Poly-Si TFTs for AMOLEDs Using Field-Enhanced Rapid Thermal Annealing", Solid State Phenomena, Vols. 124-126, pp. 447-450, 2007.
- [4] W.-K.Lee et al, "The Characteristics of New n-Type Polycrystalline Silicon Thin-Film Transistors Employing Alternating Magnetic-Field-Enhanced Rapid Thermal Annealing" IEEE Electron Device Lett., vol. 29, pp. 174-176, 2008
- [5] K. Tanaka, H. Arai, and S. Kohda, "Characteristics of offset-structure polycrystalline-silicon thin-film transistors", IEEE Electron Device Lett., vol. 9, pp. 23-25, 1988.