

강유전성 P(VDF/TrFE)(72/28)을 절연층으로 하는 OFET기반 비휘발성 메모리

최창우, 윤선, A. A Prabu, S. Ramasundaram, 김갑진*

경희대학교 대학원 섬유공학과

OFET-based Non-Volatile Memory Device using Ferroelectric P(VDF/TrFE)(72/28) as an Insulating Layer

Chang Woo Choi, Sun Yoon, A. A Prabu, S. Ramasundaram, Kap Jin Kim*

*Department of Textile Engineering, The Graduate School of Engineering, Kyung Hee University,
Yongin-si, Gyeonggi-do 446-701, Korea.*

*(e-mail : kjkim@khu.ac.kr)

1. 서론

vinylidene fluoride(VDF)와 trifluoroethylene(TrFE)을 공중합 시킨 P(VDF-TrFE)는 강유전성 고분자를 사용하여 만든 MFM(M:metal, F:ferroelectric polymer, M:metal) 구조의 device에서 외부전장을 걸어주면 CF-dipole의 외부전장 방향으로의 선택적인 배향으로 말미암아 Fig. 1에 보인 바와 같이 P-E 곡선이 bistability를 갖는 hysteresis 곡선을 나타낸다 [1]. 여기서 보면 A점에 이를 때까지 외부전장을 가하는 동안에는 강유전성 고분자의 polarization은 $+P_s$ 가 되고, 전장을 제거하더라도 일부 CF-dipole이 relaxation 되어 polarization이 감소되지만 유전체처럼 polarization이 0이 되지 않고 양의 잔류분극($+P_r$) 값을 가지며 거의 10년 이상 이 상태를 유지할 수 있다. 그런데 CF-dipole을 반대방향으로 배열 시키려면 $-E_c$ (coercive field) 이상의 음의 전기장을 걸어주면 된다. 예를 들어 C점에 해당하는 음의 전기장을 걸어주면 dipole의 대부분이 switching되어 polarization은 $-P_s$ 로 된다. 그런 후에 전장을 제거하면 일부 dipole의 relaxation으로 polarization은 감소되지만 유전체처럼 polarization이 0이 되지 않고 음의 잔류분극 ($-P_r$) 값을 갖게 되며 이 상태를 10년 이상 유지할 수 있다. 그러므로 $+P_r$ 인 상태 (B)를 data bit가 쓰여진 상태 ("1")로 보고, $-P_r$ 인 상태 (D)를 data bit가 지워진 상태 ("0")로 볼 수 있으므로 강유전성 고분자는 훌륭한 비휘발성 고분자 메모리 소자로 사용할 수 있다. data bit 상태를

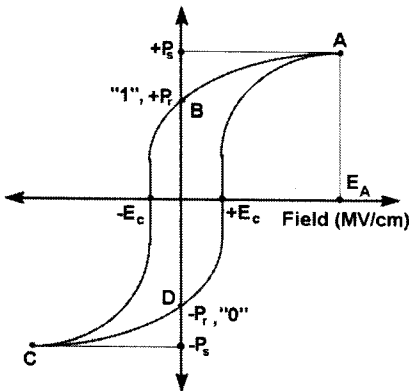


Fig. 1. Typical P-E hysteresis curve of ferroelectric polymer.

읽는 방법은 다음과 같다. 만일 data bit가 "1"인 상태 (B)에서 E_A 의 전기장을 걸어주면 polarization이 $+P_r$ 에서 $+P_s$ 로 되면서 MFM 소자에 전류(I_{ON})가 흐르고 data bit가 "0"인 상태 (D)에서 E_A 의 전기장을 걸어주면 polarization이 $-P_r$ 에서 $+P_s$ 로 되면서 MFM 소자에 전류(I_{OFF})가 흐른다. 이때 I_{OFF} 의 크기가 I_{ON} 에 비하여 월등히 크기 때문에 이 차이로 MFM 소자에서 data bit상태를 읽어낼 수 있다. 그런데 data bit가 "0"인 상태를 읽기 위하여 전장을 걸어주는 경우 E_A 가 $+E_c$ 보다 크기 때문에 data bit가 "0"에서 "1" 상태로 바뀌게 된다. 그러므로 이 경우에는 data bit를 원래의 상태로 회복시키기 위해서 $-E_c$ 보다 상당히 큰 음의 전기장을 다시 가하여 주어야만 하는 문제점이 있어 기억 소자의 fatigue 특성이 나쁘고 데이터의 R/W/E 속도가 늦은 문제점이 있다.

그러므로 좀 더 손쉽게 bit 정보를 구별할 수 있는 MFIS(M:

metal, F: ferroelectric polymer, I: insulating layer S: Si-semiconductor) 구조나 OFET(organic field effect transistor) 방식의 소자 구현이 필요하게 되었다 [2]. 특히 지난 20여년에 걸쳐 OFET에 관한 연구가 아주 활발히 진행되어 왔지만 [3,4] OFET방식을 이용한 비휘발성 메모리 분야에서는 연구가 극히 제한적 이었다. 따라서 본 연구에서는 강유전성 P(VDF/TrFE)의 초박막을 gate insulator로 사용하는 MFIS와 OFET 메모리 셀을 제작하여 그 특성을 조사하여 보았다.

2. 실험

본 연구에 사용된 pellet 형태의 P(VDF/TrFE)(72/28)공중합체는 미국의 Solvay사에서 구입하였고, 용매로 사용된 MEK (methyl ethyle ketone)와 유기 절연층으로 사용된 poly-4-vinylphenol (PVP)와 가교제로 사용된 poly(melamine-co-formaldehyde)(CLA), 용매로 사용된 hexanol은 모두 Sigma Aldrich에서 구매하였다. MEK에 용해시킨 P(VDF/TrFE) 용액을 spin-coating방법을 이용하여 다양한 기판위에 100nm~400nm 두께의 박막을 형성시킨 후 결정화도를 높이기 위하여 진공오븐에서 120°C, 3시간 동안 열처리하였다. PVP/CLA(2/1)의 hexanol 용액을 Si wafer 위에 spin-coating한 후 150°C에서 5분 동안 진공상태로 열처리 하여 절연층을 형성시켰다. 이때 spin-coating은 질소기류 하에서 이루어졌으며 spin-coater의 회전속도 및 시간은 P(VDF/TrFE)의 경우 1500rpm, 30sec로 고정하였고 PVP/CLA의 경우 3000rpm, 120sec로 고정하였다. 두 경우 모두 시료의 농도를 달리하여 박막의 두께를 조절하였다. spin-coating한 시료의 두께는 surface profilometer(Surfcorder ET-3000, Kosaka., Japan)를 사용하여 측정하였고 박막 표면의 모폴로지는 AFM(XE-100, PSIA, Korea)으로 관찰하였다. 박막내 고분자쇄와 CF-dipole의 배향성은 FTIR-GIRAS (Bruker-IFS66V) spectrometer를 이용하여 평가하였다. 또한 전기적 특성을 측정하기 위해서는 열처리한 시료위에 알루미늄(Al)이나 금(Au) 전극을 올려서 MFIS 구조의 단위 셀을 만들었다. 이때 300nm 두께의 SiO₂ 와 130nm, 230nm의 PVP 절연층이 각각 사용 되었다. OFET 구조의 경우 P(VDF/TrFE)를 p-type Si wafer나 금 기판위에 spin coating후 열처리(120°C, 3시간)를 하고 열증착기를 사용하여 pentacene을 0.2~0.5 Å/sec의 속도로 약 60nm 가량 증착 시킨 후 금으로 100nm두께의 source와 drain 전극을 형성시켰다. 이때 source와 drain사이의 channel length는 50, 100, 150µm이고 width는 각각 1mm, 2mm가 되도록 하였다. MFIS 단위 셀의 P-E와 C-V 특성을 각각 Precision LC(Radiant Technologies, USA)와 Keithley 2400 source meter가 연결되어 있는 NF사의 LCR meter(ZM-2353)로 측정하였다. OFET소자의 특성분석을 위한 측정에서는 Agilent사의 precision semiconductor parameter analyzer (4156C)을 사용하였다.

3. 결과 및 토의

두께 100nm P(VDF/TrFE)의 MFM 구조에서는 외부 전장이 1.1MV/cm에서 부터 CF-dipole의 비가역적 switching을 통하여 발생되는 잔류분극 (remnant polarization, P_r)이 관찰되기 시작하여 전장의 세기가 높아질수록 P_r이 점점 증가하게 되고 1.9MV/cm의 전장을 가했을 때는 P_r값이 7.1 µC/cm²로 나타남을 알 수 있었다. 그러나 외부전장에 따른 polarization의 변화를 capacitance의 값으로 읽을 수 있도록 설계한 MFIS 구조에서는 하부 기판으로 사용된 Si wafer와 P(VDF/TrFE)와 Si wafer사이의 절연층(insulating layer)에 의해서 polarization 값이 현저히 감소하였다. 그리고 P-E hysteresis loop 또한 MFM구조와 달리 비대칭적으로 나타났다. 이것은 하부 기판으로 사용한 p-Si wafer의 영향인 것으로 사료된다. MFM 구조의 단위 셀에서는 remnant polarization 값이 크게 나타남으로써 비휘발성 메모리 소자로의 가능성을 확인하였지만, 실제 메모리 소자로 발전하기 위해서는 기록된 정보를 읽는 것이 편리하여야 한다. 그래서 data bit의 '0'과 '1'을 구별하기 위하여 polarization 대신에 capacitance의 변화로 정보의 기록을 확인 할 수 있는 MFIS구조를 제안하였다. Fig. 2는 MFIS구조에서 100nm 두께의 SiO₂를 절연층으로 사용한 경우와 PVP를 사용

한 경우의 게이트 전압에 따른 전기용량(capacitance)의 변화를 측정된 것이다. SiO₂를 사용한 Fig. 2(a)에서는 +40V에서 -40V까지의 게이트 전압의 변화에 따른 전기용량의 hysteresis가 -8V를 기준으로 다르게 나타나는 것을 알 수 있다. 즉 정보를 기록하거나 소거한 후에 -8V를 유지하고 그때의 capacitance를 측정하면 'ON'과 'OFF'상태를 구별할 수 있다. 그러나 device에 항상 -8V의 전압을 가하는 상태에서만 data bit가 구별이 되므로 진정한 의미의 비휘발성 메모리라고는 할 수 없다. 그래서 이와 같은 C-V hysteresis의 shifting 현상을 방지하기 위하여 본 연구에서는 SiO₂ 절연층 대신에 PVP를 절연층으로 사용한 결과를 Fig. 2(b)에 나타내었다. 이 경우, C-V curve의 0V 상태에서 'ON' 상태와 'OFF'상태가 잘 구분되는 것을 볼 수 있다. 뿐만 아니라 'ON' 상태와 'OFF'를 구별 할 수 있는 게이트 전압의 범위가 SiO₂를 절연층으로 사용한 경우는 5V 내외였지만 PVP를 사용한 경우에는 확연히 넓어진 것을 알 수 있다. 또한 절연층을 사용함으로써 electrical shortage를 통한 소자의 전기적 손상을 효과적으로 줄일 수 있어 polarization의 안정성 향상에 도움이 되고 이 같은 결과는 유기 절연층과 강유전고분자간 계면의 친화력 향상에 기인한 것으로 판단되며 실제 메모리 소자로의 발전이 충분히 가능하다고 본다.

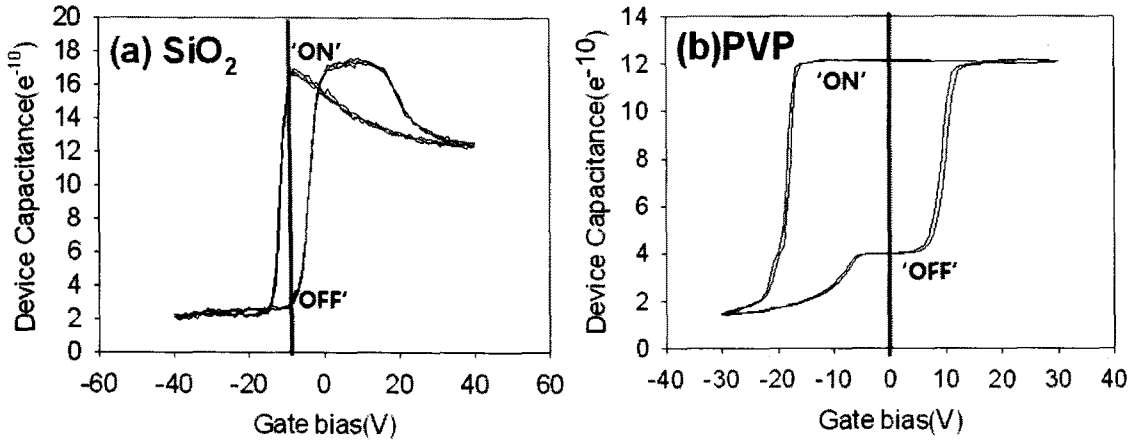


Fig. 2. C-V curve of MFIS structure using (a) 100nm-thick SiO₂ and (b) 130nm-thick PVP as an insulating layer.

게이트 전압에 따른 전기용량의 차이를 이용하여 기록된 data bit를 읽을 수 있는 MFIS구조와 달리 게이트 전압에 따른 source와 drain 사이의 전류를 측정하여 기록된 data bit를 판독 할 수 있는 OFET방식의 I_D-V_D 곡선을 Fig. 3(a)-(c)에 나타내었다. SiO₂가 300nm 올려진 실리콘 기판위에 P(VDF/TrFE) 층 없이 pentacene을 증착한 경우(a)와 두께 400nm P(VDF/TrFE)를 사용한 경우(b)의 source와 drain사이의 전류 값을 비교해 보면 P(VDF/TrFE) 사용시 전류(V_D)가 저하되는 것을 확인할 수 있다. 이것은 절연층인 SiO₂와 P(VDF/TrFE) 모두 일종의 condenser로 작용하기 때문에 외부에서 가해지는 게이트 전압을 강하시키기 때문이다. 게이트 전압이 높아 질수록 I_D가 증가하게 되는 것을 두 경우 모두 확인할 수 있고 증가하는 경향은 동일하다. PVP를 절연층으로 사용한 (c)의 경우는 (a), (b)와는 조금 다른 경향을 나타낸다. V_D의 증가로 인한 I_D의 증가가 (a), (b)에 비해서 완만하게 나타나며 쉽게 saturation되지 않는다. Fig. 3(a), (b), (c)를 통해서 source와 drain사이 전하의 통로를 제공해 주는 pentacene과 절연층의 계면에서 channel 형성이 있었음을 알 수 있다. Fig. 3(d)에서는 게이트 전압의 변화에 따른 드레인 전류의 변화를 나타낸 것으로써 P-E에서와 같은 hysteresis를 나타내고 scan rate가 길어질수록 hysteresis의 변화폭도 크게 나타난다. 그러나 비휘발성메모리로서의 활용될 수 있을 정도로 'ON', 'OFF'상태의 전류의 비가 충분히

크지는 않지만 절연층의 두께와 P(VDF/TrFE) 박막의 두께를 보다 얇게 함으로써 낮은 구동 전압과 'ON', 'OFF'상태의 높은 전류의 비를 보이는 비휘발성 메모리 디바이스의 발전은 기대된다.

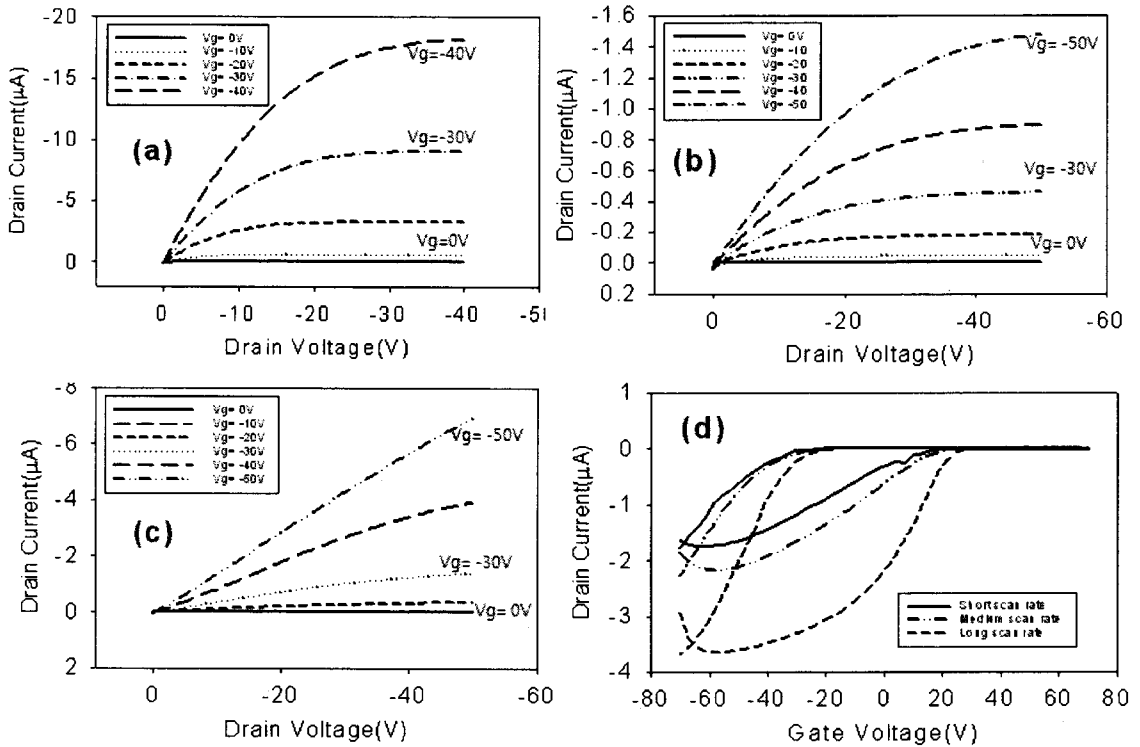


Fig. 3. Typical I_D - V_D characteristics of pentacene OFETs deposited on (a) 300nm-thick SiO₂ on p-Si wafer without P(VDF/TrFE) insulator and (b) with P(VDF/TrFE) insulator, (c) 230nm-thick PVP on p-Si wafer with P(VDF/TrFE) insulator, and (d) transfer characteristic of a pentacene OFET with varying scan rates as a function of gate voltage (The ferroelectric layer thickness : 400nm, channel length : 100μm, and V_D =-20V)

사사 : 본 연구는 한국과학재단 ERC 프로그램 (R11-2005-065)의 연구비 지원으로 수행되었음을 알리며, 이에 저자들은 깊은 감사를 표한다.

4. 참고문헌

- 1) N. Tsutsumi, A. Ueyasu, W. Sakai, and D.K. Chiang, *Thin Solid Films*, **483**, 340 (2005).
- 2) S. Fujisaki and H. Ishiwara, *Appl., Phys., Lett.*, **90**, 162902 (2007).
- 3) C. D. Dimitrakopoulos and P. R. L. Malenfant, *Adv., Mater.*, **14**, 2 (2002).
- 4) J. Veres, S. Ogier, and G. Lloyd, *Chem. Mater.*, **16**, 4543 (2004).