

JPEG 인코더용 고속 변환 및 양자화에 관한 연구

A Study on High-Speed Transform and Quantization for JPEG Encoder

노시찬, 김경현, 이민수, 손승일
한신대학교 정보통신학과

Noh si-chan, Kim kyung-hyun, Lee min-su, Sonh seung-il
Dept. of Information and Communication Hanshin
University

요약

오늘날 영상정보는 여러 분야에 있어 아주 큰 비중을 차지하고 있다. 다량의 정보를 가진 영상 신호의 효율적인 전송이나 저장에는 많은 제약이 따르게 되므로 고속의 영상 압축 관련 기술의 개발은 필수적이다. 본 논문은 JPEG에서 표준규격으로 채택하고 있는 DCT 및 양자화의 하드웨어에 적합한 고속연산 알고리즘을 연구하였고, JPEG 인코더에 적용 가능한 효율적인 회로 구조를 설계하였다. 연구된 DCT 및 양자화 모듈을 VHDL언어로 설계 및 합성하였으며 설계된 모듈은 영상 압축의 고속데이터 처리에 응용 가능하다.

I. 서론

JPEG(Joint Photographic Experts Group)을 이용해 수행되는 정지 영상 압축에서 DCT(Discrete Cosine Transform) 및 양자화는 핵심 알고리즘이다[1]. DCT는 MPEG, JPEG, H.264 등의 국제표준규격으로 직교변환을 수행함으로써, 화면에 불규칙하게 퍼져 있던 화소 값이 변환 후에는 저주파향 쪽으로 집중되는 경향이 있다. 따라서 고주파향들을 제거하는 연산을 통해 정보손실이 거의 없이도 정보압축을 할 수 있다[2].

본 논문에서는 JPEG 압축기술의 핵심인 DCT 및 양자화를 하드웨어에 적용하기 위해, 파이프라인구조를 적용한 병렬연산으로 지연시간이 최소화 되도록 전체 회로 구조를 연구하였다. 또한 기존의 8*8 DCT블록의 계수 값과 8*1 영상 값을 이용한 2-D DCT 행렬 곱셈 연산을, 8*8 DCT계수의 특성을 이용하여 4*4 DCT블록 계수값과 4*1 영상값을 이용한 곱셈 연산으로 전체 연산량을 1/4로 줄임으로써 고속 연산이 가능하게 설계하였으며, JPEG 표준안에 따르는 레벨 쉬프트 모듈, 지그재그 재배치 모듈을 포함하여 VHDL을 이용한 설계 및 합성을 수행하였다.

II. DCT 알고리즘 개요

DCT는 영상을 공간영역에서 주파수 영역으로 변환한다. 변환된 주파수 영역에서 대부분의 고주파영역은 영상에 미치는 영향이 미약하기 때문에 고주파영역을 일정비율로 감소시켜 압축을 수행한다.

$$C(u,v) = a(u)a(v) \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} (i,j) \times \cos\left(\frac{(2i+1)u\pi}{2N}\right) \times \cos\left(\frac{(2j+1)v\pi}{2N}\right)$$

여기서

$$u, v, i, j = 0, 1, 2, \dots, N-1 \quad (1)$$

(1)은 DCT변환을 위한 일반적인 변환식이다. JPEG 표준안에서는 (2)와 같은 N=8로 설정된 8x8 DCT를 사용하고 있다 [2].

$$S_{vu} = \frac{1}{4} C_u C_v \sum_{x=0}^7 \sum_{y=0}^7 s_{yx} \cos\left(\frac{(2x+1)u\pi}{16}\right) \cos\left(\frac{(2y+1)v\pi}{16}\right)$$

여기서

$$C_u, C_v = 1/\sqrt{2} \quad (u, v = 0) \\ C_u, C_v = 1 \quad (u, v \neq 0) \quad (2)$$

1. 고속 DCT 알고리즘

(2)와 같은 DCT를 아날로그적인 회로나 기타 디지털 로직으로 구현한다는 것은 매우 계산 복잡도가 높다[3]. 따라서 미리 계산된 DCT계수를 사용하여 8*8 블록 단위의 행렬 곱셈으로 회로를 설계하였다.

$$T = \begin{bmatrix} a & a & a & a & a & a & a & a \\ b & d & e & g & -g & -e & -d & -b \\ c & f & -f & -c & -c & -f & f & c \\ d & -g & -b & -e & e & b & g & -d \\ a & -a & -a & a & a & -a & -a & a \\ e & -b & g & d & -d & -g & b & -e \\ f & -c & c & -f & -f & c & -c & f \\ g & -e & d & -b & b & -d & e & -g \end{bmatrix}$$

여기서

$$\begin{bmatrix} a \\ b \\ c \\ d \\ e \\ f \\ g \end{bmatrix} = \sqrt{\frac{2}{N}} \begin{bmatrix} \cos \frac{\pi}{4} \\ \cos \frac{\pi}{16} \\ \cos \frac{\pi}{8} \\ \cos \frac{3\pi}{16} \\ \cos \frac{5\pi}{16} \\ \cos \frac{3\pi}{8} \\ \cos \frac{7\pi}{16} \end{bmatrix}$$

, N = 8 (3)

(3)은 (2)를 이용해 미리 계산된 DCT계수를 나타낸다. 또한 (3)을 이용하여 8*8 DCT 계수와 8*1 영상 값의 행렬 곱셈 연산은 (4)와 같다.

$$\begin{bmatrix} y_0 \\ y_1 \\ y_2 \\ y_3 \\ y_4 \\ y_5 \\ y_6 \\ y_7 \end{bmatrix} = \frac{1}{2} \begin{bmatrix} \cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} \\ \cos \frac{1\pi}{16} & \cos \frac{3\pi}{16} & \cos \frac{5\pi}{16} & \cos \frac{7\pi}{16} & -\cos \frac{7\pi}{16} & -\cos \frac{5\pi}{16} & -\cos \frac{3\pi}{16} & -\cos \frac{\pi}{16} \\ \cos \frac{2\pi}{16} & \cos \frac{6\pi}{16} & -\cos \frac{6\pi}{16} & -\cos \frac{2\pi}{16} & -\cos \frac{2\pi}{16} & -\cos \frac{6\pi}{16} & \cos \frac{6\pi}{16} & \cos \frac{2\pi}{16} \\ \cos \frac{3\pi}{16} & -\cos \frac{7\pi}{16} & -\cos \frac{\pi}{16} & -\cos \frac{5\pi}{16} & \cos \frac{5\pi}{16} & \cos \frac{\pi}{16} & \cos \frac{7\pi}{16} & -\cos \frac{3\pi}{16} \\ \cos \frac{4\pi}{16} & -\cos \frac{4\pi}{16} & -\cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} & -\cos \frac{4\pi}{16} & -\cos \frac{4\pi}{16} & \cos \frac{4\pi}{16} \\ \cos \frac{5\pi}{16} & -\cos \frac{\pi}{16} & \cos \frac{7\pi}{16} & \cos \frac{3\pi}{16} & -\cos \frac{3\pi}{16} & -\cos \frac{7\pi}{16} & \cos \frac{\pi}{16} & -\cos \frac{5\pi}{16} \\ \cos \frac{6\pi}{16} & -\cos \frac{2\pi}{16} & \cos \frac{2\pi}{16} & -\cos \frac{6\pi}{16} & -\cos \frac{6\pi}{16} & \cos \frac{2\pi}{16} & -\cos \frac{2\pi}{16} & \cos \frac{6\pi}{16} \\ \cos \frac{7\pi}{16} & -\cos \frac{5\pi}{16} & \cos \frac{3\pi}{16} & -\cos \frac{\pi}{16} & \cos \frac{\pi}{16} & -\cos \frac{3\pi}{16} & \cos \frac{5\pi}{16} & -\cos \frac{7\pi}{16} \end{bmatrix} \begin{bmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \\ x_4 \\ x_5 \\ x_6 \\ x_7 \end{bmatrix}$$

(4)

미리 계산된 8*8 계수 행렬을 이용하여, 설계시 이용한 2-D DCT를 수행하는 행렬 곱셈 수식은 (5)와 같다.

$$Y = T(TX^t)^t$$

여기서

$$\begin{aligned} Y &= 2-D DCT \text{된 } 8 \times 8 \text{ 블럭} \\ T &= 8 \times 8 DCT \text{ 계수 블럭} \\ X &= 8 \times 8 \text{ 영상 블럭} \end{aligned} \quad (5)$$

하지만 (4)를 이용한 8*8 DCT 계수와 8*1 영상 값의 경우 64번의 곱셈연산을 수행하고 한 블록의 경우 512번 수행하지

만, (3)의 DCT 계수의 좌우 대칭성을 고려하여 (6)을 이용하면 4*4 DCT 계수와 4*1의 영상 값으로 곱셈연산을 16번 수행하고 한 블록의 경우 128번 수행한다. 따라서 곱셈 연산량이 1/4 줄어들고 고속의 2-D DCT를 수행가능하다[4].

$$\begin{bmatrix} Y(0) \\ Y(2) \\ Y(4) \\ Y(6) \end{bmatrix} = \begin{bmatrix} a & a & a & a \\ c & f & -f & -c \\ a & -a & -a & a \\ f & -c & c & -f \end{bmatrix} \begin{bmatrix} X(0) + X(7) \\ X(1) + X(6) \\ X(2) + X(5) \\ X(3) + X(4) \end{bmatrix} \quad (6)$$

$$\begin{bmatrix} Y(1) \\ Y(3) \\ Y(5) \\ Y(7) \end{bmatrix} = \begin{bmatrix} b & d & e & g \\ d & -g & -b & -e \\ e & -b & g & d \\ g & -e & d & -b \end{bmatrix} \begin{bmatrix} X(0) - X(7) \\ X(1) - X(6) \\ X(2) - X(5) \\ X(3) - X(4) \end{bmatrix}$$

III. 모듈 설계

그림 1과 같이 설계된 전체 블록도를 보면 DCT 블록은 크게 3개의 부분으로 구성되어있다[4][5]. 또한 JPEG 표준안을 따르는 레벨 쉬프트 모듈, 양자화 모듈, 지그재그 모듈을 포함한다. 레벨 쉬프트 모듈은 8bit의 입력되는 데이터에 -128 연산을 수행하고 부호를 확장하여 9비트를 출력한다. 출력되어진 9비트의 데이터는 (6)을 적용하기위해 DRU(Data Reorder Unit)로 입력하여 2개의 행렬 곱셈기 모듈의 입력을 생성한다. 각각의 행렬 곱셈기 모듈은 결과 값의 짝수부분과 홀수부분을 생성하기위해 계수와 곱셈연산을 수행한다. (5)와 같이 1-D DCT가 수행된 후 행렬전치 모듈이 결과행렬을 전치하여 2-D DCT의 입력을 생성한다. 2-D DCT의 결과데이터는 지그재그 순서로 재배치되어 출력되며, 휘도와 색차블럭을 구분하여 8bit 나눗셈기를 이용한 양자화를 수행한다.



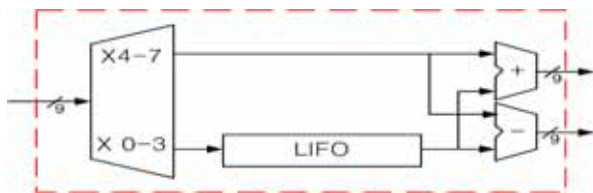
▶▶ 그림 1. 설계된 블록 다이어그램

1. DRU 설계

(6)의 4*1 입력값을 생성하기위해 레벨 쉬프트 모듈의 출력을 LIFO(Last-In First-Out)에 저장하고 4번째 데이터가 입력될 때를 기준으로 LIFO에서 데이터를 인출하여 덧셈 혹은 뺄셈연산을 수행하여 각각의 행렬 곱셈기 모듈의 입력으로 출력한다. 표 1의 L[0], L[1], L[2], L[3]은 LIFO를 의미하고 X(0)~X(7)은 입력데이터를 의미한다. 그림 2는 블록 다이어그램을 나타낸다.

[표 1] DRU 타이밍 테이블

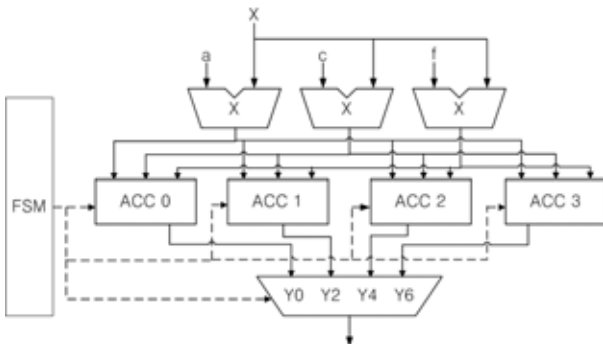
Time	L[0]	L[1]	L[2]	L[3]	출력
T0	X(0)	x	x	x	x
T1	X(0)	X(1)	x	x	x
T2	X(0)	X(1)	X(2)	x	x
T3	X(0)	X(1)	X(2)	X(3)	x
T4	X(0)	X(1)	X(2)	x	L[3]+X(4) L[3]-X(4)
T5	X(0)	X(1)	x	x	L[2]+X(5) L[2]-X(5)
T6	X(0)	x	x	x	L[1]+X(6) L[1]-X(6)
T7	x	x	x	x	L[0]+X(7) L[0]-X(7)



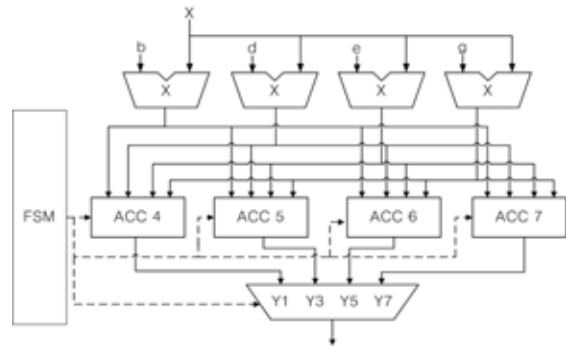
▶▶ 그림 2. DRU 블록 다이어그램

2. 행렬 곱셈기 및 행렬전치 모듈 설계

그림 3과 그림 4는 두 개의 행렬 곱셈기 블록 다이어그램이다. 행렬 곱셈기는 4*1 9bit 입력 영상 데이터를 입력받아 11bit의 짝수 결과 및 홀수 결과 값을 출력한다. ACC0~ACC7은 행렬 곱셈을 위해 중간 연산 값을 선택적으로 누적시킨다. 이러한 동작은 FSM(Finite State Machine)에서 제어한다.

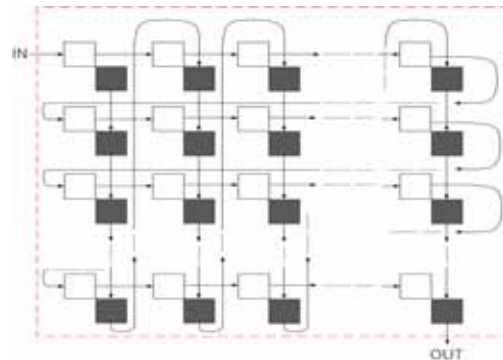


▶▶ 그림 3. 짝수 결과를 연산하는 행렬곱셈기



▶▶ 그림 4. 홀수 결과를 연산하는 행렬곱셈기

그림 5는 1D DCT가 수행된 후 출력된 데이터를 임시 저장한 후, 열과 행의 데이터를 전치하기 위한 Register Array를 이용한 행렬전치 모듈이다[6]. 처음 DCT블록을 처리 할 때만 지연이 생기고 다음 블록부터는 연속적으로 출력 값이 나오게 된다.

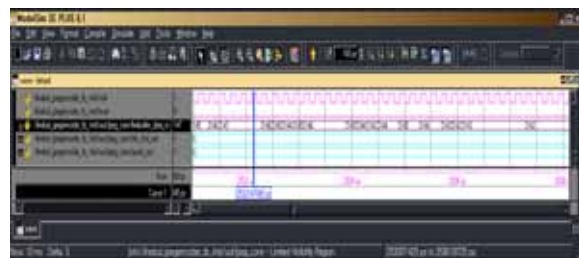


▶▶ 그림 5. 행렬전치 버퍼 모듈 구조

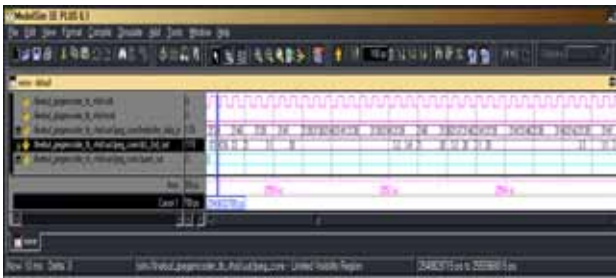
IV. 결과 분석

1. 출력 파형

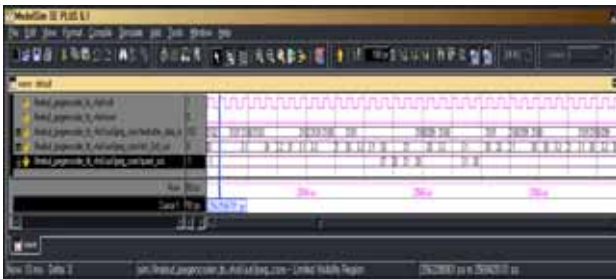
그림 6은 입력 값의 파형으로, 인에이블 신호에 의해 64개의 8*8블럭 영상 데이터가 계속 입력된다. 그림 7은 영상데이터가 입력되면 89클럭의 지연이 생긴 후 지그재그 순서로 재배치된 2-D DCT의 결과가 출력된다. 그림 8은 양자화 출력값 파형으로 2-D DCT 첫데이터 출력 후 66클럭 지연시간을 갖고 출력된다.



▶▶ 그림 6. 입력값 파형



▶▶ 그림 7. DCT 출력값 파형



▶▶ 그림 8. 양자화 출력값 파형

2. 합성 결과

VHDL로 설계된 JPEG 인코더용 DCT 및 양자화모듈은 파이프라인을 적용한 병렬구조로 설계하여 처음 입력 데이터를 처리할 때만 지연시간이 생기고 그 후 데이터 부터는 지연시간없이 처리 가능하게 하였으며, 표 2는 설계된 모듈의 FPGA 합성결과 및 특징을 나타낸다.

[표 2] 설계한 모듈의 특징

No. of Slices	No. of Gates	Timing	Target Device
3,397	77,247	Minimum Period: 15.182ns Maximum Frequency: 65.867MHz	xc3s1000 -4fg676

V. 결 론

정보의 효율적인 전송 및 저장을 위해 정지 영상 압축에 관한 연구는 계속적으로 이루어지고있다. 본 논문은 이러한 정지 영상 압축 포맷으로 가장 널리 이용되고있는 JPEG의 인코더에 적용가능한 DCT 및 양자화 모듈을 연구하였고, VHDL을 이용한 설계와 합성을 수행하였다.

8*8 DCT 계수 데이터와 8*1 영상 데이터 값을 곱셈 연산하는 방법이 아닌, 4*4 DCT 계수 데이터와 4*1 영상 데이터의 행렬 곱셈 연산을 이용한 알고리즘을 연구하였고, 하드웨어에 적합한 회로구조 설계를 하였다. 또한 1D-DCT의 결과를 전치하기위한 행렬전치 모듈내의 결과 값 저장공간은 RAM을

사용하지 않고 Register Array를 이용하여 면적 효율적으로 설계하였으며, 2D-DCT의 결과를 바로 지그재그 순서로 재배치 함에 따라 전체적인 지연시간을 단축 시킬 수 있었다.

설계된 DCT 및 양자화 모듈은 영상 압축에서의 고속 데이터 처리에 적용가능하며, 향후 연구를 통해 디지털기에서 동영상 캡처 포맷으로 많이 쓰이는 Motion JPEG 인코더에 응용 가능하다.

■ 참고 문헌 ■

- [1] 후지와라 히로시, 정제창 역, 최신 MPEG, 교보문고, 1995.
- [2] ITU-CCITT, Information Technology Digital Compression and Coding of Continuous-Tone Still Images Requirements and Guideline, CCITT, 1993.
- [3] Vishnu Srinivasan, K. J. Ray Liu, "VLSI Design of High-Speed Time-Recursive 2-D DCT/IDCT Processor for Video Applications", IEEE, 1996.
- [4] Bret Stott, Dave Johnson, Venkatesh Akella, "Asynchronous 2-D Discrete Cosine Transform Core Processor", IEEE, 1995.
- [5] Avanindra Madiseti and Alan N. Willson, "DCT/IDCT Processor Design for HDTV Application", IEEE, 1995.
- [6] Mario Kovac, N.Ranganathan, "A High Speed VLSI Chip for JPEG Image Compression Standard", IEEE, 1995.