

## $\delta$ -상 Sb-Te을 이용한 상변화 기억소자에서 과다 Sb에 의한 Ovonic 스위칭 특성 변화

김용태(책임저자)\*, 염민수\*, 김성일\*, 이창우\*\*

\*반도체 재료 및 소자 연구실, 한국과학기술연구원, \*\*나노전자물리학과, 국민대학교

### 초록

We have prepared  $\delta$ -phase SbTe alloy with various Sb contents of 64, 72, and 76 at.% and investigated the phase change temperature, the crystal structures of  $\delta$ -phase SbTe alloy, and determined the ovonic threshold switching voltages with edge contact type phase transition dimensions. As a result, the crystallization temperature is slightly reduced from 126 to 122 °C, whereas the melting temperature is not changed. The ovonic threshold switching voltage is reduced from 1.6 to 0.9 V as increasing the Sb content from 64 to 76 at. %. It is found that the reductions of crystallization temperature and the ovonic threshold switching voltage are closely related with the interplanar spacing between adjacent atomic layers and the stacking number of atomic layers in a unit cell.

### 1. 서론

1990년대 들어 텔레콤 계열의 상변화 재료를 반도체 메모리에 적용한 새로운 차세대 메모리의 연구가 활발해 지기 시작하였다 [1-4]. 이러한 상변화 재료들 중에서  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  (GST)를 이용한 상변화 메모리(Phase change Random Access Memory: PRAM)가 가장 큰 관심의 대상이 되었다. GST는 수십 ns의 빠른 시간 안에 상변화가 가능하며 상변화 된 이후에는 높은 저항의 비정질 상태와 낮은 저항의 결정질 상태를 잘 유지하여 PRAM 재료로 적합한 특성을 가지고 있다. 하지만 이러한 GST도 소자 스케일링에 따른 문제점이 대두되어 현재는 새로운 상변화 재료에 대한 요구가 커지고 있는 실정이다. 예를 들어 상변화 재료의 결정화 온도와 용융 온도가 GST에 비해 낮아지게 되면 상변화 소자의 리셋 시 소비되는 전류의 양이 줄어들게 되어 전체 소비 전력이 줄어들게 된다. 또한 상변화 시 발생하는 열도 낮아지게 되어 주변 셀로의 열 교란을 줄일 수 있게 되어 소자 성능의 신뢰성을 높이는 데 많은 기여를 할 수 있게 된다 [5]. 이러한 텔레콤 기반의 상변화 재료들은 성능향상을 위해 원소 도핑을 통한 새로운 3원소계 및 4원소계 상변화 재료로 점진적으로 변화하고 있다. 이러한 상변화 재료들 중에서 특히 Sb-Te 재료 중에서  $\text{Sb}_2\text{Te}_3$ 는 반도체 메모리로서의 응용이 아닌 광학 메모리로서의 응용 재료로 지금까지 많이 연구되어 지고 있었다 [6-10]. 하지만 이러한 Sb-Te 재료 중에서 Sb의 원자 분율이 63.3에서 83.6 %에 해당하는  $\delta$ -상 Sb-Te 재료에 대한 미세구조 및 오보닉 스위칭 특성에 대해서는 많은 연구가 진행되지 않은 상황이다 [11-14]. Sb-Te 재료의 상태도를 살펴보면  $\delta$ -상 Sb-Te 재료의 용융 온도가 Sb의 원자 분율에 따라 변화하는 것을 알 수 있다.  $\delta$ -상 Sb-Te 재료 내에서 Sb 양이 83.6에서 72.3 %로 줄어드는 경우에는 용융 온도가 감소하는 경향을 보이지만 Sb 양이 72.3에서 63.3 %로 줄어드는 경우에는 다시 용융 온도가 상승함을 알 수 있다.  $\delta$ -상 Sb-Te 재료 내에서는 Sb 원자 분율이 72.3 %인  $\text{Sb}_{72.3}\text{Te}_{27.7}$  조성에서 용융 온도가 가장 낮은 544.5 °C 임을 알 수 있다. 하지만 상태도에서 얻을 수 있는 정보는 조성에 따른 용융 온도의 변화만을 알 수 있다. 따라서 본 연구의 주요 목적은 용융 온도를 제외한  $\delta$ -상 Sb-Te 재료의 결정화 온도와 미세원자 구조 및 오보닉 문턱 전압 스위칭 특성들에 대해 조사하는 것이다 [15]. 또한  $\delta$ -상 Sb-Te 재료내에서 Sb의 양이 많아짐에 따라 원자 구조의 변화가 생겨날 것으로 예상하여 제한 시야 회절상 (Selected Area Electron

Diffraction: SAED) 패턴 등을 분석하여 Sb 양이 증가함에 따라 오토닉 문턱 전압이 어떻게 변화하는지에 대해 설명하고자 한다.

## 2. 실험 방법

$\delta$ -상 Sb-Te 재료는 Sb 양을 조절하기 위해 Sb와  $Sb_2Te_3$ 의 두 개의 타겟을 이용하여 아르곤 가스 분위기에서 RF 마그네트론 스퍼터링을 이용하여 증착하였다. 증착에 사용된 기판은  $SiO_2/Si(100)$ 이다. 증착 챔버의 초기 진공과 증착시의 진공도는 각각  $1.5 \times 10^{-6}$ 와  $1.5 \times 10^{-3}$  torr이다. 각 타겟의 RF 제네레이터의 파워를 조절하여 조성 제어를 하였으며 증착된 Sb-Te 박막의 조성 분석은 Inductively coupled plasma (ICP) atomic emission spectrometry를 이용하였으며 재차 확인을 위해 Auger Electron Spectrometry (AES)를 이용하였다. 증착된 박막의 조성은  $Sb_{76}Te_{24}$ ,  $Sb_{72}Te_{28}$ ,  $Sb_{64}Te_{36}$ 이며 이 조성은 모두 Sb-Te 상상태 상에서  $\delta$ -상 영역에 포함되는 조성이다. 증착된 Sb-Te 박막은 증착 초기 상태가 비정질 상태이므로 결정화를 위해 Rapid Thermal Annealing (RTA)를 이용하여 200 °C에서 10분간 열처리를 하였다. 결정화된 박막의 단위포 (Unit cell) 구조를 분석하기 위해 X-ray diffraction (XRD)와 Fast Fourier Transformed (FFT) 패턴을 이용하였다. 또한 결정화 온도와 용융 온도를 측정하기 위해 Differential Scanning Calorimeter (DSC)를 이용하였다. Sb-Te 재료의 전기적 특성을 측정하기 위해 엷지 접촉 형태의 PRAM 단위 소자를 제작하였다. 기판은  $SiO_2/Si(100)$ 를 이용하였으며, 가장 먼저 하부전극을 증착하였다. 하부전극 재료는 티타늄을 사용하였다. 하부전극을 패터닝 한 후에 하부전극의 엷지 부분에 Sb-Te 재료를 200 nm 두께로 증착하였다. 하부전극과 Sb-Te 재료의 접촉 면적은  $0.4 \mu m^2$ 이다. 이 위에 상부전극으로 하부전극과 같은 재료인 티타늄을 증착 한 다음에 하부전극과 상부전극의 접촉면 위에 상변화 재료가 용융됐을 경우 증발하는 것을 방지하기 위해 열방출층을 증착하였다. 제작된 소자의 전류-전압 특성은 에질런트사의 4155B semiconductor parameter measurement를 이용하였으며 소자의 셋/ 리셋을 위한 펄스는 에질런트사의 81101A 펄스 발생기를 이용하였다. 측정 방법은 상변화를 위한 셋/ 리셋 펄스를 가해준 다음에 상부전극과 하부전극에 걸어주는 전압을 변화시키면서 전류의 변화를 측정하는 방법이다.

## 3. 실험결과 및 고찰

우선  $\delta$ -상 Sb-Te 재료의 Sb 조성 변화에 따른 결정화 온도와 용융 온도를 측정하였다. Sb의 원자분율은 64에서 76%로 변화한다. 그림 1은  $\delta$ -상 Sb-Te 재료의 결정화 온도를 DSC를 이용하여 측정한 결과이다. 분석 결과 Sb 양이 64%에서 76%로 증가함에 따라 결정화 온도는 126 °C에서 122 °C로 낮아짐을 알 수 있다. 이에 반해 용융 온도는 Sb 조성에 관계없이 543 °C를 유지함을 관찰하였다. 이 용융 온도는 Sb-Te 상상태에 나와있는 용융 온도와 일치한다. 이러한  $\delta$ -상 Sb-Te 재료의 용융 온도는 GST (632 °C)나 같은 Sb-Te 재료인  $Sb_2Te_3$  (625 °C)보다 훨씬 낮은 것을 알 수 있다. 이것은

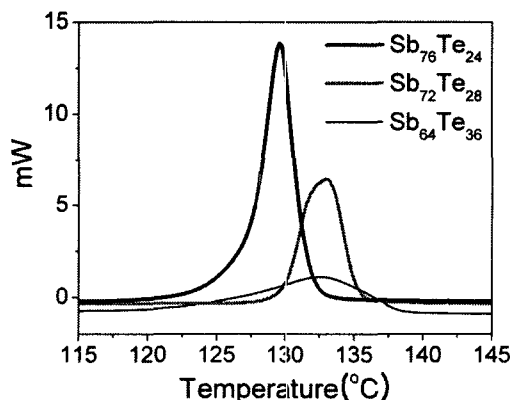


Fig. 1. DSC profiles to show the variations of crystallization temperature according to different Sb contents.

결정질에서 비정질로 가는 리셋 과정에서 소비 전력을 줄일 수 있음을 나타낸다. 비례 축소된 PRAM 단위소자에서 리셋 과정 동안 많은 전력 소모가 필요하다는 것은 PRAM이 상용화하는데 극복해야 할 과제 중의 한 가지이다.

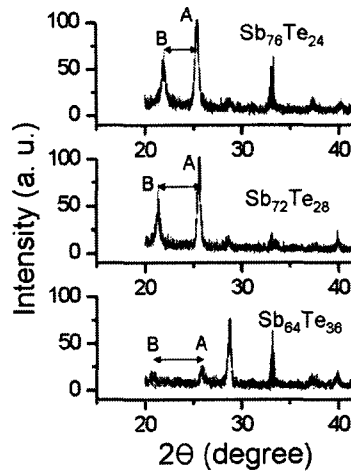


Fig. 2. XRD patterns of  $\delta$ -phase SbTe alloy crystallized at 200 °C.

그림 2는 RTA 열처리를 통해 결정화 시킨  $\delta$ -상 Sb-Te 재료의 XRD 분석 결과이다. 이 그림에서, 점A와 점B는 각각 (0001)과 (0003) 텔레콤 피크와 일치하며 점A와 점B 피크 간의 거리는 Sb 조성이 증가함에 따라 가까워 지는 것을 알 수 있다. 하지만 XRD 결과로부터  $\delta$ -상 Sb-Te 재료는 Sb 양이 변화함에도 불구하고 상분리가 일어나지 않는 것을 확인할 수 있었다. 이는 Sb 양이 변화해도 새로운 피크가 나오지 않음으로써 확인되었다. 따라서 XRD 분석 외에  $\delta$ -상 Sb-Te 재료의 원자 구조를 분석할 수 있는 다른 관측이 필요하다. 그림 3(a)와 (b)는  $\langle 2110 \rangle$  존에서 관측한  $Sb_{76}Te_{24}$ 와  $Sb_{64}Te_{36}$  재료의 SAED 패턴이다. 여기서 점C는 결정구조에서 c-축 방향으로 면간 거리를 역격자점을 나타낸 것이다.

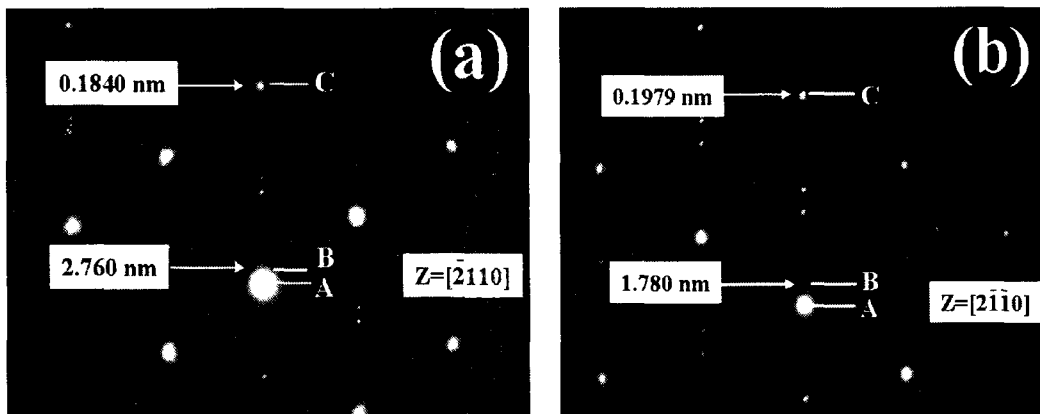


Fig. 3. Selected area electron diffraction (SAED) patterns of (a)  $Sb_{76}Te_{24}$  and (b)  $Sb_{64}Te_{36}$ .

점A와 점C 간의 거리는 (0001) 면의 한 면의 d-간격이다. 이는  $Sb_{76}Te_{24}$ 인 경우 0.1840 nm이며  $Sb_{64}Te_{36}$ 에서는 0.1979 nm이다. 그림 3 (a)에서 점B는 c-축 상에서 가장 가까운 역격자점이기 때문에 점A와 점B 사이의 거리는  $Sb_{76}Te_{24}$ 의 단위포의 c-축 격자 상수가 된다. 계산된 값은 2.760 nm이며 이것은 점A와 점C 사이의 거리의 15배와 일치함을 알 수 있다. 같은 방법으로 그림 3 (b)로부터  $Sb_{64}Te_{36}$ 의 c축 길이는 1.7810 nm임을 알 수 있고 이는 인접한 면간 사이 거리인 점A와 점C의 거리 (0.1979 nm)의 9배가 됨을 알 수 있다. 투과점과 가장 가까운 산란점과의 거리는 단위포의 거리를 나

타내며 이는 SAED와 XRD 패턴에서 역격자점인 점A와 점B 사이의 거리와 같음을 알 수 있다. 점 A와 점 C 사이의 거리는 rhombohedral 구조에서 한 원자층의 거리이다. 따라서 결론적으로 거리비 AB/AC는 δ-상 Sb-Te에서 단위포 내에 반복적으로 쌓여있는 원자층의 개수를 나타낸다. SAED 패턴으로부터 단위포 내의 총 원자층의 수를 계산해 보던 Sb<sub>76</sub>Te<sub>24</sub>의 경우에는 15이고, Sb<sub>64</sub>Te<sub>36</sub>의 경우에는 9이다. 이들은 모두 정수 값을 가지면 3의 배수가 됨을 알 수 있다. 결론적으로 XRD와 SAED 패턴에서와 같이 Sb의 조성이 증가할수록 단위포 내에 더 많은 면들이 쌓이게 되고 c-축 격자 상수는 그 값이 커지게 된다.

소자의 전류-전압 특성을 측정하면 Sb 조성 변화에 따른 오보닉 문턱 전압의 변화를 알 수 있게 된다. 그림 4에 나와있는 측정 결과로부터 δ-상 Sb-Te 재료의 문턱 전압 (V<sub>t</sub>)은 Sb 조성이 64%에서 76%로 증가함에 따라 1.6 V에서 0.9 V로 감소함을 알 수 있다. 오보닉 문턱 전압이란 높은 저항 상태를 가지는 비정질 상태의 Sb-Te 재료가 결정화가 되면서 전도 상태의 결정질로 변화하는 전압을 나타낸다. 그림 1에서 Sb 조성이 증가함에 따라 결정화 온도는 감소하는 것을 알 수 있었으며 이는 그림 4의 오보닉 문턱 전압 변화와도 일치함을 알 수 있다. 이는 Sb 조성이 64에서 76 %로 증가하면서 결정화에 필요한 열 에너지가 상대적으로 적게 소모됨을 알 수 있다. 결정학적인 원인은 Sb 조성이 증가하면서 각 조성별 면간 거리가 0.1979 nm 에서 0.1840 nm로 줄어들게 되어 원자간 결합에 필요한 에너지가 멀리 있는 원자와 결합할 때 보다 줄어들게 되기 때문이다. 따라서 Sb 조성이 3의 배수만큼씩 증가함에 따라 단위포 내의 면간 거리가 줄어들게 되면서 오보닉 문턱 전압이 더 낮은 전압에서 발생하게 되는 것이다.

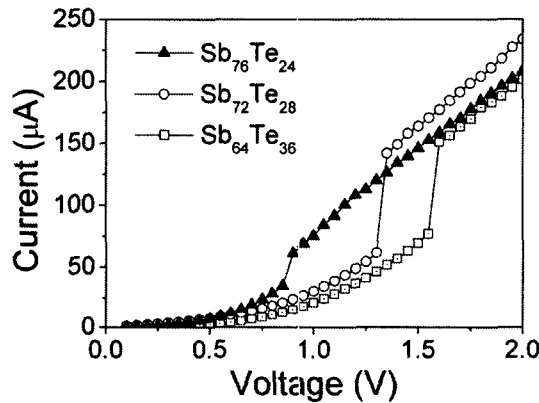


Fig. 4. Current-voltage characteristics of edge contact type PRAM cells where the phase transition dimensions formed with Sb<sub>76</sub>Te<sub>24</sub>, Sb<sub>72</sub>Te<sub>28</sub>, and Sb<sub>64</sub>Te<sub>36</sub> thin films.

#### 4. 결론

Sb 조성을 달리한 δ-상 Sb-Te 재료에 대한 결정화 온도와 용융 온도를 알아보았다. Sb 조성은 각각 64, 72, 76 %의 원자 분율을 가지며 Sb 조성이 증가할수록 결정화 온도가 126 에서 122 °C 로 낮아짐을 알게 되었다. 하지만 Sb<sub>2</sub>Te<sub>3</sub> (105 °C)에 비해서는 높은 결정화 온도를 가지고 있다. 이는 δ-상 Sb-Te 재료가 PRAM 재료로 사용되었을 경우에 좀 더 많은 열적 여유를 가지게 되어 안정된 작동을 할 수 있음을 뜻한다. 또한 오보닉 문턱 전압은 Sb 조성이 증가함에 따라 1.6에서 0.9 V 로 감소하였으며 이는 비정질 상태의 δ-상 Sb-Te 재료가 더 낮은 열 활성화 에너지로도 결정화가 됨을 나타낸다. SAED 패턴 분석을 통해 Sb 조성이 늘어날수록 단위포 내에 더 많은 원자층이 쌓이게 됨을 알 수 있었다. 결론적으로 δ-상 Sb-Te 재료에서 Sb 조성이 증가하면서 단위포 내의 전체 쌓이는 면의 수가 증가하게 되고 이로 인해 면간 거리가 줄어들면서 원자간 결합 에너지가 낮아지게 되고, 그 결과로 결정화 온도와 오보닉 문턱 전압도 낮아지게 되는 것이다.

**참고문헌**

- [1] K. Nakayama, T. Kitagawa, M. Ohmura, and M. Suzuki, *Jpn. J. Appl. Phys.* 32 (1993) 564
- [2] J. Maimon, E. Spall, R. Quinn and S. Schnur, *Proc. 2001 IEEE Aerospace Conf., Big Sky*, 5 (2000) 2289
- [3] S. Lai and T. Lowrey, *IEDM Tech. Dig.*, (2001) 803
- [4] Pirovano, A. L. Lacaita, D. Merlani, A. Benvenuti, F. Pellizzer, and R. Bez, *IEDM Tech. Dig.*, (2002) 923
- [5] Y. N. Hwang et al, *IEDM Tech. Dig.*, (2003) 893
- [6] M. H. R. Lankhorst, B. W. S. M. M. Ketelaars, R. A. M. Wolters, *Nature Mater.* 4, 347 (2005).
- [7] J. Kooi, J. Th. M. De Hosson, *J. Appl. Phys.* 95, 4714 (2004).
- [8] Liu, Z. Song, S. Feng, B. Chen, *Microelectron. Eng.* 82, 168 (2005).
- [9] L. H. Chou and Y. Y. Chang, *Jpn. J. Appl. Phys. Part 1* 40, 1282 (2001).
- [10] K. H. R. Lankhorst, L. Van Pieterse, M. Van Schijndel, *Jpn. J. Appl. Phys.* 42 (2003) 863
- [11] P. K. Khulbe, T. Hurst, M. Horie, and M. Mansuripur, *Appl. Optics* 41 (2002) 6220
- [12] K. Kifune, Y. Kubota, T. Matsunaga, and N. Yamada, *Acta Cryst. B* 61 (2005) 492
- [13] C. W. Sun, J. Y. Lee, M. S. Youm, and Y. T. Kim, *Jap. J. Appl. Phys.* 45, 9157 (2006).
- [14] C. M. Garner, L. R. Gilbert and C. Wood, *J. Non-crystalline Solids*, 15, 63 (1974).
- [15] T. B. Massalski, *Binary Alloy Phase Diagrams 2nd Edition Vol. 3.*