

Formation of Nickel Silicide from Atomic Layer Deposited Ni film with Ti Capping layer

윤상원*, 이우영*, 양충모*, 나경일*, 조현익*, 하종봉*, 서화일**, 이정희*

*경북대학교 전자전기컴퓨터학부, **한국기술교육대학교 전자공학과

Abstract

The NiSi is very promising candidate for the metallization in 60nm CMOS process such as FUSI(fully silicided) gate and source/drain contact because it exhibits non-size dependent resistance, low silicon consumption and mid-gap workfunction. Ni film was first deposited by using ALD (atomic layer deposition) technique with Bis-Ni precursor and H₂ reactant gas at 220°C with deposition rate of 1.25Å/cycle. The as-deposited Ni film exhibited a sheet resistance of 5Ω/□. RTP (repaid thermal process) was then performed by varying temperature from 400°C to 900°C in N₂ ambient for the formation of NiSi. The process window temperature for the formation of low-resistance NiSi was estimated from 600°C to 800°C and from 700°C to 800°C with and without Ti capping layer. The respective sheet resistance of the films was changed to 2.5Ω/□ and 3Ω/□ after silicidation. This is because Ti capping layer increases reaction between Ni and Si and suppresses the oxidation and impurity incorporation into Ni film during silicidation process. The NiSi films were treated by additional thermal stress in a resistively heated furnace for test of thermal stability, showing that the film heat-treated at 800°C was more stable than that at 700°C due to better crystallinity.

1. 서론

최근 CMOS 소자 size가 축소됨에 따라 증가하는 소스/드레인과 게이트의 접촉저항을 낮추기 위해 실리사이드 공정이 사용되어 왔고 최근에는 금속 게이트의 응용으로 FUSI(fully silicide) 공정이 연구되고 있다[1-3]. 65nm 이하의 선폭을 가지는 CMOS 소자에서 CoSi₂는 큰 실리콘 소모에 의한 초미세 접합 형성의 어려움과 줄어드는 게이트 면적에 따라 저항이 상승하는 문제점들이 보고되었다[4,5]. 이를 보완하기 위해 65nm 이하의 선폭을 가지는 CMOS 소자의 salicide 공정과 FUSI 게이트 응용으로 NiSi가 활발하게 연구되고 있다[6-8]. NiSi(nickel silicide)는 TiSi₂와 CoSi₂에 비해 낮은 Si 소모, 낮은 공정온도, 낮은 접촉 저항, 면적에 따른 저항의 비의존성, 한 단계의 열처리 등의 장점을 가진다.

IC 회로 소자의 집적도가 증가되면서 PVD나 CVD 방법을 사용한 nickel 증착은 좋지 못한 물리적인 특성 등으로 인하여 ALD process가 활발히 연구되고 있다. ALD로 증착한 nickel film은 PVD나 CVD에 비해 45nm technology에서 요구되어지는 두께 조절의 용이성, 낮은 증착 온도, 높은 단자 피복성 등의 장점을 가진다[9].

본 연구에서는 plasma assisted ALD type의 형태로 개발된 장비를 이용하여 금속 유기 전구체인 Bis-Ni을 ALD방식으로 증착하였으며, 보다 폭 넓은 실리사이드 온도구간을 얻기 위해서 Ti capping layer를 적용하였다.

2. 실험 방법

본 실험에서 Ni 및 TaN film을 증착을 목적으로 ALD장비를 제작하였다. 그림1. (a)는 4, 6, 8인치 까지 사용가능한 chamber의 개략도이다. Shower head 방식으로 chamber는 두 부분으로 구성되어 있다. 상부의 plasma chamber와 하부의 reaction chamber로 구성되었다. 상부 plasma chamber는 ICP(Inductively Coupled Plasma) type으로 plasma에 의한 wafer의 손상을 막기위해 reaction chamber와 분리되게 설계 되었으며 plasma로 생성된 높은 에너지를 가진 분자들(radical)만이 reaction chamber로 들어와 반응 하도록 설계되었다. 하부의 reaction chamber에는 heater block이 있으며 여기서 반응에 필요한 열에너지를 전달한다. 그림1. (b)는 실제 제작된 chamber의 모습이다. 그림 2(a)는 PAALD의 전체적인 장비 모습이며 그림2. (b)는 PAALD의 장비 개략도이다.

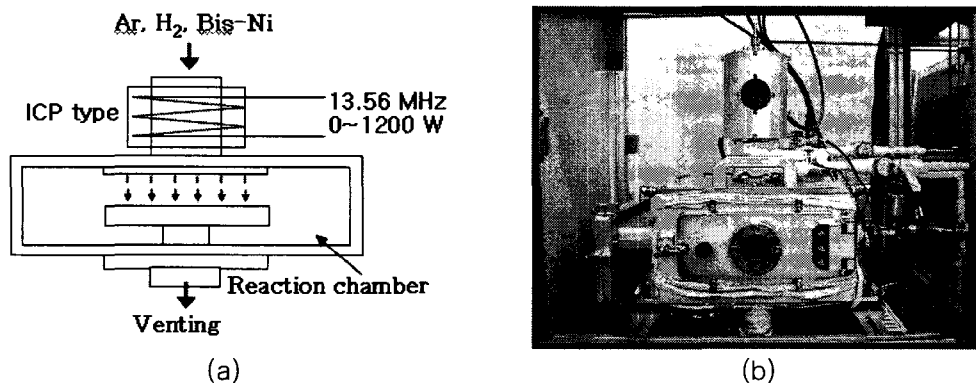


그림 1. (a) PAALD chamber의 개략도, (b) 실제 제작된 PAALD chamber 모습

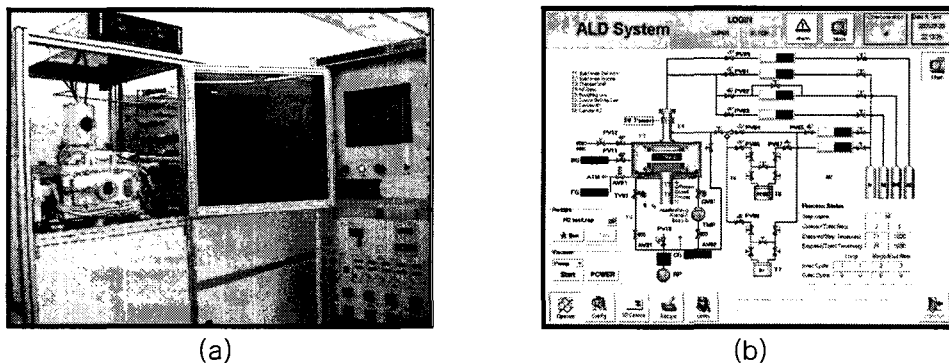


그림 2. (a) PAALD의 전체적인 장비 모습, (b) PAALD 장비 개략도

본 실험에서는 6인치 p-type Si(100) wafer를 사용하였으며 자연 산화막은 Dry etcher를 이용하여 제거하였고 Thermal ALD 방식으로 25nm 두께의 nickel을 증착하였다. 그림 3.은 ALD process의 한 사이클이며, Bis-Ni => purging gas(Ar) => reactant gas(H₂) => purging gas(Ar)로 구성된다. Nickel 증착 온도는 220℃이며, 증착률은 1.25Å/cycle 이다. Ni 증착 이후 RTP 장비를 사용하여 N₂ 분위기에서 30sec 동안 400℃에서 900℃까지 100℃씩 증가 시키며 nickel silicide 형성온도 구간을 확인하였다. 형성된 실리사이드의 열 안정성을 확인하기 위해 furnace에서 N₂분위기로 30min 동안 열처리를 하였다.

형성된 nickel silicide의 전기적 특성은 4-point probe를 사용하여 확인하였다. 결정성 및 조성비는 X-Ray Diffraction(XRD)와 Auger Electron Spectroscopy(AES)으로 분석하였고, 두께는 X-ray Reflectivity(XRR), Ellipsometer를 이용하여 측정하였다.

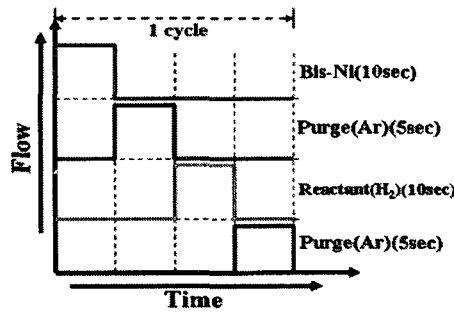


그림 3. ALD process의 한 사이클

3. 실험결과 및 고찰

그림 4. (a)는 ALD 증착온도 구간 확인을 위해 공정온도를 175℃부터 300℃까지 25℃씩 상승시키며 증착한 박막의 증착두께를 측정하였다. 공정압력은 3Torr이며 ALD 증착 주기는 200cycle로 고정하였다. XRR 측정결과 증착온도에 따라 증착된 Ni 박막은 각 공정온도에 영향을 받아 증착두께가 달라짐을 알 수 있었다. 그림 4. (b)는 XRR, Ellipsometer로 각각 측정한 값의 비교데이터이다. 250Å 대의 얇은 박막이기 때문에 측정 상 오차를 가지므로 두 장비의 값을 비교하여 ALD 증착 온도 구간을 선정하였다. 그림과 같이 200에서 250℃사이에서 약200Å 두께의 박막특성을 보이는 것을 확인할 수 있다. 이러한 결과를 바탕으로 200에서 250℃사이를 ALD 공정 온도 구간으로 설정했고 실제 모든 공정은 4.5Ω/□의 가장 낮은 면저항 특성을 보인 200℃에서 진행하였다.

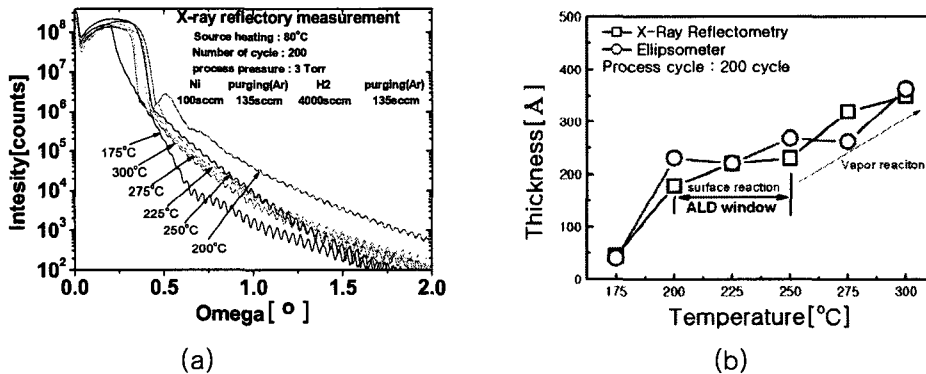


그림 4. (a) 공정온도에 따라 증착된 Ni 박막의 XRR 측정, (b) ALD 공정온도를 확인하기 위한 XRR 및 Ellipsometer 사용한 Ni 박막의 두께측정

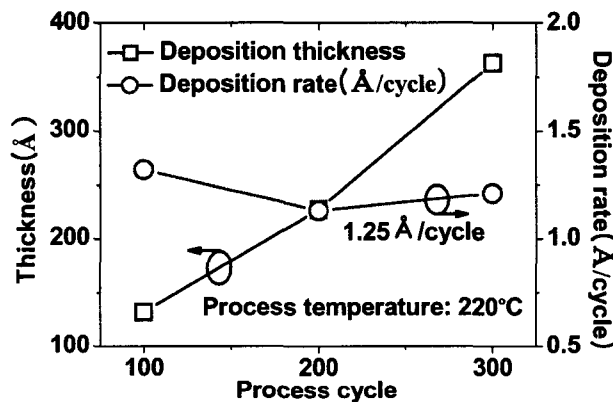


그림 5. Ni 박막의 주기 당 증착율

그림 5는 공정 사이클 변화에 따른 증착 두께의 변화를 나타낸 것이고 100, 200, 300cycle로 달리 증착하였다. 증착된 Ni 박막의 두께는 100, 200, 300사이클에서 각각 132, 227, 363Å을 보여 각 사이클 마다 증착율은 각각 1.32, 1.13, 1.21을 나타내었다. 사이클 변화에 따른 Ni 박막의 ALD 증착은 선형적인 특성을 보이며 평균 1.25Å/cycle의 값을 보였다.

그림 6. (a)는 capping layer를 사용하지 않은 시료의 열처리 온도에 따른 XRD 측정 결과이다. 400에서 900°C까지 질소분위기에서 RTP를 이용하여 열처리를 하였다. 600°C까지는 NiSi가 형성이 되지 않고, 700°C에서 NiSi가 형성되는 것을 확인하였다. Sheet resistance 변화 또한 5Ω/□에서 3Ω/□로 낮아 졌다. 이후 800°C에서 NiSi₂ 형태의 상 변화가 시작되고 있고 900°C에서 agglomeration 되는 형태로 나타났다. 그림 6. (b)는 Ni film의 700°C RTP 시료의 깊이 방향으로 분석한 Auger depth profile 이다. Ni과 Si이 거의 같은 비율로 존재함을 알 수 있다.

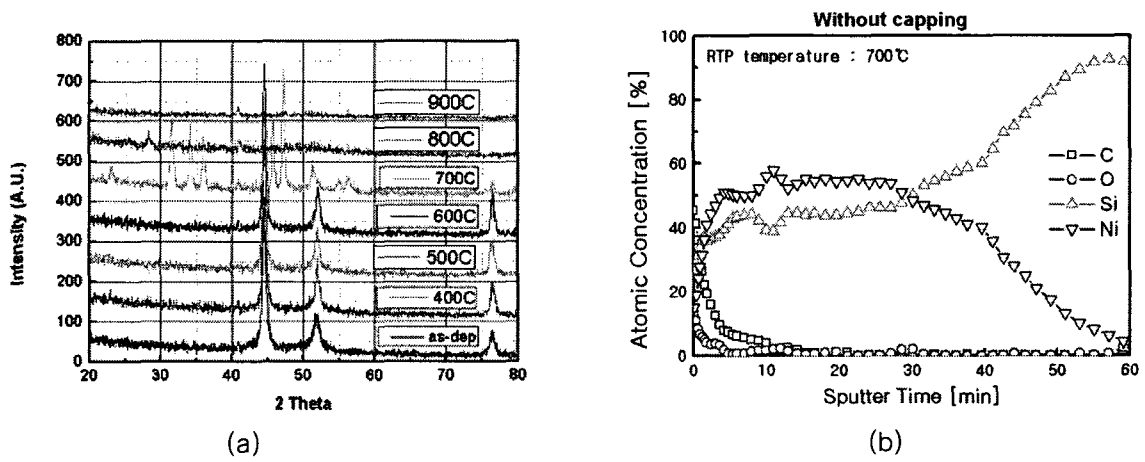


그림 6. (a) ALD로 증착된 Ni을 NiSi형성 후 XRD 측정, (b) Ni 증착 후 NiSi형성 이후 Auger depth profile 측정

그림 7. (a)는 Ni 박막 위에 Ti capping layer 200Å 증착 후 400에서 900°C까지 각각 NiSi를 형성한 박막의 XRD 결과이다. 그림과 같이 400과 500°C에서는 니켈의 변화는 나타나지 않고 있지만, 600°C에서 실리사이드 피크 나타나기 시작한다. Sheet resistance 변화 또한 5Ω/□에서 2.5Ω/□로 낮아 졌다. 그림 7. (b)는 Ni 증착 후 Ti capping layer (200Å)를 이용한 깊이 방향의 Auger depth profile 이다. XRD결과와 같이 600°C에서 Si과 Ni의 농도가 거의 같은 비율로 존재함을 알 수 있다.

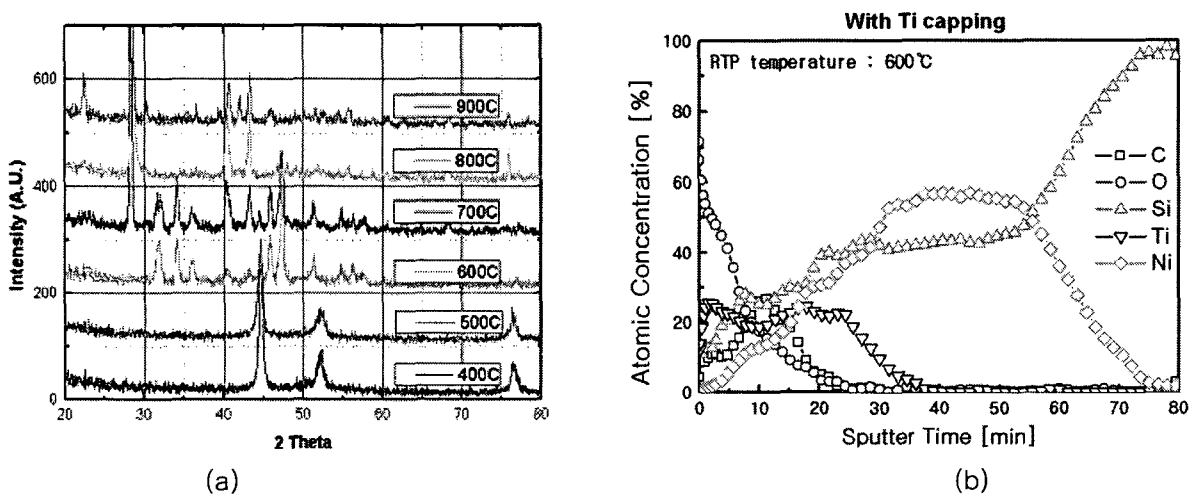


그림 7. (a) ALD로 증착된 Ni 위 Ti capping layer 적용 후 NiSi형성 이후 XRD 측정 (b) Ni 위 Ti capping layer(20nm) 적용 후 NiSi형성 이후 Auger depth profile 측정

이처럼 열처리 과정에서 capping layer가 니켈이 외부의 oxygen 또는 carbon과의 반응을 억제 시켜 줌으로서 좀 더 낮은 온도에서 실리사이드가 형성되는 것으로 생각된다. 즉, Ti capping layer는 passivation 역할을 한 것으로 판단된다. 따라서 Ti capping layer를 사용함으로써 좀더 넓은 silicide 형성구간을 확인하였다.

그림 8.은 각 온도 별 NiSi 형성 후 furnace 공정을 진행한 후 전기적 특성이다. NiSi 형성 시 처음 실리사이드 형성 온도가 후속 공정에서도 매우 중요하게 작용하는 것을 보여주고 있다. 즉 NiSi 형성 온도가 낮을수록 높은 온도에서 견뎌내지 못하고 또 다른 상으로 바뀌어 지고, 800℃에서 NiSi를 형성한 sample은 800℃에서도 상을 유지 하는 것을 알 수 있다. 따라서 우리는 후속공정의 온도 특성에 따라서 실리사이드 형성온도를 선택적으로 적용해야 한다는 결론을 얻을 수 있었다.

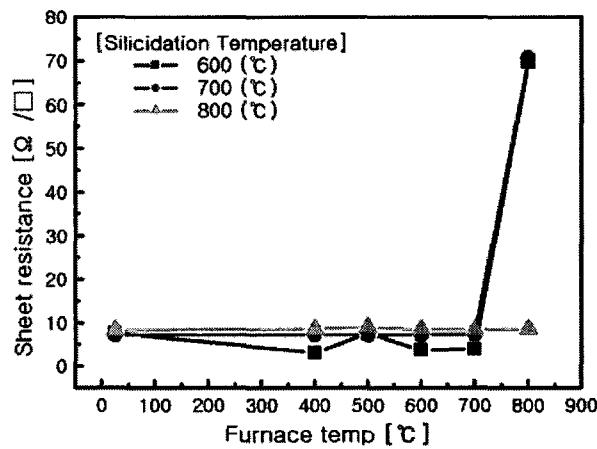


그림 8. NiSi의 열적 안정성

4. 결론

Nano급 소자 적용을 위한 Ni 및 TaN 용 plasma assisted ALD 장비를 개발하였다. 본 장비를 이용하여 매우 낮은 sheet resistance를 갖는 Ni film을 얻었고, 1.25Å/cycle의 증착율을 보였다. 또한 Ti capping layer를 적용함으로써 보다 넓은 실리사이드 형성 구간을 확인할 수 있었다. 이는 capping layer의 효과적인 passivation 역할에 의한 것으로 판단된다. 또한 후속 열처리를 통해 실리사이드 결정의 온도에 따른 상 변화 및 열적 안정성을 확인 하였다. 이러한 결과는 향후 65nm 이하의 CMOS 공정상에서 FUSI gate 및 source/drain contact의 NiSi 형성에 적용 가능 할 것으로 기대된다.

Acknowledgments

This work is partially supported by the Korea Science and Engineering Foundation(KOSEF) through the National Research Lab. Program funded by the Ministry of Science and Technology (No. M10600000273-0650000-27310), the Brain Korea 21(BK21), the Dream New Future(DNF).

References

[1] J.A.Kittl et al., "Scalability of Ni FUSI gate processes: phase and Vt control to 30nm gate lengths" VLSI Technology, 2005. Digest of Technical Papers, 2005 Symposium on 14-16 June 2005 pp. 72 - 73

[2] J. Liu et al., "Dual-work-function Metal Gates by Full Silicidation of Poly-Si With Co-Ni Bi-Layers" Electron Device Letters, IEEE Volume 26, Issue 4, Apr 2005, pp. 228 - 230

- [3] J.H.Sim et al., "Dual Work Function Metal Gates Using Full Nickel Silicidation of Doped Poly-Si" *Electron Device Letters*, IEEE Volume 24, Issue 10, Oct. 2003 pp. 631 - 633
- [4] Hiroshi Iwai et al., "NiSi salicide technology for scaled CMOS" *Microelectronic Engineering*, Volume 60, Issues 1-2, January 2002, pp. 157-169
- [5] J.P. Gambino and E.G. Colgan,"Silicides and ohmic contacts"*Materials Chemistry and Physics*, Volume 52, Issue 2, February 1993, pp. 99-146
- [6] Sim, J.H, Wen, H.C, Lu, J.P, Kwong, D.L, *Electron Device Letters*, IEEE Volume 25, Issue 9, Sept. 2004 pp. 610 - 612
- [7] Liu J, Wen H.-C, Lu J.-P, Kwong D.-L, *IEEE Transactions on Electron Devices* : Accepted for future publication Volume PP, Issue 99, 2005 pp. 1 - 7
- [8] K.G.Anil et al., "Demonstration of Fully Ni-Silicided Metal Gates on HfO₂ based high-k gate dielectrics as a candidate for low power applications" *VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on* 15-17 June 2004 pp. 190 - 191
- [9] Kwan-Woo Do et al.,"Formation of Low-Resistivity Nickel Silicide with High Temperature Stability from Atomic-Layer-Deposited Nickel Thin Film"*JJAP*, Vol. 45, No. 4B, 2006, pp. 2975-2979