

반도체 광 증폭기의 상호 이득 변조를 이용한 10Gbps 프로그램가능 전광 게이트 어레이

10Gbps All Optical Programmable Gate Array Based on Cross Gain Modulation Using SOAs

**정영진, *박남규, **이석

*서울대학교 전기 컴퓨터공학부 광통신 시스템 연구실, **한국과학기술연구원 광기술연구센터

slee@kistmail.kist.re.kr

반도체 광 증폭기의 상호 이득 변조(Cross Gain Modulation)는 다양한 전광 신호처리에 응용되고 있으며, 특히 전광 논리게이트에 대한 연구가 활발히 이루어져 왔다. 이미 AND, OR, NOR, XOR 등 모든 종류의 논리 게이트가 구현되었고 이러한 논리 게이트들의 조합을 이용한 adder⁽¹⁾, encryption⁽²⁾ 등의 기능들도 구현되었다. 그러나 더 복잡한 구조의 기능을 수행하는 디지털 회로를 구성하기 위해서는 점점 더 많은 논리 게이트들을 필요로 하게 된다. 또한 순차적인 게이트들의 연결은 신호의 왜곡을 일으키게 되며, 이 왜곡은 복잡한 디지털 회로구성에서 매우 큰 어려움중의 하나이다. 따라서 이러한 어려움들을 극복하여 모든 종류의 복잡한 전광 디지털 회로구성을 보장하는 장치인 전광 프로그램가능 게이트 어레이(Programmable Gate Array)를 구현하는 일은 매우 복잡한 전광 디지털 회로를 구성하는 어려움을 미리 극복해 주는 일이라 할 수 있다.

프로그램가능 게이트 어레이는 모든 종류의 불 기능(Boolean function)을 수행하도록 프로그램이 가능하기 때문에 거의 모든 종류의 복잡한 디지털 회로구성을 보장하며 병렬적인 구조를 기본으로 하기 때문에 순차적인 게이트 연결을 3단 이하로 구현할 수 있다. 뿐만 아니라 프로그램가능 게이트 어레이는 전자소자로는 이미 실용적으로 쓰이고 있으며 충분한 연구가 이루어져있는 장치이다. 이에 본 연구는 프로그램가능 전광 게이트 어레이를 반도체 광증폭기를 이용하여 실험하였다.

반도체 광증폭기의 상호 이득변조는 과장과 편광에 의존하지 않으며 매우 안정적으로 동작하기 때문에 이러한 복잡한 디지털 회로에 적합하다. 이미 실용적으로 쓰이고 있는 ‘전자적’ 프로그램가능 게이트 어레이에서는 불대수(Boolean algebra) 곱(AND)의 합(OR)으로 구성되는 것이 일반적이다. 그러나 전광 ‘다중입력’ AND 게이트와 ‘다중입력’ OR 게이트의 구현은 많은 광소자를 필요로 한다. 따라서 우리는 사용되는 반도체 광 증폭기의 개수를 최소한으로 줄이기 위해서 불대수 NOR 만으로 구성하는 방법을 통해 시스템의 규모를 줄여주었다. NOR 게이트는 그림. 1처럼 구현될 수 있기 때문에 하나의 반도체 광 증폭기만으로도 여러 개의 입력을 갖는 게이트의 구현이 가능하다. 그림. 1과같이 모든 입력 값을 더한 신호를 이용하여 반도체 광 증폭기의 이득 값을 변조시킨다. 그러면 모든 입력 값이 ‘0’이 아닌 경우에만 이득이 살아남아 CW의 출력력이 값이 ‘1’이 되는 NOR 게이트의 기능을 수행하게 된다.

3개의 입력에 대해 그림. 2에 있는 진리표의 출력 값을 얻는 회로를 실험으로 구현해 보았다. 먼저 3개 입력에 대한 카르노 맵(Karnaugh map)을 이용하여⁽³⁾ 합의 곱 형태의 2단 단순화(Two-Level simplification)를 수행하면 $F = (A + B)\bar{C}$ 를 얻게 된다. 드모르간의 이론(DeMorgan's theorem)을 이용하면 합의 곱 2단 연산을 NOR-NOR 2단 연산으로 그대로 바꾸어줄 수 있다.

우리 실험의 경우는 그림. 3과 같은 연결 형태를 얻게 된다. 어떤 형태의 진리표도 이러한 과정을 거쳐 연결 형태만 바꾸면 구현이 가능하므로 모든 종류의 불 기능을 수행할 수 있다. 또한 2단으로 모든 불 함수를 표현하기 때문에 여러 단을 지나며 소광비(extinction ratio)가 감소하는 등 신호의 왜곡을 최소한으로 할 수 있다. 이것을 실험으로 구현하기 위한 실험구성도를

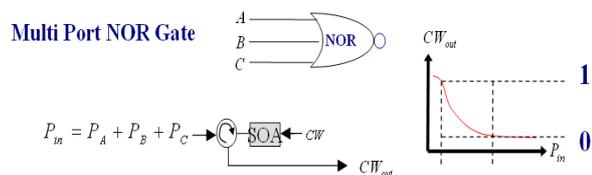


그림. 1 다중입력 NOR 게이트 동작 원리

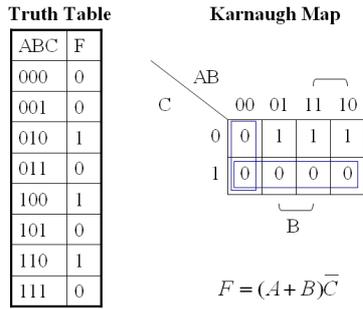


그림. 2 진리표와 합의 곱 단순화를 위한 카르노 맵

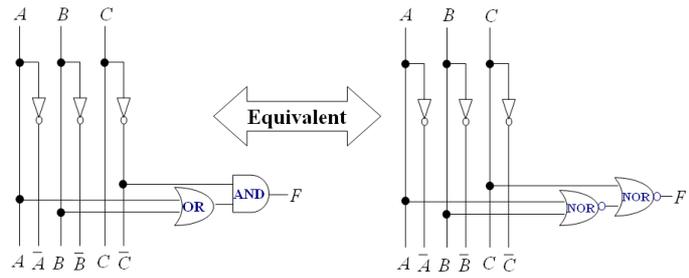


그림. 3 합의 곱 단순화 회로와 NOR-NOR 등가회로

그림. 4에 나타내었다. 그림. 1에서 설명한 NOR 게이트를 기반으로 하여 그림. 3의 NOR-NOR 단순화 회로를 구성하였다. 먼저 A신호는 10Gbps 펄스패턴 발생기를 이용하여 만들었고, B신호와 C신호는 레이저의 선폭 (Line-width)을 고려하여 A신호를 충분히 긴 광섬유를 통과시켜 A, B, C 서로간의 간섭성(Coherence)이 없도록 만들어 주었다. 그림. 5는 실험 결과를 보여주고 있는데 각각 입력신호패턴(A, B, C)과 회로 중간에 통과하는 신호의 패턴들(S_1, S_2) 그리고 출력(F) 신호의 패턴을 보여주고 있다. 진리표에 있는 모든 입력에 대해 출력 값이 정확한 것을 확인할 수 있다. 이 실험은 반도체 광증폭기 한 개로 구성된 NOR 게이트만 가지고도 디지털 전자회로의 모든 기능을 10Gbps의 빠른 속도의 광신호로 처리할 수 있다는 가능성을 보여주고 있다.

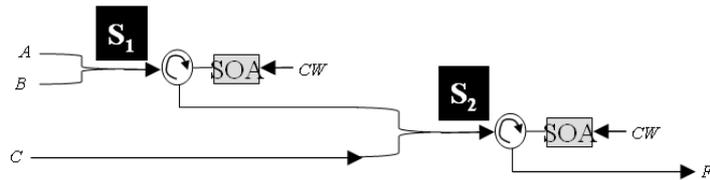


그림. 4 프로그램 가능 전광 게이트 어레이 실험구성도

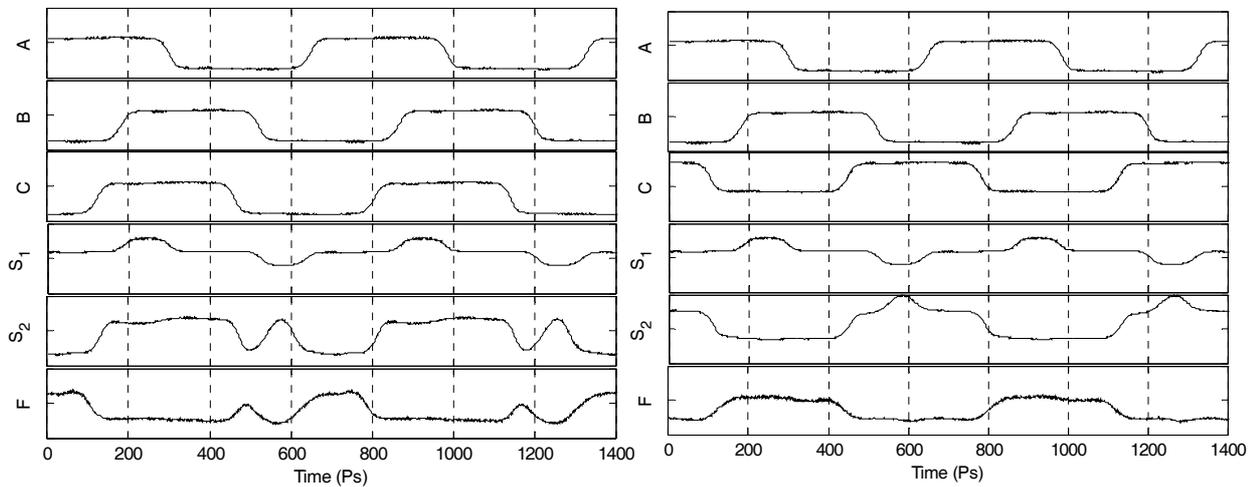


그림. 5 실험 결과 신호 패턴

참고문헌

1. Sang Hun Kim, Jae Hun Kim, Jae Won Choi, Chang Wan Son, Young Tae Byun, Young Min Jhon, Seok Lee, Deck Ha Woo, and Sun Ho Kim , "All-optical half adder using cross gain modulation in semiconductor optical amplifiers", Optics Express, Vol. 14, pp. 10693-10698 (2006)
2. 손창완, 윤태훈, 김상현, 전영민, 변영태, 이석, 우덕하, 김선호, 김수현, 김근철, 정영철, 조형욱, 이종창, 길상근, "반도체 광증폭기를 이용한 전광 암호화 구현", Photonics Conference (2006), TP10
3. Maurice Karnaugh, "The Map Method for Synthesis of Combinational Logic Circuits", Trans. AIEE. part I 72(9):593-599 (1953)