

Nested-chopping 기법을 이용한 Instrumentation Amplifier 설계

*이준규 *범진욱 **임신일
*서강대학교 전자공학과 **서경대학교 컴퓨터공학과

A Design of Instrumentation Amplifier using a Nested-Chopping Technique

*Jun-Gyu Lee *Jin-Wook Burm **Shin-Il Lim

*Dept. of Electronic Engineering, Sogang University **Dept. of Computer Engineering, Seokyeong University

Abstract - In this paper, we describe a chip design technique for instrumentation amplifier using a nested-chopping technique. Conventional chopping technique uses a pair of chopper, but nested chopping technique uses two pairs of chopper to reduce residual offset and 1/f noise. The inner chopper pair removes the 1/f noise, while the outer chopper pair reduces the residual offset. Our instrumentation amplifier using a nested chopping technique has residual offset under 100 nV. We also implement very low frequency filter. Since this filter needs very large RC time constant, we use a technique named 'diode connected PMOS' to increase R with small die area. The total power consumption is 3.1 mW at the supply voltage of 3.3V with the 0.35um general CMOS technology. The die area of implemented chip was 530um X 300um.

1. 서론

과학 기술의 발달로 인하여 인류의 삶의 질이 상승하기 시작하면서 건강에 대한 관심 역시 커져가고 있다. 이러한 추세에 따라서 몸의 상태를 체크하고 병의 치유에도 사용될 수 있는 여러 형태의 의료기기가 개발되고 있다. 이러한 대부분의 의료기기는 인체에서 얻을 수 있는 신호를 처리 분석하여 필요한 정보를 얻어내고, 나아가 그 정보에 대한 피드백으로 환자를 치유하게 된다. 인체에서 얻을 수 있는 신호는 신호 자체의 크기가 작은 신호이기 때문에 신호처리를 위해서는 반드시 증폭기를 필요로 하게 된다. 하지만 인체에는 일반적인 반도체 회로와는 달리 접지가 없기 때문에 일반적인 증폭기를 이용해서는 증폭이 불가능하다. 따라서 접지가 없이도 입력단의 신호 차이만을 증폭하는 instrumentation amplifier를 증폭기로써 사용하게 된다.

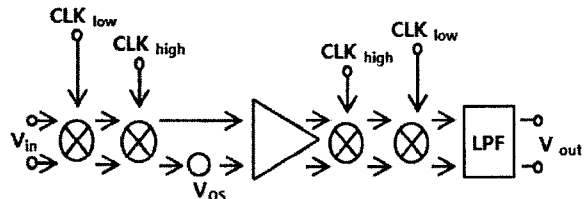
이러한 instrumentation amplifier는 일반적으로 여러 개의 amplifier를 피드백 루프와 저항을 이용하여 구현을 한다. 생체 신호를 처리해야 하는 시스템에서의 처음으로 신호를 처리하는 블록이 대부분 instrumentation amplifier이기 때문에 instrumentation amplifier의 offset과 noise 성능에 따라서 시스템 전체에 큰 영향을 미친다. Offset과 noise를 줄이는 방법으로는 크게 discrete time 시스템에서 사용될 수 있는 auto-zeroing 방법과 continuous time 시스템에서 사용할 수 있는 chopping 방법으로 나눌 수 있다.[1] 전자의 방법의 경우는 후자의 방법에 비하여 회로가 간단하지만, residual offset이 후자에 비하여 큰 값을 가지며, 연속신호 시스템에서는 사용할 수 없다. 반면 후자의 경우에는 전자의 방법에 비하여 회로가 복잡하고 뒷단에 낮은 cut-off frequency를 갖는 low pass filter(이하 LPF)가 필요하지만, residual offset이 상대적으로 작으며 연속신호 시스템에서 사용될 수 있다. 본 논문에서는 보통의 chopping 기법에 chopper를 한 쌍 더 추가하여 사용하는 nested-chopping 기법을 사용함으로써 residual offset과 1/f noise를 동시에 줄였다. 또한 매우 낮은 cut-off 주파수를 갖아야 하기 때문에 칩 안에 집적하기가 어려운 마지막 단의 LPF 역시 Diode connected PMOS를 이용하여 큰 resistor 값을 만들어 냄으로써 전체 instrumentation amplifier의 집적율을 적은 면적으로 구현하였다.

2. 본론

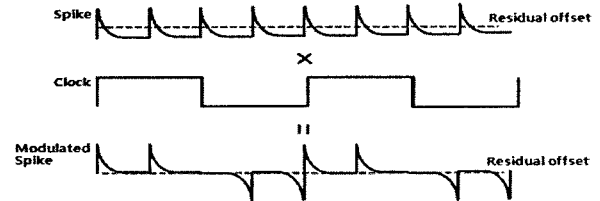
2.1 Nested-chopping 기법

본 논문에서는 instrumentation amplifier의 offset을 줄이기 위한 방법으로 nested-chopping 기법을 사용하였다. <그림 1>은 nested-chopping 기법의 대략적인 동작을 그림으로 나타낸 것이다.[2] 일반적인 Chopping 기법을 사용하는 경우에는 한 쌍의 chopper를 이용하여 신호와 offset의 주파수 대역을 분리한 후, filter를 사용하여 신호는 통과 시키고 offset은 잘라버린다. 이 때 첫 번째 chopper에서는 신호의 주파수 대역을 좀 더 높은 주파수 대역으로 이동시키게 되며, 두 번째 chopper에서는 주파수 대역이 옮겨진 신호를 원래의 주파수 대역으로 되돌리고, 이번에는 offset 성분을 높은 주파수 대역으로 보내는 역할을 수행하게 된다. 마지막 단계는 LPF가 들어가서 높은 주파수 대역으로 옮겨진 offset 성분을 상쇄시키게 되는 것이다. 클럭을 하나만 사용하는 일반적인 chopper는 대부분 switch를 이용하여 설계하기 때문에 switching시에 발생하는 charge injection과 clock feedthrough, 그리고 switch에 존재하는 기생 capacitor의 영향으로 'spike' 성분이 생기게 된다. 이러한 spike 성분들의 평균값을 취하게 되면 일정한 DC 성분이 발생하는데 이는 시스템의 residual offset으로 작용한다.[1][2][3][4][5] 반면

nested-chopping 기법의 경우에는 chopper를 한 쌍 더 사용한다. Chopper를 한 쌍 더 사용했을 경우 바깥쪽의 chopper는 residual offset을 줄이고, 안쪽의 chopper는 1/f 노이즈를 줄임으로써 일반적인 chopping 기법에 비하여 offset과 noise 성능을 더 좋게 할 수 있다. <그림 2>는 마지막 chopper를 통과한 후의 spike 성분을 그림으로 나타낸 것이다.[5] 그림을 보면 결국에는 chopper를 한 쌍 더 사용함으로써 chopper의 주기에 따라 spike의 방향이 반전이 된다. 이렇게 spike의 방향이 낮은 주파수의 반주기로 반전이 되면 결국 평균값의 측면에서 보면 모든 spike들이 상쇄되기 때문에 모든 spike들이 같은 방향을 갖는 일반적인 chopping 기법과 비교하여 residual offset을 크게 줄일 수 있다.[2][5] 또한 추가된 LPF를 이용하여 고주파 성분인 spike를 제거하면 노이즈가 현저하게 제거되게 된다.



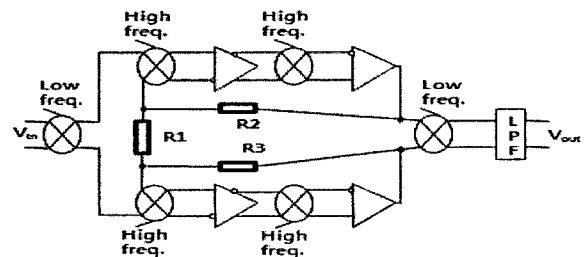
<그림 1> Nested-chopping 기법



<그림 2> 마지막 Chopper 통과 후의 Spike 파형

2.2 회로의 구현

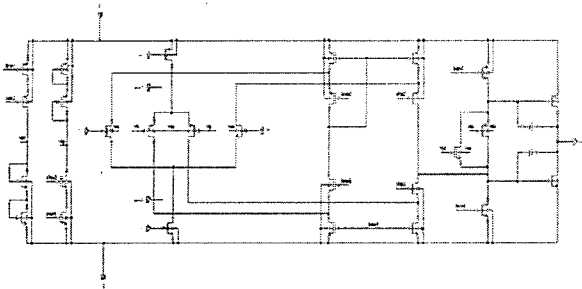
<그림 3>은 nested-chopping 기법을 사용한 instrumentation amplifier의 블록 다이어그램이다.[5] 일반적인 Chopping 기법을 사용한 회로들과는 달리 residual offset과 1/f 노이즈를 줄여주기 위해서 처음과 끝에 low frequency로 구동되는 chopper 한 쌍을 더 넣었다. Instrumentation amplifier의 이득은 R1과 R2, R3에 의해 결정이 된다. 마지막 단계는 높은 주파수로 변환이 된 offset과 DC 노이즈 성분을 없애고, 신호만을 통과시키기 위하여 LPF가 붙게 된다. 사람의 신체에서 나오는 신호는 수십 Hz 정도의 매우 낮은 주파수 성분을 갖기 때문에 LPF의 cut-off frequency는 수 Hz 정도로 낮아야 한다. 이러한 cut-off frequency를 갖는 필터를 만들기 위해서는 매우 큰 RC time constant가 필요하기 때문에 칩 안에 집적한다는 것은 어려운 일이다. 본 논문에서는 큰 값을 갖는 resistor를 인위적으로 만들 수 있는 diode connected PMOS[6]를 사용하여 LPF 역시 칩 안에 집적할 수 있도록 하였다.



<그림 3> Instrumentation amplifier 블록 다이어그램[5]

2.2.1 Amplifier

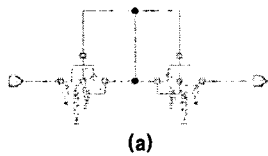
<그림 4>는 Instrumentation amplifier를 구현하는 데에 사용된 Amplifier의 회로도이다. 기본적인 folded cascode 구조를 사용하였고, input 단에는 dynamic range를 넓히기 위하여 Rail to rail input 단을 구현하였다. 또한 output 단에는 floating current source를 이용하여 class AB buffer를 구현함으로써 resistive load에도 문제없이 amplifier가 구동 될 수 있도록 설계를 하였다.[7]



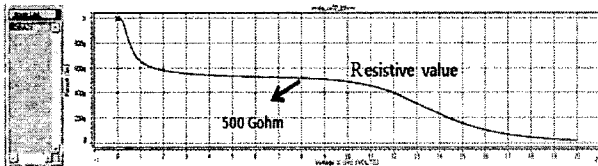
<그림 4> Amplifier 회로도

2.2.2 LPF

대부분의 생체 신호를 처리해야 하는 시스템의 경우에는 생체신호의 주파수 대역이 수백 Hz 이내로 매우 낮은 주파수 대역을 갖기 때문에 필터를 만들에 있어서 매우 큰 RC time constant가 필요하다. 큰 RC time constant의 경우에는 칩 안에 집적하기가 힘들기 때문에 대부분의 경우에 캐패시터와 저항을 칩 밖으로 빼서 사용하는 등 외부 소자를 이용하여 필터를 구현한다. 그러나 본 논문에서는 diode connected PMOS [6]를 이용하여 직접적으로는 칩 안에서 얻기 힘든 큰 값을 갖는 resistor를 구현하였다. 이를 이용하여 간단한 RC 필터를 꾸미으로써 마지막 단의 LPF 역시 칩 안에 집적하여 외부 소자의 사용을 최소화하고, 시스템의 크기를 줄였다. <그림 5>는 Diode connected PMOS의 회로도 와 그에 따른 Resistor의 값을 계산해본 결과다. Gohm대의 저항 구현이 가능함을 알 수 있다.



(a)



(b)

<그림 5> Diode connected PMOS. (a) 회로도 (b) 저항 값

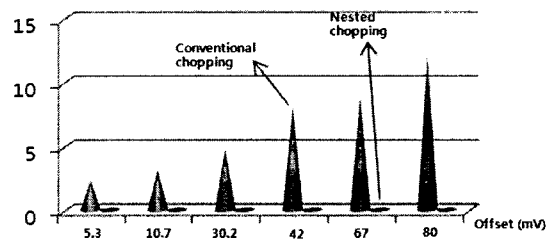
2.3 시뮬레이션 결과

<표1>은 회로에 인위적으로 offset을 주었을 때, instrumentation amplifier의 output에서의 residual offset 값을 표로 정리한 것이다. 회로에 인위적인 offset을 주기 위하여 instrumentation amplifier를 구성하는 각각의 amplifier의 input MOS를 인위적으로 크기를 다르게 하고 시뮬레이션을 수행하였다. <표1>에 나타난 결과를 살펴보면, 인위적으로 수십 mV의 offset을 주었을 때, 시스템의 residual offset은 100 nV 이하로 줄어들음을 확인할 수 있다. <표1>의 결과는 <그림 6>으로 다시 나타내었다.

<표 1> Offset을 가했을 때, 시스템의 residual offset 값

| Offset (mV) | Residual offset | |
|-------------|--------------------------------------|--------------------------------|
| | Conventional chopping technique (uV) | Nested-chopping technique (nV) |
| 5.3 | 2.3 | 12 |
| 10.7 | 3.1 | 25 |
| 30.2 | 4.8 | 40 |
| 42 | 8 | 70 |
| 67 | 8.7 | 82 |
| 80 | 12 | 98 |

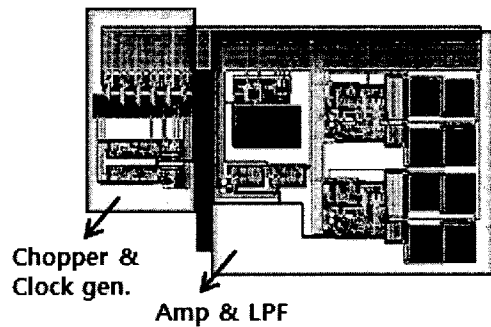
Residual Offset (uV)



<그림 6> Conventional chopping 기법과 nested-chopping 기법의 residual offset 비교

2.3 시스템 layout

<그림 7>은 nested-chopping instrumentation amplifier의 전체 layout 그림이다. 정전기로 인하여 회로가 파괴되는 경우를 막기 위해서 ESD 회로가 내장되어 있다. 시스템 코어의 면적은 530um X 300um 이다.



<그림 7> 전체 Layout

3. 결 론

본 논문에서는 삼성 0.35um 일반 CMOS 공정을 사용하여, nested-chopping 기법을 적용한 바이오센서용 instrumentation amplifier를 설계하였다. 전원 전압은 3.3V 이며, total power 소모량은 3.1mW, 시스템의 layout 면적은 530um X 300um 이다. 시스템에서 사용된 clock은 낮은 frequency로는 10Hz 사용하고, 높은 frequency는 1kHz를 사용하여서 시뮬레이션을 수행하였다. 이 때 instrumentation amplifier의 residual offset은 100nV 이하로 나타났다. 이는 offset cancellation 기법을 적용하지 않은 instrumentation amplifier의 offset에 비하여 현저하게 적은 값이다. 또한 본 논문에서는 큰 RC constant를 갖는 LPF를 diode connected PMOS 기법을 사용하여 칩 안에 집적함으로써 외부 소자의 사용을 최소화 하였을 뿐만 아니라 layout 면적을 절약할 수 있었다.

감사의 글

이 논문은 정보통신부 및 정보통신연구진흥원의 대학 IT 연구센터 지원사업의 연구결과로 수행되었음. (과제번호 IITA-2006-(C1090-0602-0002))

[참 고 문 헌]

- [1] Christian C. Enz, Gabor C. Temes, "Circuit Techniques for Reducing the Effects of Op-amp Imperfections: Autzeroing, Correlated Double Sampling, and Chopper Stabilization", PROCEEDINGS OF THE IEEE, Vol. 84, NO. 11, NOVEMBER 1996
- [2] Kofi Mankinwa, "Dynamic-Offset Cancellation Techniques in CMOS", ISSCC, Feb. 2007
- [3] C.C Enz et al., "A CMOS chopper amplifier", IEEE JSSC, vol.22, pp. 335 - 342, June 1987
- [4] J.F. Witte, K.A.A. Mankinwa and J.H. Huijsing, "The effect on non-idealities In CMOS chopper amplifier", Proc. PrORISC, pp 616 - 619, Nov. 2004.
- [5] Anton Bakker, Kevin Thiele, and John H. Huijsing, "A CMOS Nested-Chopper Instrumentation Amplifier with 100-nV Offset", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 35, NO. 12, DECEMBER 2000
- [6] Oivind Naess, Yugvar Berg and Tor Serre Lande, "High Impedance Circuit Biasing For Micropower Systems", 2004 IEEE International Workshop in Biomedical Circuit & Systems
- [7] R. Jacob Baker, CMOS, Wiley Interscience, 2005