

저전력 DCT를 이용한 MPEG-4 AVC 압축에 관한 연구

*김동훈, *서상진, **박상봉, *진현준, *박노경
*호서대학교, **세명대학교

A Study on the Implementation of Low Power DCT Architecture for MPEG-4 AVC

*Dong-Hoon Kim, *Sang-Jin Seo, **Sang-Bong Park, *Hyun-Joon Jin, *Nho-Kyung Park
*Hoseo University, **Semyung University

Abstract - In this paper we present performance and implementation comparisons of high performance two dimensional forward and inverse Discrete Cosine Transform (2D-DCT/IDCT) algorithm and low power algorithm for 8x8 2D DCT and quantization based on partial sum and its corresponding hardware architecture for FPGA in MPEG-4. The architecture used in both low power 2D DCT and 2D IDCT is based on the conventional row-column decomposition method. The use of Fast algorithm and distributed arithmetic(DA) technique to implement the DCT/IDCT reduces the hardware complexity. The design was made using Mentor Graphics Tools for design entry and implementation. Mentor Graphics ModelSim SE6.1f was used for Verilog HDL entry, behavioral Simulation and Synthesis. The 2D DCT/IDCT consumes only 50% of the Operating Power.

1. 서 론

디지털 신호 처리 기술의 향상으로 인한 디지털 영상의 응용분야가 핵심으로 부각되면서 디지털 통신과 멀티미디어 응용 분야의 디지털 영상처리 기술의 필요성이 더욱 요구되고 있다.

2차원 DCT(Discrete Cosine Transform)은 사진 및 영상 압축의 표준으로 가장 광범위 하게 사용되었으며 DCT는 DFT(Discrete Fourier Transform)과 매우 유사하나 Fourier Transform을 구현하기 위해선 적분을 ±∞로 해야하지만 실제 구현에 있어서는 많은 계산상의 복잡성을 증가시키게 된다. 따라서, 실제 연산의 구현에 있어서 연속적인 시간에서 일정 주기로 샘플링한 신호에 실수부(Cosine) 성분 에 대해 Fourier Transform을 적용한 DCT변환을 사용한다.

본 논문에서는 분산 산술연산(Distributed Arithmetic) 방식을 이용하여 2-D DCT/IDCT의 Hardware Logic Cell 크기를 60% 낮춘 저전력 DCT를 이용하여 MPEG-4 AVC 영상압축 FPGA를 설계하였다.

2. 본 론

2.1 2-Dimensional DCT/IDCT

정규화된 N point DCT의 식은 식 (1)과 같다.

$$X(u) = \sqrt{\frac{2}{N}} C(u) \sum_{i=0}^{N-1} x(i) \cos\left(\frac{(2i+1)u\pi}{2N}\right) \quad (1)$$

where C(0)=1, C(u)=1 for u0

2-D DCT은 영상의 압축에 사용됨으로 각 픽셀들의 정규화된 N×N 블록의 2차원 DCT 식은 다음의 식(2)과 같고, x(i,j)는 2차원 입력 영상, X(i,j)는 2차원으로 변환된 영상이다.

$$X(u,v) = \frac{2}{N} C(u)C(v) \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} x(i,j) \cos\left(\frac{(2i+1)u\pi}{2N}\right) \cos\left(\frac{(2j+1)v\pi}{2N}\right) \quad (2)$$

식(1)에서 보여진 1D DCT에서 8-point 1D DCT를 이용하여 NxN 개의 입력 값에 대한 2차원 저전력 DCT/IDCT에 관한 수식을 묘사한 계수(Matrix representation of DCT)를 사용하여 식(8)을 얻는다.

$$X = M \cdot x \text{ (Forward DCT),}$$

$$X = M^T \cdot x \text{ (Inverse DCT)}$$

$$M = \begin{bmatrix} A & A & A & A & A & A & A & A \\ D & E & F & G & -G & -F & -E & -D \\ B & E & -C & -B & -B & -C & C & B \\ E & -G & -D & -F & F & D & G & -E \\ A & -A & -A & A & A & -A & -A & A \\ F & -D & G & E & -E & -G & D & -F \\ C & -B & B & -C & -C & B & -B & C \\ G & -F & E & -D & D & -E & F & -G \end{bmatrix}$$

$$M^T = \begin{bmatrix} A & D & B & E & A & F & C & G \\ A & E & C & -G & -A & -D & -B & -F \\ A & F & -C & -D & -A & -G & B & E \\ A & G & -B & -F & A & E & -C & -D \\ A & -G & -B & F & A & -E & -C & D \\ A & -F & -C & D & -A & G & B & -E \\ A & -E & C & G & -A & D & -B & F \\ A & -D & B & -E & A & -F & C & -G \end{bmatrix}$$

Where

A=Cos(π/4), B=Cos(π/8), C=Sin(π/8), D=Cos(π/16)E=Cos(3π/16), F=Sin(3π/16), G=Sin(π/16)

2.2 Quantization

DCT 변환 후 고주파 성분을 효과적으로 제거하기 위해 Quantization을 수행한다. Scalar Quantization은 DCT 결과 데이터를 Quantization 데이터로 나누는 과정으로 소수점을 가지는 수를 가장 가까운 정수로 반올림하는 것, 즉 R을 Z로 대체하는 과정이다. 반올림 된 정수로부터 원래의 정확한 소수를 알아내는 것이 불가능하므로 손실이 발생한다.

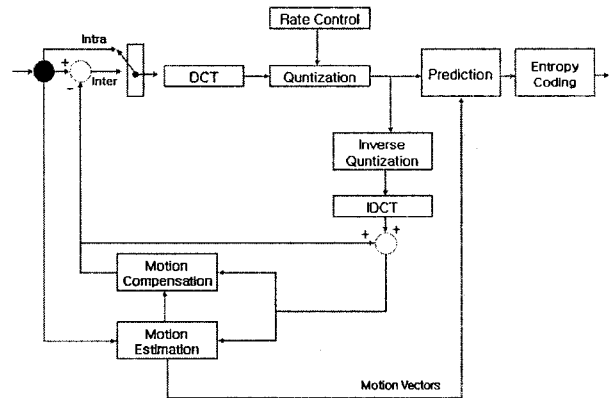
$$FQ = IntegerRound\left(\frac{X}{QP}\right)$$

$$Y = FQ \times QP \quad (4)$$

식 (4)에서는 Scalar Quantization과 Quantization 변환된 데이터를 복원하기 위한 Inverse Quantization 과정을 나타낸다. 여기서 QP는 양자화 Step size이다. 양자화는 DCT 변환과정을 수행한 이후에 0에 근접한 크지 않은 DCT 계수를 제거함으로써 이미지 데이터의 정확도를 감소시키는 데 사용된다.

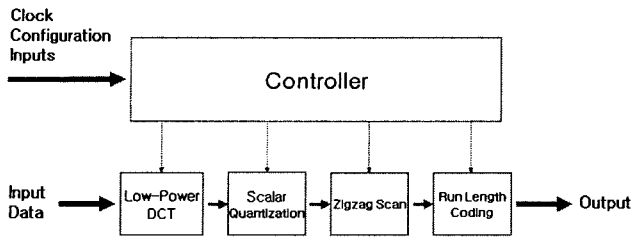
2.3 MPEG4 AVC 영상압축

MPEG4의 기본적인 인코딩 흐름은 그림 1과 같이 된다. 손실 압축 방법인 DCT를 거친 후 고주파 성분을 제거하기 위해 Quantization과정을 수행하여 사람의 눈에는 데이터의 손실은 이루어져도 화질저하를 느끼지 못하는 특성을 나타내는 공간적 중복을 제거한다.

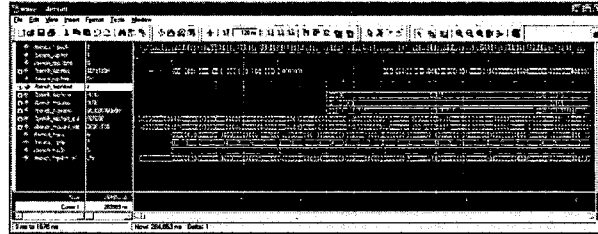


<그림 1> Mpeg-4 Program Flow

그림 2은 Low-Power DCT를 이용하여 MPEG 4 AVC 압축방식에 따라 FPGA로 구현한 Block Diagram이다.



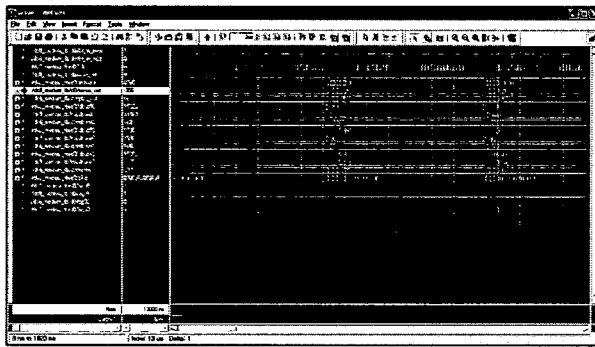
<그림 2> MPEG-4 Encoding Block Diagram



<그림 5> MPEG4 AVC Compression using Low-power DCT

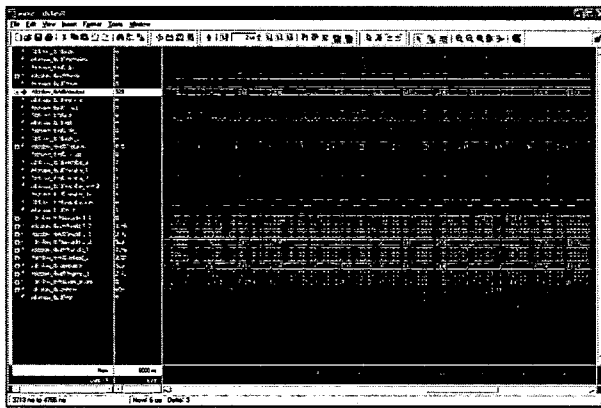
2.4 구현

구현 사용된 시스템은 Altera사의 엑스칼리버(EPXA10F1020C2)를 사용하였고, 본 논문에서의 설계 및 검증은 VHDL로 기술하여 Mentor Graphice사의 시뮬레이션 합성틀인 Modelsim 6.1f로 모의 실험을 하였으며, Synopsys의 Design Analyzer를 사용하여 0.35 μ m 공정 라이브러리로 합성하게 되었다.



<그림 3> High Speed DCT/IDCT Simulation

그림 3에서는 고속 DCT/IDCT의 시뮬레이션 파형으로 클럭주파수가 100MHz일 때의 파형으로 처음 입력이 들어가고, 출력이 나오는 시간이 약 600ns에 출력됨을 보여준다.



<그림 4> Low Power DCT/IDCT Simulation

그림 4의 저전력의 DCT 시뮬레이션 파형은 출력 값이 1 μ s에 출력이 나오는 것을 알 수 있었다. 표1에서 저전력 DCT는 고속 DCT 방식에 비하여 Logic의 Cell값을 70% 줄이고 전력소모 또한 50% 감소시킴을 확인하였다.

<표1> Synopsys Simulation

	고속 DCT/IDCT	저전력 DCT/IDTC
Total logic cell (synopsys)	5772.705	1485.852
Dynamic Power	49.606mW	23.559mW

그림 5은 저전력의 DCT simulation을 이용하여 MPEG4 AVC 표준에 맞도록 Pipeline을 사용하여 FPGA 설계를 하였다. 100MHz의 주파수로 동작을 시켰을 경우 1.7 μ s후 DCT, Quantization Simulation, Zigzag Scan 및 Run Length Coding이 완료되었다.

3. 결 론

본 논문에서 분산 산술연산(DA)방식을 이용하여 저전력 2-D DCT/IDCT 및 Quantization을 FPGA로 설계하였다. 고속의 DCT/IDCT 설계 방식은 저전력 방식에 비하여 30% 동작속도를 향상 되었다. 또한, 고속 방식 보다 하드웨어의 면적을 60%로 감소시켜 동작전력을 50%이상 감소시킨 저전력 DCT/IDCT를 사용하여 MPEG 4 AVC 영상 압축 FPGA를 설계하였다.

[참 고 문 헌]

- [1] Mao Tian, "A New Fast Algorithm for 8x8 2-D DCT and Its VLSI Implementation", 2005
- [2] Zulkalnain Mohd-Yusof, "Implementation of Two Dimensional Forward DCT and Inverse DCT Using FPGA," 2000
- [3] Tsung-ching Lin, "DCT-Based Image Codec Embedded Cubic Spline Interpolation with Optimal Quantization" 2006
- [4] Kuan-Hung Chen, "An energy-aware IP core design for the variable-length DCT/IDCT targeting at MPEG4 shape-adaptive transforms", 2005
- [5] Joint Video Team(JVT) of ISO/IEC MPEG and ITU-T VCEG, Draft ITU-T recommendation and final draft international standard of joint video specification, 2003