

고성능 CMOS LDO 레귤레이터 설계

심상미, 박준규, 강현철*, 유종근
 인천대학교 전자공학과, *정보통신학과

Design of a High-Performance CMOS LDO Regulator

S. M. Sim, J. K. Park, H. C. Kang*, C. G. Yu

Dept. of Electronic Engineering, *Dept. of Information and Telecom. Engineering University of Incheon

Abstract - This paper describes a simple and high-performance LDO regulator designed using a 0.18 μ m CMOS process. It is designed to provide a regulated voltage for on-chip small loads instead of for off-chip heavy loads. Since the load capacitance is very small in this applications, the frequency compensation can be easily achieved without a buffer. The designed LDO drives a load current up to 15mA and dissipates only 12 μ A quiescent current. The line regulation is and the load regulation is for a 9mA load step. The PSRR at 10kHz is 54dB.

1. 서 론

Low-dropout(LDO) 레귤레이터는 휴대폰, PDA, 노트북 등 다양한 hand-held 또는 portable device에서 power management IC에 광범위하게 사용된다. LDO 레귤레이터는 입력전압의 변화, 출력 부하 변화 및 다른 환경적 요인에 영향을 덜 받으며 안정적인 출력을 제공한다. 또한, switching 레귤레이터 보다는 transient 특성과 잡음 특성이 더 좋으며, linear 레귤레이터 보다는 dropout voltage가 작기 때문에 효율이 더 높다. 이러한 장점 때문에 LDO 레귤레이터의 사용은 모든 분야에서 크게 증가 추세에 있다.[8]

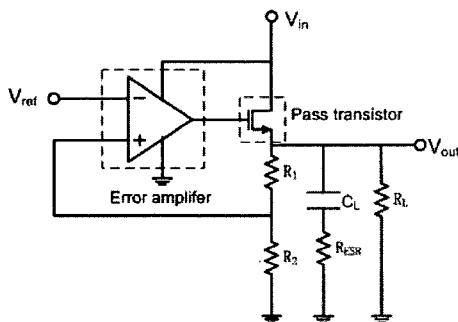
본 논문에서는 on-chip 회로에 안정화된 전원 전압을 공급하기 위한 간단한 LDO를 설계하였다. on-chip 회로 중에는 특성상 성능이 전원전압의 변화에 크게 민감한 경우가 있다. 이런 회로의 경우는 칩 내부에서 적은 비용으로 전원 전압을 안정화시키는 회로를 구현할 필요가 있다.

기존의 off-chip load를 구동하는 LDO의 경우는 load capacitance가 크기 때문에 큰 전류를 구동하기 위해 큰 size의 pass transistor가 필요하며, pass transistor의 gate 단자에 존재하는 parasitic capacitance가 커지기 때문에 주파수 보상을 위해 버퍼 단의 사용이 필요하다.[5] 그러나 본 논문에서는 on-chip용 local 회로들을 대상으로 하기 때문에 load capacitance가 작다. 따라서 pass transistor의 크기가 클 필요가 없으며, parasitic capacitance가 크지 않기 때문에 버퍼 단 없이도 쉽게 stability를 확보할 수 있다.[3]

2. 본 론

2.1 LDO 레귤레이터의 동작원리

그림 1은 LDO 레귤레이터의 기본 구조이다. LDO 레귤레이터는 기본적으로 error amplifier, pass transistor, bandgap reference, feedback network 및 load elements들로 구성된다. Error amplifier는 bandgap reference 전압 V_{ref} 와 출력에서 feedback된 전압을 비교하여 error signal 전압을 발생시키고 pass transistor의 게이트에 전달한다. 이는 pass transistor의 overdrive 전압을 변화시키고 대응되는 전류 변화에 의해 출력전압이 레귤레이션 된다.[7]

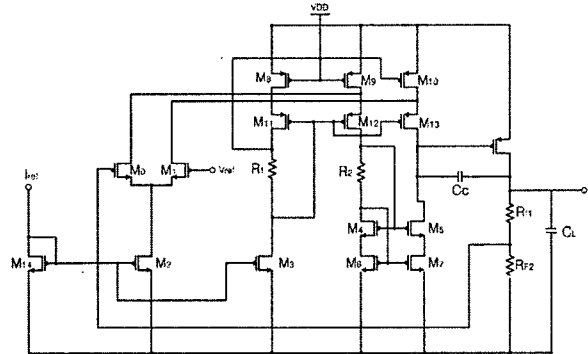


<그림 1> LDO 레귤레이터의 기본 구조

본 논문은 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심 설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

2.1.1 Low-dropout regulator

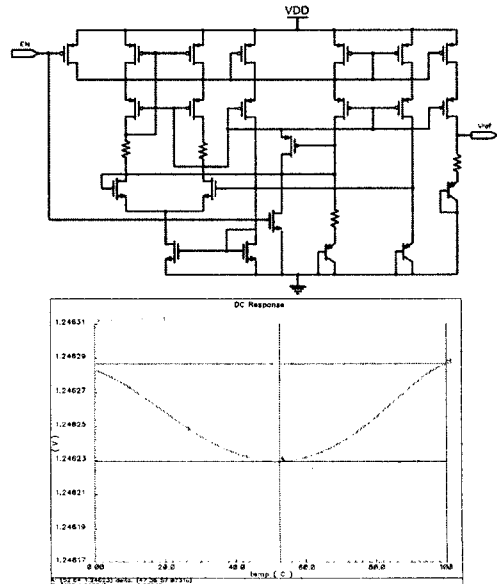
그림 2는 제안된 LDO 레귤레이터의 회로도이다. Error amplifier는 self-biased 구조의 folded-cascode 증폭기를 사용하였다. 증폭 단으로 folded cascode 구조를 사용함으로써 단일 단으로 비교적 높은 전압 이득을 얻을 수 있으며, self-biased 구조를 사용함으로써 추가적인 바이어스 회로 없이 간단하게 적은 면적으로 구현이 가능하다. 설계된 회로는 on-chip block을 대상으로 한 LDO 레귤레이터이므로 off-chip block을 대상으로 한 회로에 비해 load capacitance가 아주 작으며, 구동 전류가 작기 때문에 pass transistor M_p 의 크기가 작다. 따라서, 작은 크기의 C_c 에 의해 쉽게 주파수 보상이 가능하며, 작은 면적으로 안정된 동작이 가능하다. 설계된 레귤레이터 자체의 전류소모는 약 12 μ A이며, 1.8V 입력 전압에서 출력전압은 약 1.6V로 dropout 전압은 약 200mV이다.



<그림 2> 제안된 LDO 레귤레이터 회로도

2.1.2 Bandgap reference

그림 3은 설계된 bandgap reference 회로도도 제안된 LDO 레귤레이터에 안정적인 reference 전압 V_{ref} 를 공급해 준다. 회로에서 BJT는 CMOS 공정에서 이용 가능한 기생(parasitic) vertical pnp 트랜지스터를 사용하였다. 간단한 증폭기를 사용하여 BJT에 흐르는 전류를 같게 만들어 주어, reference 전압을 온도와 전원전압 변동에 무관하도록 설계하였다.



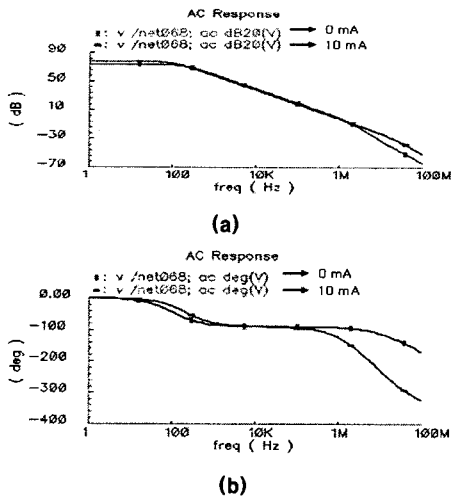
<그림 3> 설계된 bandgap reference 회로 및 온도 특성

설계한 reference 회로의 온도변화에 따른 기준 전압의 특성을 모의 실험한 결과 0~100 C의 온도범위에서 기준전압 변화는 최대 57uV로 설계된 회로는 온도 변화에 대해 매우 안정적인 특성을 보인다.

2.2 모의 실험 결과

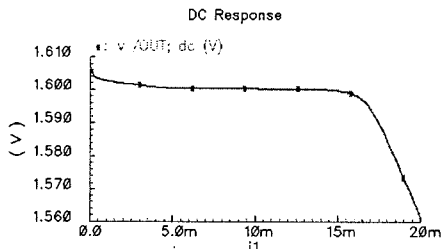
설계된 LDO 레귤레이터의 성능을 검증하기 위해 0.18um CMOS 공정변수를 사용하여 모의실험 하였다. 그림 4는 CL은 20pF이고, load current가 0mA와 10mA일 때 open loop 주파수 응답 특성이다. dc gain 특성은 각각 73dB와 77dB 이고 두 경우 모두 phase margin은 60 이상을 만족한다.

또한 PSRR(power-supply rejection ratio)은 load current가 0mA일 경우는 1kHz에서 45dB이고 10mA일 경우 1kHz에서 54dB이다.[6]



〈그림 4〉출력전류의 변화 따른(a)gain(b)phase

그림 5는 load current 변화에 따른 출력전압 특성이다. 설계된 회로는 약 15mA의 load 전류까지 안정된 출력전압을 공급함을 알 수 있다.

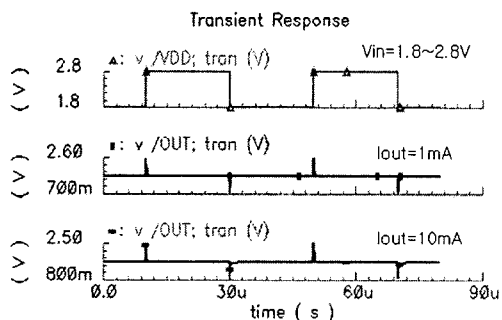


〈그림 5〉load current의 변화에 따른 LDO 레귤레이터의 출력전압

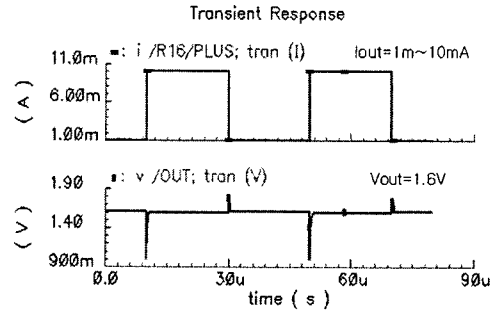
그림 6은 line transient response로서 입력전압 VDD를 1.8V에서 2.8V까지 변화를 주었을 때의 출력전압 특성이다. 출력 노드의 load current가 10mA 일 때의 line regulation은 2mV/V이다.

그림 7은 load transient response로서 출력전류를 1mA~10mA까지 변화를 주었을 때의 출력전압 특성이다. 설계된 회로의 load regulation은 2.5mV/mA이다.

설계된 회로의 성능을 기존 논문의 결과와 비교하여 표 1에 요약하였다. 표에서 다른 구조와 다른 조건의 LDO들의 성능을 비교하기 위한 FOM(Figure Of Merit)은 다음 식으로 주어진다.[2]



〈그림 6〉Line transient response



〈그림 7〉Load transient response

$$FOM = T_R \times \frac{I_q}{I_{omax}}, T_R = \frac{C_L \cdot \Delta V_{out}}{I_{omax}}$$

여기서 I_q 는 LDO 레귤레이터 자체의 quiescent current 값이고, I_{omax} 는 load current의 최대치, C_L 은 load capacitance를 나타낸다. ΔV_{out} 은 load transient시 output voltage의 최대 peak-to-peak 변화 값이다. 설계된 LDO는 FOM 값이 3.6ps로 기존의 LDO보다 좋은 FOM 특성을 보인다.

〈표 1〉성능 요약

	[1]	[2]	This work
Technology (μm)	0.09	0.35	0.18
V _{do} (V _{in} -V _{out}) (V)	0.3	0.2	0.2
I _{omax} (mA)	100	200	10
I _q (mA)	6	0.02	0.012
C _L (nF)	0.00060	1	0.000020
Line regulation (mV/V)	65@100mA	-	2@10mA
Load regulation (mV/mA)	90	-	2.5
FOM _{ps}	32	27	3.6

3. 결 론

본 논문에서는 0.18um CMOS 공정을 이용하여 LDO 레귤레이터를 설계 하였다. 설계한 LDO 레귤레이터는 off-chip 큰 부하 대신 on-chip의 작은 부하를 구동하기 위한 것으로 요구되는 부하 전류와 부하 capacitance가 작기 때문에 작은 면적으로 구현이 가능하였다. 설계된 회로는 1.8V의 입력 전압에서 출력전압은 1.6V로 약 200mV의 dropout 전압을 가지며, 자체적으로 소모하는 quiescent current는 약 12uA이다. Line regulation과 load regulation 특성은 각각 2mV/V@10mA와 2.5mV/mA이고, 3.6ps의 작은 FOM 특성을 갖는다. 설계된 LDO는 SoC에서 정교한 전원전압이 요구되는 회로들에 local하게 적용될 수 있다.

〈참 고 문 헌〉

- [1] P.Hazucha, T. Karnik, B. A. Blochel, C. Parsons, D. Finan, and S. B orkar, "Area-efficient linear regulator with ultra-fast load regulation," *IEEE J. Solid-State Circuit*, vol. 40, no. 4, pp. 933-940, Apr. 2005.
- [2] Al-Shyoukh, M. Perez, R. A. and Hoi Lee, "A Transient- Enhanced 20uA-Quiescent 200mA-Load Low-Dropout Regulator With Buffer Impedance Attenuation," *IEEE Custom Integrated Circuit*, vol. 10, page 613-618 Sept. 2006
- [3] Dongpo Chen, Lenian He and Xiaolang Yan. "A low dropout regulator with Unconditional Stability and Low Quiescent Current." *IEEE Communication, circuits and systems* vol. 4 page 25-28 June 2006.
- [4] Chung-Wei Lin, Yen-jen Liu. "A Power Efficient and Fast Transient Response Low Drop-Out Regulator in Standard CMOS Process." *IEEE Intel. symp. Circuit and sys.* page 1-4 Apr. 2006.
- [5] Honglai wang, "A CMOS Low-Dropout Regulator With New Compensation Method." *Solid-State and Integrated Circuit Technology, 2006 ICSICT '06. 8th International Conference* page 1508-1510. 2006.
- [6] Gupta, V. Rincon-Mora, G. A. Raha, P. "Analysis and design of monolithic, high PSR, linear regulators for SoC applications." *IEEE International* pp 311-315. Sept. 2004.
- [7] Xiaohua, Fan, Mishra, C. Sanchez-Sinencio, E. "Single Miller capacitor frequency compensation technique for low-power multistage amplifiers." *Solid-State Circuits, IEEE Journal of* vol. 40. pp. 584-592. Mar. 2005.
- [8] Ahmadi M. M. Jullien, G. "A full CMOS voltage regulating circuit for Bioimplantable Applications." *IEEE Circuits and Systems, Midwest symp.* vol. 2 pp. 998-991. Aug. 2005.