

## CMOS 구조를 이용한 DAC의 자체 테스트 기법에 관한 연구

조 성찬 , 김 인수 , 민 형복  
 성균관대학교 정보통신공학부

### Built-In Self-Test of DAC using CMOS Structure

Sungchan Cho , Insoo Kim , Hyoung Bok Min  
 Depart. of Information&Communication Engineering, Sungkyunkwan University

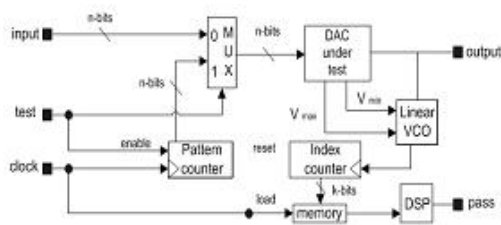
**Abstract** - Testing the analog/mixed-signal circuitry of a mixed-signal IC has become a difficult task. Offset error, gain error, Non-monotonic behavior, Differential Non-linearity(DNL) error, Integral Non-linearity(INL) error are important specifications used as test parameters for DAC. In this paper, we propose an efficient BIST structure for DAC testing. The proposed BIST adds the circuit which uses the capacitor and op-amp, and accomplishes a test.

#### 1. 서 론

System On Chip(SOC)에서 가장 많이 사용되는 Mixed-Signal 블록 중의 하나가 Digital-to-Analog Converter(DAC)이며, 아날로그 신호가 포함된 회로를 테스트하는 것은 매우 어려운 일이다. DAC를 측정하기 위해서는 몇 가지 파라미터들을 측정해야 한다. Offset Error, Gain Error, Monotonicity Error, Differential Non-Linearity Error(DNL), Integral Non-Linearity Error(INL) 등을 측정하여 DAC<sup>[9]</sup>의 성능을 판단하고 테스트하게 된다.<sup>[5][6][8]</sup> 이에 본 논문에서는 DAC의 출력인 아날로그 전압을 디지털 값으로 다시 변화시키지 않고, rail-to-rail Op-Amp<sup>[7]</sup>와 커패시터 등을 사용한 비교적 간단한 회로를 통해서 테스트할 수 있는 방법을 제안한다.

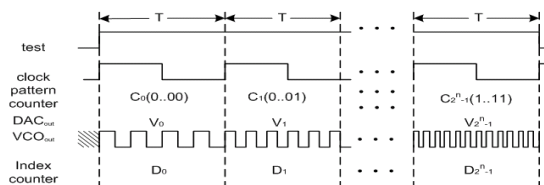
#### 2. 본 론

##### 2.1 기존의 DAC 기술



<그림 1> 기존의 DAC 테스트 구조

그림 1은 테스트 패턴에 의해 달라지는 DAC의 출력 전압을 Voltage Controlled Oscillator(VCO)를 사용하여 각각의 다른 주파수로 바꾸고 다시 그 주파수를 디지털 코드로 변환시켜 Digital Signal Processor(DSP)에서 테스트 패턴 생성 시에 미리 정의되어진 값과 비교하여 테스트 하는 방법이다.



<그림 2> 테스트시의 Timing Diagram

그림 2와 같은 Timing Diagram을 나타내게 되고 다음과 같이 파라미터들을 측정한다.

$$DNL_i = (D_i - D_{i-1}) / TR - 1$$

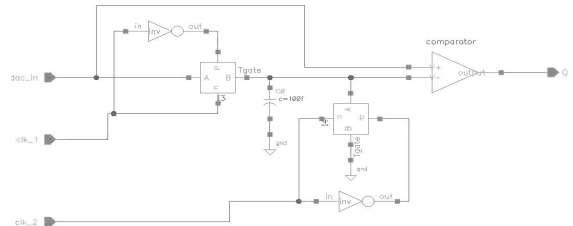
$$INL = \sum_{j=1}^i DNL_j$$

$$Offset\ Error = (D_0 - D_{min}) / TR$$

$$Gain\ Error = (D_{2^n-1} - D_{max}) / TR - Offset\ Error$$

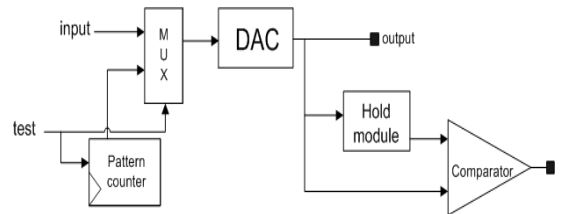
##### 2.2 제안하는 DAC 테스트 기술

기존의 테스트 방법에서는 아날로그 신호인 DAC의 출력을 다시 ADC를 이용하여 디지털 값으로 바꾸는 방법을 사용하기 때문에 ADC의 테스트 역시 필요하다는 문제점이 있다. 이에 간단한 회로의 추가로 DAC를 테스트 할 수 있는 구조를 제안한다.



<그림 3> 제안하는 BIST 회로

그림 3에서 제안된 구조는 DAC의 출력을 Transmission Gate와 Condenser로 구성된 Module에서 저장하여 저장된 전압 V-과 현재의 전압 V+를 비교하여 테스트 할 것이다. Up-count시에는 V+가 V-보다 크게 되므로 결과는 1이 나오고, Down-Count시에는 V-가 V+보다 작게 되므로 결과는 0이 나온다.

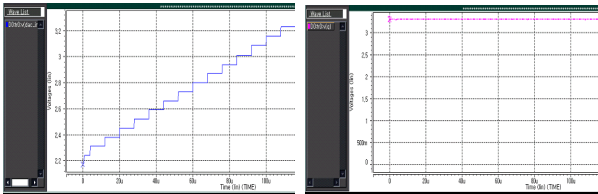


<그림 4> 제안하는 DAC의 블록 구조

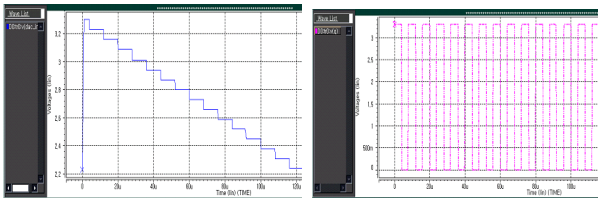
#### 3. 실험 결과

제안한 DAC 테스트를 위한 회로는 CADENCE Virtuoso<sup>®[10]</sup>에서 회로를 구성, Layout하였고 Netlist를 추출하여 SYNOPSIS HSPICE<sup>®[11]</sup>에서 시뮬레이션 결과를 확인하였다. 시뮬레이션시

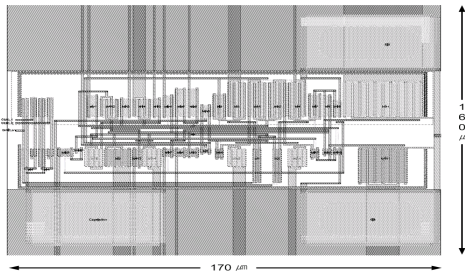
Parameter 파일은 Hynix 0.35um 1P4M 3.3V 을 사용하였으며, 2.24V에서 3.3V까지의 변화를 70mV 단위로 측정하였다. 시뮬레이션 결과, Up-count 테스트 시에는 계속 1(High)이 출력되었고, Down-count 테스트 시에는 계속 0(Low)이 출력되었다. Up-count 테스트 중 전압이 내려갈 부분에서 1(High)이 출력되다가 전압이 내려간 부분에서 0(Low)을 출력하였고, Down-count 테스트 중 전압이 올라갔을 경우에는 0이 출력되다가 전압이 올라간 부분에서 1(High)을 출력하는 모습을 볼 수 있다. 따라서 DAC의 입력 값이 증가하고 있다면, 출력 값도 점점 증가하고 있는 가를 알아볼 수 있는 Monotonicity Error의 측정이 가능하다. 제안한 DAC 테스트를 위한 회로를 칩으로 구현하기 위해 0.35um Hynix 1P4M CMOS 공정의 Design Rule 사용하여 Layout을 실시하였다.



<그림 5> UP-count 시의 입력과 출력



<그림 6> DOWN-count 시의 입력과 출력



<그림 7> 제안하는 회로의 LAYOUT

#### 4. 결 론

본 논문을 통하여 제안된 새로운 DAC BIST 구조는 아날로그 신호를 다시 디지털 신호로 바꾸어 테스트 하는 방법이 아니라 간단한 회로를 추가하여 아날로그 신호만으로 테스트를 할 수 있는 방법을 제안하였다. DAC 테스트시에 측정하는 여러 파라미터 중에 Monotonicity Error는 측정할 수 있었으나, DNL, INL 등은 부분적인 측정만 가능하였다. 테스트 시 전압의 차이를 보다 더 정확하게 나타낼 수 있도록 보완한다면, DAC를 테스트 하는데 있어서 많은 효과가 있을 것이다.

#### [참 고 문 헌]

[1] Sunil Rafeeqe K.P. and Vinita Vasudevan "A Built-In-Self-Test Scheme for Digital to Analog Converters, IEEE, Proceedings of the 17th International Conf. on VLSI Design(VLSID'04) 2004  
 [2] S.J. Chang, C.L. Lee and J.E. Chen "BIST Scheme For DAC testing", ELECTRONICS LETTERS 18th Vol 38 No.15 pp776-777, July 2002

[3] Jiun-Lang Huang, Chee-Kian Ong and Kwang-Ting Cheng" A BIST Scheme for On-Chip ADC and DAC Testing" , Design, Automation and Test in Europe Conf. Exhib., Munich, Germany, p216-220, 2000  
 [4] KAMINSKA. B , and RZESZUT, J " BIST for D/A and A/D converters" , IEEE Int. Test Conf. Washington DC, USA , pp40-49, 1996  
 [5] 이승훈, 김범섭, 송민규, 최중호 "CMOS 아날로그/혼성모드 집적시스템 설계", Σ시그마 프레스, 1999  
 [6] Yun-Che Wen and Kuen-Jong Lee "BIST structure for DAC testing", ELECTRONICS LETTERS 11th Vol.34 No.12 pp1173~1174, June 1998  
 [7] Yung-Chih Liang, Meng-Lieh Sheu, Wei Hung Hsu "A RAIL-TO-RAIL, CONSTANT GAIN CMOS OP-AMP" , Asia-Pacific Conference on Circuits and Systems, December 6-9, 2004  
 [8] Mark Burns, Gordon W.Roberts "An Introduction to Mixed-Signal IC Test and Measurement" Oxford University press, 2001  
 [9] Adel S. Sedra, Kenneth C. Smith. "Microeletronic Circuits" Oxford University Press, 2004  
 [10] Cadence Virtuoso® Analog Design Environment Version 5.1.41 Lecture Manual August 12, 2005  
 [11] SYNOPSISYS HSPICE® Workshop Student Guide, 2005