

시스템 내에 존재하는 다중 클럭을 제어하는 테스트 기법에 관한 연구

이 일장, 김 인수, 민 형복
 성균관대학교 정보통신공학부

Test Methodology for Multiple Clocks in Systems

Ilgang Lee, Insoo Kim, Hyoung Bok Min

Depart. of Information&Communication Engineering, Sungkyunkwan University

Abstract - To the Boundary Scan, this architecture in Scan testing of design under the control of boundary scan is used in boundary scan design to support the internal scan chain. The internal scan chain has single scan-in port and single scan-out port that multiple scan chain cannot be used. Internal scan design has multiple scan chains, those chains must be stitched to form a scan chain as this paper. We propose an efficient Boundary Scan test structure for multiple clock testing in design.

경계 주사 레지스터와 내부 스캔 체인은 스캔 체인으로 연결되어 있기 때문에 명령어 레지스터에서 내부 스캔 명령어가 지속될 수 있도록 스캔 테스트 하는 동안에 유지할 수 있게 된다.

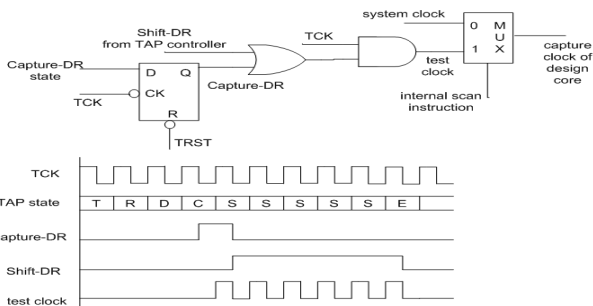
1. 서 론

바운더리 테스트 기법에서 스캔 테스트 기법이 광범위하게 적용되고 있다. 그러나 기존의 경계 주사 기법에서는 단일 시스템 클럭과 단일 스캔 체인만을 고려한 기법^{[4][5]}으로 그 한계성을 드러내고 있다. 본 논문에서는 기존의 단일 시스템 클럭 기법만을 지원하는 경계 주사 테스트 기법의 한계성을 벗어나 다중 시스템 클럭 환경하에서 경계 주사 테스트에 관해 효과적으로 시스템을 테스트하는 방법을 제안한다. 다중 클럭을 컨트롤 할 수 있는 회로를 사용하여 클럭 그룹을 제어함으로써 다중 클럭 구조에서 단일 캡처 스캔 설계를 할 수 있다.

2. 본 론

2.1 MUXed Scan 기술

Internal scan style은 두 가지의 구조를 지원하는데 multiplexed scan과 clocked scan 이다. 그림 1에서의 회로는 multiplexed scan style에서 사용되어진 회로이다. "test clock"은 디자인 코어의 capture clock port의 각각에 적용되어진 clock signal이다. 그리고 clock은 모든 Capture-DR과 Shift-DR state의 적용되어진다.

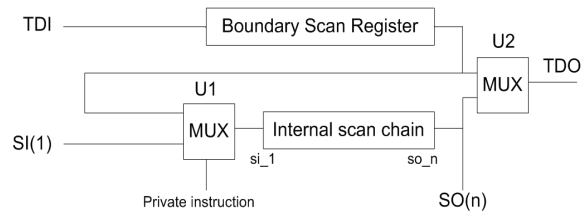


〈그림 1〉 MUXed Scan Structure

그림 1에서 timing diagram 에서 T = Test-Logic-Reset, R=Run/Test-Idle, D = Select-DR-Scan, C = Capture-DR, S = Shift-DR, E = Exit1-DR 이다.

2.2 시스템 내부의 스캔 체인 구조

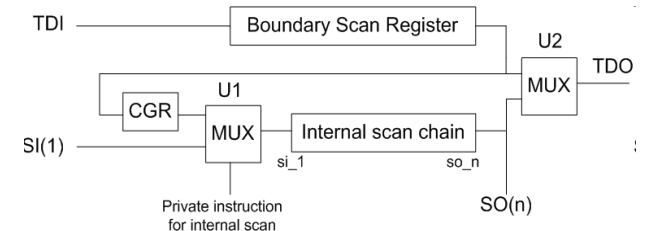
그림 2는 내부 스캔 체인이 "TDO"로부터 시작되는 구조이다.



〈그림 2〉 시스템 내부 스캔 체인

2.3 제안하는 방법

그림 2에서의 구조가 경계 주사 레지스터와 내부 스캔 체인은 스캔 체인으로 연결되어 있기 때문에 명령어 레지스터에서 내부 스캔 명령어가 지속될 수 있도록 스캔 테스트 하는 동안에 유지할 수 있는 구조로 다중의 클럭을 제어하기 위해 그림 3에서의 구조와 같이 multiplexer U1의 앞에 CGR (Clock Group Register)을 연결하여 클럭을 제어할 수 있도록 하였다.

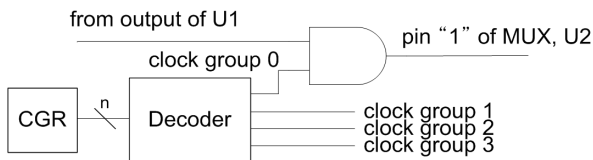


〈그림 3〉 제안하는 내부 스캔 체인 구조 및 운영

CGR은 스캔 테스트를 용이하게 하기 위하여 모든 클럭의 활성화가 동시에 일어나지 않도록 하는 기능을 수행하게 된다. 다중 클럭을 지원하는 회로에서 CGR이 없다면 클럭이 동시에 활성화되어서 다중 클럭에 대한 데이터를 캡처 할 수 없게 된다. 이를 방지하고자 CGR을 삽입하여 다중 클럭 그룹이 지원될 수 있도록 하여 스캔 테스트를 용이하게 할 수 있도록 클럭이 순차적으로 활성화되도록 하였다.

그림 4에서 CGR은 scan 경로에서 시프트 레지스터된다. 시프트 레지스터는 내부 스캔 디자인에서 다중 클럭 그룹이 있다면 내부 스캔에 삽입된다. 디자인에서 다중 클럭 그룹이 있다면 CGR은 사용하지 않는다. 이 레지스터는 clock group identification number(클럭 그룹ID)를 홀드하게 된다.

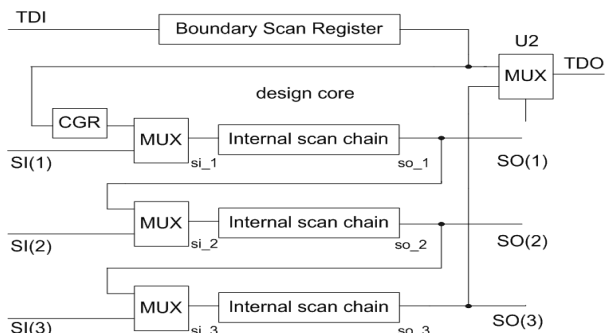
첫 번째 클럭 그룹(클럭 그룹ID는 0이다.)은 clock port "clk1"와 "clk2"는 클럭 그룹 0에 속하고 clock port "clk3"은 클럭 그룹 1에 속한다. 디자인에서 다중 클럭 그룹이 있다면 캡처 되는 데이터는 모든 클럭의 활성화가 동시에 일어나므로 역할을 수행할 수가 없다. CGR 클럭 그룹 ID number 를 포함하고 있다. 스캔 테스트의 캡처 모드에서 활성화 되어야한다.



〈그림 4〉 다중 캡처 그룹을 제어하는 기법

Signal "test_sclk"와 gated clock signal (그림 4에서 AND gate의 출력)은 그림 5의 회로 후에 생성된 클럭 signal은 OR gate에 연결된다.

본 논문에서는 다중 클럭과 다중 스캔 체인을 고려한 테스트기법을 제안하고 있으며 그 모습은 그림 5를 통해 보이고 있다. 디자인 코어에서의 Internal scan 디자인 내부 구조에서 내부 스캔 체인은 single scan-in port와 single scan-out을 가지기 때문에 다중 스캔 체인은 사용할 수 없다.

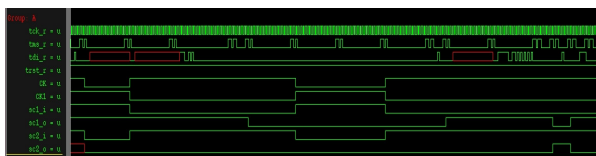


〈그림 5〉 제안하는 시스템 구조

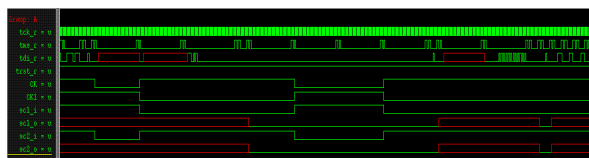
만일 내부 스캔 디자인이 다중 스캔 체인을 가지고 있다면, 내부 스캔은 경계 주사 레지스터, CGR, 내부 스캔 체인1, 내부 스캔 체인2, 그리고 내부 스캔 체인3의 순으로 TDI와 TDO사이에 형성해야 한다. 이로써 단일 scan-in 단자와 scan-out 단자만으로도 다중 스캔 체인을 지원할 수 있게 된다.

3. 실험 결과

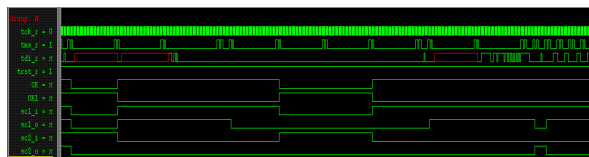
ISCAS89 회로에 다중 클럭의 구조를 구현하는 방식으로 적용하였다. SYNOPSISTM의 Design_Analyzer를 사용하여 합성된 회로를 MENTORTM사의 BSDArchitect를 사용하여 경계 주사 구조를 형성하여 실험하였다. CADENCETM사의 VerilogXL에서 시뮬레이션 후 결과를 확인하였다. 내부 스캔 체인은 입력 단자와 출력 단자를 가지기 때문에 다중 스캔 체인은 사용할 수 없다. 시스템 회로가 다중 클럭을 사용하는 경우 내부 스캔 체인 역시 다중 스캔 체인으로 구성되어 진다. 이를 위하여 다중 클럭을 제어할 수 있는 CGR을 사용한 제안된 구조로 회로를 설계하여 다중 클럭의 회로에서 클럭들이 동시에 활성화되지 않고 순차적으로 클럭이 생성하게 한다. CGR은 스캔 테스트를 용이하게 하기 위하여 모든 클럭의 활성화가 동시에 일어나지 않도록 하는 기능을 수행하고 클럭 그룹(CK, CK1)이 서로 순차적으로 생성되게 함으로서 TAP 제어기(Test Access Port Controller)의 출력 신호들은 각 상태에 따라 회로를 테스트함으로써 다중 클럭에 대한 데이터를 캡처 할 수 있게 해준다.



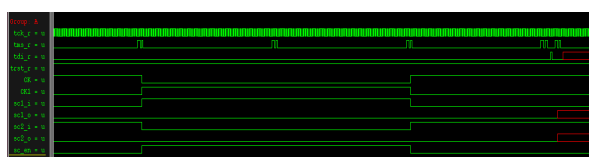
〈그림 6〉 다중 클럭으로 구성된 S386 회로



〈그림 7〉 다중 클럭으로 구성된 S510 회로



〈그림 8〉 다중 클럭으로 구성된 S1488 회로



〈그림 9〉 다중 클럭으로 구성된 S5378 회로

4. 결 론

본 논문에서는 제안하는 구조의 CGR을 이용하여 다중 클럭을 사용하는 회로에서 테스트하는 방법을 개선하였다. 단일 클럭을 테스트하는 구조에서는 경계 주사의 입·출력 단자가 오직 하나씩 밖에 존재 하지 않는다는 점에서 다중 클럭으로 구성된 회로에서 경계 주사 기법을 지원을 하지 못하였다. 회로내에 다중 클럭 그룹이 있다면 모든 클럭의 활성화가 동시에 일어나므로 역할을 수행할 수가 없었지만 CGR을 사용하여 클럭을 효율적으로 컨트롤함으로써 다중 클럭이 사용된 회로에서 테스트를 용이하게 할 수 있다.

[참 고 문 헌]

- [1] M. Abramovici, M. A. Breuer and D. Friedman, "Digital Systems Testing and Testable Design", Computer Science Press, 1990.
- [2] Alexander Miczo, "Digital Logic Testing and Simulation", John Wiley & Sons, 1986.
- [3] Eichelberger, E. B., T. W. Williams, "A Logic Design Structure for LSI Testability", Proc.14th Design Automation Conf., pp. 462-468, June 1977.
- [4] M. S. Abadir, M. A. Breuer, "A Knowledge Based System for Designing Testable VLSI Chips", IEEE Design & Test of Computers, Vol. 2, No. 4, pp. 56-68, August 1985.
- [5] Kenneth P. Parker, "The Boundary-scan Handbook", Kluwer Academic Publishers, 1998.