

Flicker Noise와 변환 이득 특성을 개선한 CMOS Mixer설계

임태서, 김형석
 중앙대학교 전자전기공학부

Design of CMOS Mixer improved Flicker Noise and Conversion Gain

Tae-Seo Lim, Hyeong-Seok Kim

School of Electrical and Electronics Engineering Chung-Ang University

Abstract - 본 논문에서는 TSMC 0.18um공정을 이용한 무선통신 수신기용 직접변환 방식의 Double Balanced Mixer를 설계 하였다. 제안된 mixer는 current bleeding기법과 내부에 인덕터를 추가하여 기존의 Gilbert Cell구조의 mixer에 비해 변환 이득과 Flicker Noise특성을 향상 시켰다. 모의실험결과 2.45GHz에서 11dB의 변환이득을 나타내었으며 Flicker Noise의 corner frequency는 510kHz이고 이때 잡음특성은 10.8dB이다. 이 회로의 동작전압은 1.8V이며 소모 전력은 8.8mW이다.

1. 서 론

최근 무선 통신 시스템은 수신된 주파수를 기저대역 신호로 바로 변환시켜주는 직접 변환 방식을 많이 이용한다. 직접 변환 방식은 크게 Zero-IF와 Low-IF로 나누어진다. Zero-IF방식은 RF신호 주파수를 DC로 바로 변환하는 방식으로서, Low-IF방식에 비해 DC-offset이나 저주파에서 크게 나타나는 Flicker Noise 같은 문제에 큰 영향을 받게 된다. 하지만 Low-IF 방식은 통상 사용되는 수십MHz ~200MHz 정도가 아닌 10MHz 이하의 낮은 IF사용함으로써, DC-offset이나 Flicker noise의 영향을 Zero-IF에 비해 덜 받는다. 또한 헤테로다인 방식에서 사용되는 채널 선택용 IF SAW필터와 추가 변환단의 역할을 저역 통과 필터 및 베이스밴드 증폭 단이 대신할 수 있다. 이는 제품의 단가를 낮추는 동시에 집적도 향상을 가져올 수 있으므로 현재 Low-IF 방식이 많이 선호되고 있다. 본 논문에서는 Flicker Noise특성을 개선하기 위해 current bleeding 방식과 공진용 인덕터를 이용하고, 다양한 무선 통신 시스템에 적용될 수 있도록 전력소모 특성을 고려한 Direct Conversion용 Double Balanced CMOS Mixer를 설계한 후, 기존의 Gilbert Cell Mixer와 비교하여 설계의 타당성을 입증하고자 한다.

2. 본 론

2.1 Flicker Noise (1/f noise)

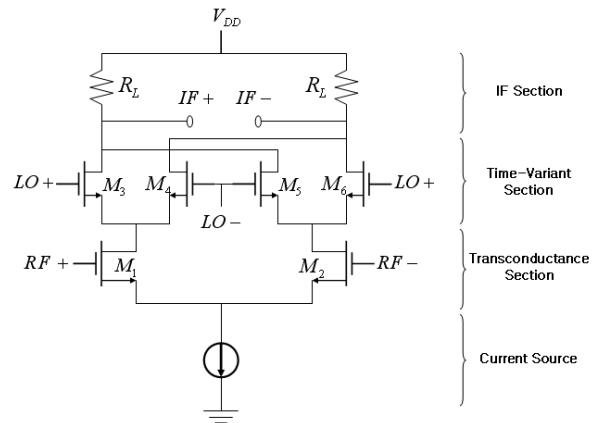
고유잡음은 저항성분이 아닌 디바이스 자체의 전자들의 에너지 레벨 변화에 의한 전하의 이동이나 변화에 따라 발생하는 잡음이다. MOS의 경우 고유잡음에는 shot noise 와 flicker noise 가 있다. shot noise 는 에너지 장벽을 통과하는 전하의 흐름에 따라 가우시안 분포를 가지고 발생하는 noise 이고 flicker noise는 디바이스 표면(SiO₂)에 전하가 갇히고 풀려나는 과정에서 생기는 잡음이다. 이때 Flicker Noise는 주파수에 반비례하기 때문에 1/f noise로 지칭된다. 1/f noise는 저주파에서 noise가 크게 나타나는 특성으로 인해 직접 변환 방식에서 더 큰 문제가 되며, 시스템의 SNR 및 Noise Figure를 저하시키고 이는 수신단의 민감도 저하로 이어지게 된다.

Mixer에서 Low Frequency Noise를 발생시키는 원인으로서는 load에서 생성되는 noise, RF단의 입력에서 발생하는 noise, switching 단에서 발생하는 noise 그리고 mixer의 bias current에 의한 영향 등이 있다. 하지만 polysilicon 저항은 flicker noise의 발생요인이 아니므로[1] polysilicon 저항을 load저항으로 사용할 경우 Mixer의 Flicker noise특성과 관계가 없다. 그리고 RF단에서 발생하는 noise는 ω_0 와 ω_0 의 홀수 고조파 성분으로 변환되기 때문에 기저대역에 영향을 주지 않는다. 그러므로 Flicker Noise의 주된 요인은 LO입력단인 mixer의 switching단과 mixer의 bias current라고 할 수 있다.

LO입력 단에서 생성되는 Flicker Noise를 줄이기 위해서는 LO swing 폭이 크고, 트랜지스터의 width가 넓어져야한다.[2] 하지만 트랜지스터의 크기가 커지면서 기생 커패시턴스의 효과도 같이 커지고 이는 1/f noise의 증가로 이어지므로[3] 트랜지스터의 기생 커패시턴스 (C_p)를 상쇄시킬 수 있는 방법이 요구된다. 또한 noise 전류는 bias 전류에 비례하고 mixer의 flicker noise는 switching단의 영향을 많이 받으므로 switching 단의 bias current를 줄여야할 필요가 있다.

2.2 Design

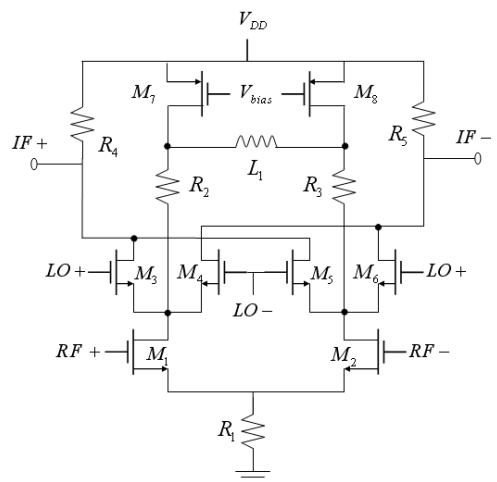
그림 1은 double balanced Gilbert cell 구조 mixer를 나타내고 있다. Gilbert cell구조는 RF Input transconductance단과 LO switch단 그리고 output load로 구성되어 있다. 회로의 동작은 transconductance단에 의해 입력된 RF전압이 전류로 바뀌고 LO신호는 변환된 전류 신호와 멀티플라잉 되어 IF단으로 신호가 나오는 원리이다. LO신호는 M3,M6과 M4,M5를 교대로 스위칭 시키고, 이때 완전한 스위칭 동작을 위해서는 LO신호의 크기는 충분히 커야한다. 제안된 mixer와의 비교를 위해 제안된 구조와 동일한 1.8V의 동작전압과 2.45GHz의 동작 주파수를 갖도록 설계하였다.



<그림 1> Conventional Gilbert Cell Mixer

2.2.1 제안된 구조

그림 2는 본 논문에서 제안된 Current Bleeding기법이 적용된 그림을 나타내고 있다.

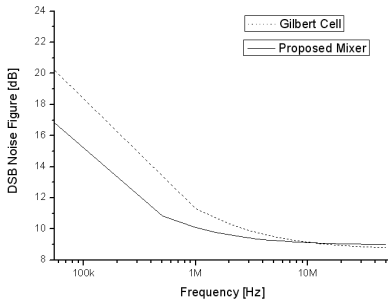


<그림 2> The proposed Down Conversion Mixer

M7과 M8은 g_m 트랜지스터인 M1과 M2의 high RF gain을 얻기 위해 필요한 high bias를 유지하는 동시에 M3~M6의 DC Biasing current를 감소시켜 mixer의 1/f noise를 감소시키는 역할을 한다. 그리고 스위칭 타이밍을 최소한으로 줄임으로서 Flicker Noise를 줄이기 위해 M3~M6의 게이트 바이어스는 threshold전압 근처에서 바이어싱 되었다. R2는 M7과 M8의 전류를 조절하기 위한 저항이며, 스위칭 단의 전류를 최소화하여 M1의 bias current와 거의 같도록 설계하였다. R1은 회로의 선형성을 위한 저항이다. M3~M6이 커짐으로 인해 회로에서 영향이 커진 기생 커패시터의 영향을 줄이기 위해 L1을 연결하였다.

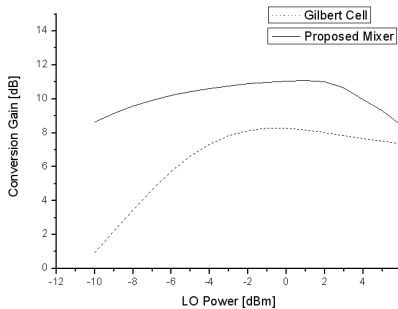
2.2.2 시뮬레이션 결과

회로의 시뮬레이션은 Cadence Spectre를 이용하였으며 공정은 TSMC 0.18um공정을 적용하였다. 그림 3에서 기존의 Gilbert Cell구조와 제안된 구조의 flicker noise특성을 log scale로 나타내었다. 기존 구조의 mixer에서는 flicker noise corner frequency가 1MHz이며 이때 Noise Figure는 11.3dB인데 비해 제안된 구조는 corner frequency가 510kHz이며 이때 Noise Figure는 10.3dB으로 기존 구조에 비해 만족할만한 성능을 보였다.



<그림 3> 1/f Noise Improvement by Proposed Techniques

그림 4는 LO power에 따른 Mixer의 이득을 비교한 그래프이다. 기존 구조에 비해 제안된 Mixer가 LO Power에 따른 고른 이득 특성을 보이고 있으며 더 높은 이득을 갖는 것을 확인할 수 있다.



<그림 4> Simulated conversion gain variation with LO power

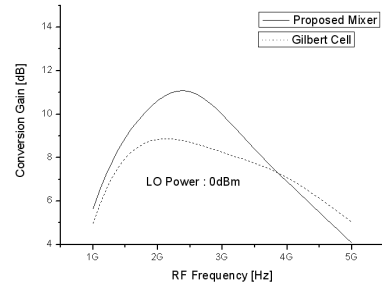
그림 5는 LO입력이 0dBm이고 RF 입력이 -40dBm일때 RF주파수의 변화에 따른 변환 이득을 나타낸 그래프이다. RF입력 주파수가 1~4GHz의 범위 내에서 제안된 구조가 더 높은 변환이득을 가지고 동작하는 것을 확인할 수 있다.

<표 1>은 Gilbert Cell구조와 제안된 구조의 모의실험 결과를 정리하였다. 두 구조를 비교한 결과 Flicker Noise에 큰 영향을 미치는 IDC의 경우 제안된 구조가 기존 구조에 비해 약 1/2을 나타내었고 이는 Flicker Noise가 개선되는 결과를 가져왔다. 또한 Current Bleeding 기법을 사용하여 IDC가 낮아졌음에도 불구하고 IDC에 비례하는 RF gain이 더욱 좋아지는 결과를 보였다. 소비전력은 설계목표인 10mW이하인 8.8mW를 나타내었다.

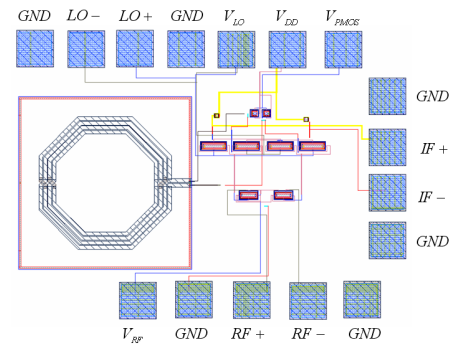
그림 6은 제안된 Mixer의 TSMC 0.18um공정을 이용한 layout을 나타내고 있다. layout은 Cadence Virtuoso Layout Editor를 사용하였으며 칩의 크기는 0.95mm × 0.70mm이다.

3. 결 론

본 논문에서는 기존 Gilbert cell구조의 mixer에 current bleeding 기법과 내부 인덕터를 적용한 mixer를 제안 하였다. 제안된 mixer는 TSMC 0.18um공정을 적용하여 Cadence를 이용해 설계하였으며, layout은 Virtuoso Layout Editor를 사용하여 수행하였다. 모의실험 결과 기존의 Gilbert cell구조에 비해 제안된 mixer는 1/f noise 및 변환 이득이 향상된 결과를 얻었다. 소비전력 역시 10mW이하의 안정된 결과를 보였으므로 향후 직접변환 방식의 수신기에 활용될 경우 낮은 잡음 특성과 높은 변환 이득 그리고 안정된 소비전력 특성으로 인해 수신 단 전체의 성능 향상에 기여할 수 있을 것으로 사료된다.



<그림 5> Simulated conversion gain variation with RF frequency



<그림 6> Layout of the proposed Mixer

<표 1> 결과 비교

구조	IDC(mA)	Conv. Gain	Flicker Noise corner Freq.	Power Consumption
Gilbert Cell	522	8.3dB	1M (11.3dB)	7.7mW
Proposed Mixer	209	11dB	510kHz (10.8dB)	8.8mW

[감사의 글]

본연구보고서는 정보통신부의출연금등으로수행한정보통신연구개발사업의연구결과입니다.

[참고 문헌]

- [1] H. Darabi and A. A. Abidi, "Noise in RF-CMOS mixers : A simple physical model", IEEE J. Solid-State Circuits, vol.35, no. 1, pp.15-25, Jan. 2000.
- [2] Zhaofeng Zhang and Jack Lau, "Experimental Study on MOSFET's Flicker Noise under Switching Conditions and Modelling in RF Applications", IEEE Custom Integrated Circuits Conference, pp.393-396, 2001
- [3] F. N. Hooge, T. G. M. Kleinpenning, and L. K. J. Vandamme, "Experimental studies on 1/f noise", Rep. Progr. Phys., vol. 34, no. 6 ,pp.497-532, 1981