

원자층 증착법으로 형성된 Al₂O₃ 층을 이용한 MOS 구조에서 폴리 실리콘 층의 전기적 특성에 관한 연구

박병준, 조경아, 김상식
고려대학교 전기전자전파공학부

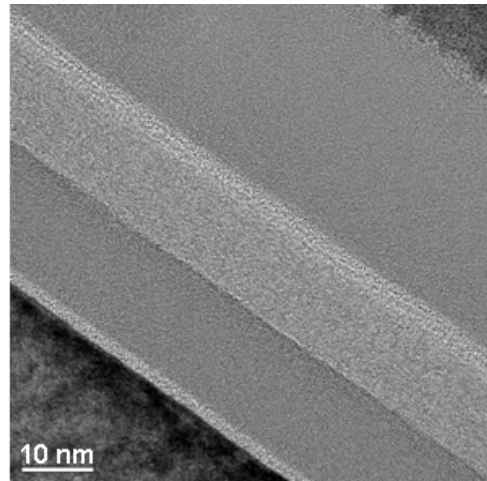
Electrical Properties of poly Si layers embedded in metal-oxide-semiconductor structure by using atomic-layer-deposited alumina layers as blocking oxide

Byoungjun Park, Kyoungah Cho, Sangsig Kim

Department of Electrical Engineering and Institute for Nano Science, Korea University, Seoul 136-701 Korea

Abstract - 폴리 실리콘 층의 유무에 따른 금속-옥사이드-반도체 (MOS) 구조의 소자를 제작하였다. 터널링 산화막과 블로킹 산화막으로 Al₂O₃ 층을 증착하였으며, 원자층 증착법을 이용하여 제작하였다. 터널링 산화막 층의 두께에 따른 I-V와 C-V 특성을 측정하였다. 전자들이 폴리 실리콘 층에 저장됨에 따라 N-형의 I-V 특성이 관찰되었다. C-V 측정 시에는 반시계 방향의 히스테리시스 특성을 나타내었으며, 전압이 증가할수록 플랫-밴드 전압 이동 폭이 더욱 증가하였다. 이러한 전기적 특성은 전압의 이동에 따른 전자들이 터널링 산화막 층을 통하여 폴리 실리콘 내부에 저장되기 때문이다. 이들 특성들은 폴리 실리콘의 전하 저장 가능성을 보여주는 것이며, 터널링 산화막 층의 두께에 따른 전기적 특성 변화도 관찰하였다.

전류가 증가하는 것을 볼 수 있다.



<그림 1> 제작한 소자의 단면 HRTEM 이미지

1. 서 론

핸드폰과 디지털 카메라와 같은 휴대용 전자 제품의 수요가 증가함에 따라 비휘발성 메모리에 대한 집적도 요구도 증가하였다. 이러한 비휘발성 메모리는 현재 플로팅 게이트를 전하 저장 장치로 하는 구조의 반도체 메모리를 제작하고 있다. 이러한 플로팅 게이트 메모리 기반의 플래쉬 메모리는 SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 구조로 제작하고 있으나 이러한 구조의 메모리는 몇 가지 어려움을 나타내고 있다. 터널링 산화막 두께에 따른 전하 저장 능력과 높은 구동전압, 읽기/쓰기 속도 등이 그 예이다[1-3].

이러한 문제점으로 인해 다양한 연구가 진행되고 있다. 터널링 산화막 두께를 줄이기 위하여 플로팅 게이트 층을 금속 혹은 반도체 나노입자로 제작하거나, 혹은 터널링 산화막을 다른 물질 (Al₂O₃, HfO₂, LaAlO₂, etc)로 하여 그 두께를 줄이려는 노력을 하고 있다[4-6]. 본 연구는 터널링 산화막 물질을 Al₂O₃로 하며, 그 두께를 줄이기 위하여 원자층증착법 (Atomic Layer Deposition, ALD)을 이용하여 터널링 산화막과 컨트롤 산화막을 증착하였다. 메모리 특성을 측정하기 위하여 전류-전압 (I-V) 특성과 캐패시턴스-전압 (C-V) 특성을 측정하였다.

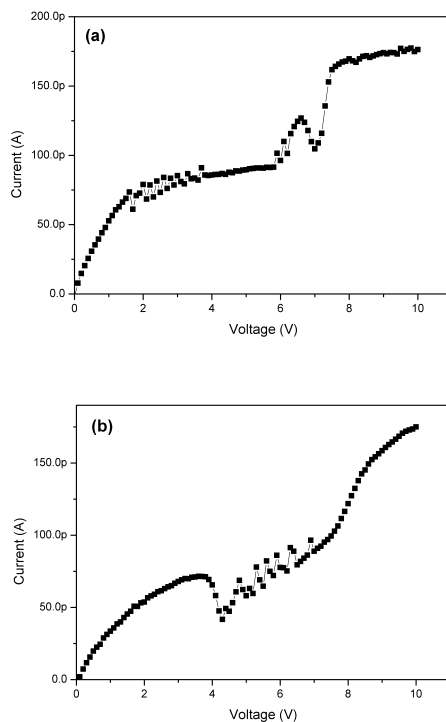
2. 본 론

2.1 실험과정

기판으로는 p-type Si 기판을 이용하였다. 자연 산화막을 제거하기 위하여 HF 용액을 사용하였다. 산화막 층을 제거한 후, 원자층 증착 장비를 이용하여 Al₂O₃를 여러 두께 (7, 15, 21 nm)로 터널링 산화막을 증착하였다. 산화막 증착 후, 기상합성법 (LPCVD, Low-Pressure Chemical Vapour Deposition)을 통한 폴리 실리콘을 30 nm 증착하였다. 그 후 컨트롤 산화막을 역시 원자층 증착법을 통하여 25 nm 증착하였다. Al₂O₃ 층의 전구체로는 TMA(Trimethyle-aluminum)과 H₂O를 사용하였으며 증착온도는 250 °C로 하였다. 전극은 Ti/Au로 하였으며 그 크기는 1.86×10⁻³ cm²로 하였다. 그 후, 층간의 구조를 분석하기 위하여 고해상도 전자투과 현미경 (HRTEM, High-Resolution Transmission Electron Microscopy) 이미지를 얻었으며, LCR 미터 (HP 4285A)와 반도체 파라미터 분석기 (Agilent 4155C)를 이용하여 캐패시턴스-전압 (C-V, capacitance-voltage) 특성과 전류-전압(I-V) 특성을 측정하였다.

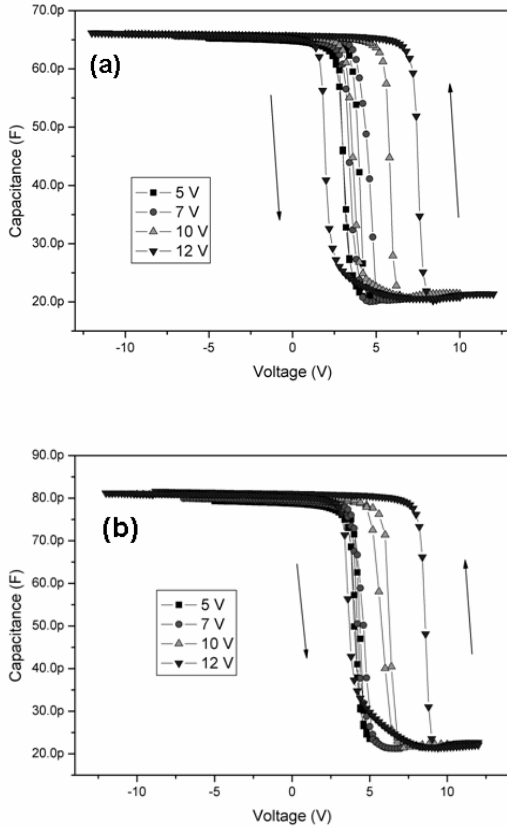
2.2 결과 및 토론

그림 1은 제작한 소자의 단면 HRTEM 이미지이다. 그림에서 보면 알 수 있듯이 Metal-Al₂O₃-Si-Al₂O₃-Si (MOSOS) 구조를 갖는 것을 알 수 있다. 그림1의 터널링 산화막 두께는 약 15 nm 이며 폴리 실리콘은 약 12 nm임을 알 수 있다. 이러한 구조의 소자를 이용하여 I-V 특성을 측정하였다. 전압을 0 V에서 점차 증가시켜서 10 V까지 측정하였다. 전압이 증가할수록 점차 전류가 증가하는 형태를 나타내다가 터널링 산화막이 7 nm인 경우, 4 V에서 갑자기 감소하다가 다시 전압이 증가할수록



<그림 2> 터널링 산화막의 두께가 7 nm, 15 nm인 소자의 I-V 특성 그래프

이러한 경향은 터널링 산화막의 두께가 15 nm인 경우에도 나타나고 있다. 이러한 스파이크 형태의 피크가 나타나는 이유는 전압이 증가할수록 전자들이 폴리 실리콘 층에 저장되고 있다가, 일정한 양을 초과할 시 저장되어있던 전자들이 실리콘 기판으로부터 추가되는 전자를 막기 때문이다. 이로인하여 전압이 증가함에도 전류가 급격히 감소하게 되는 것이다. 그 후 전압이 더 증가하면 F-N (Fowler-Nordheim) 터널링에 의해 전자들이 컨트롤 게이트 쪽으로 이동해서 전류가 흐르게 되는 것이다[7].



〈그림 3〉 터널링 산화막의 두께가 7 nm, 15 nm인 소자의 C-V 특성 그래프

그림 3은 앞에서 I-V 특성을 측정하였던 샘플을 이용하여 C-V 특성을 측정한 데이터이다. 전압 측정은 accumulation 영역 전압에서 시작하여서 depletion 영역의 전압까지 측정하였다가 다시 accumulation 영역으로 오는 방식으로 측정하였다. 그림 3의 (a)는 터널링 산화막의 두께가 7 nm인 샘플의 C-V 데이터이다. ± 5 V만큼 전압을 스위프 (sweep) 했을 시에는 큰 폭의 플랫폼 전압 이동을 나타내지는 않았다. 점차 전압을 증가할수록 그 폭이 증가하는 것을 확인할 수 있다. 그림 3의 (b)는 터널링 산화막의 두께가 (a)보다 두껍기 때문에 같은 ± 10 V의 전압을 인가하였다 하여도 폭이 크게 나타나지는 않았다. 그러나 두 데이터에서 보면 알 수 있듯이 ± 12 V로 전압을 인가하였을 시에는 거의 같은 크기의 플랫폼 전압 이동을 확인할 수 있다. 두 샘플 모두 ± 12 V 인가 시에는 약 5 V로 나타났다. 그리고 스위프 전압이 증가하여도 음전압 방향으로 폭이 증가하는 것이 아니라 양전압 방향으로 이동하는 것을 볼 수 있다. 이는 두 샘플 모두 폴리 실리콘에 저장되는 것은 주로 전자임을 알 수 있으며 이는 앞의 그림 2의 데이터와 일치하는 것이다.

두 샘플 모두 반시계 방향의 히스테리시스를 나타내는 것을 확인할 수 있다. 이는 폴리 실리콘 플로팅 게이트에 저장되는 전하는 컨트롤 게이트에서 오는 것이 아니라 실리콘 기판에서 터널링을 통하여 주입되기 때문이다[8].

3. 결 론

폴리 실리콘을 플로팅 게이트 층으로 이용하여 MOS 구조의 샘플을 제작하였다. 터널링 산화막과 컨트롤 산화막은 원자층 증착법을 이용하여 Al_2O_3 하였다. 전기적 특성을 평가하기 위하여 I-V 특성과 C-V 특성을 측정하였다. I-V 특성 측정 결과, 스파이크 형태의 전류 특성이

나타났다. 이는 터널링 산화막을 통과하여 폴리 실리콘에 저장되어 있던 전하간의 반발에 의하여 전류가 급격히 감소하는 것이다. 두 샘플 모두, C-V 측정 결과 메모리 특성을 보였다. 전압이 증가할수록 플랫폼 전압이 이동하였으며, ± 12 V로 측정할 시에 약 5 V로 나타났다. 반시계 방향의 히스테리시스 특성을 보여주었으며, 이는 폴리 실리콘 플로팅 게이트 층에 저장되는 전하는 실리콘 기판에서 터널링 산화막 층을 통과하여 주입되기 때문이다.

감사의 글

본 연구는 2006년도 과학기술부 국가지정연구실 업 (M10500000045-06J000004510), 한국 학술 진흥재단 중점연구과제 (KRF-2006-J03601), 산업자원부 노기반 업 (10022916-2006-22), 비취발성 차세대 모리소자기술개발 업 (10022965-2006-13)에 의하여 수행 되었습니다.

[참 고 문 헌]

[1] H. I. Hanafi, S. Tiwari, I. Khan, "Fast and long retention-time nano-crystal memory", IEEE Trans. Electron Devices, Vol. 43, pp. 1553, 1996.
 [2] Z. Liu, C. Lee, V. Narayanan, G. Pei, and E. C. Kan, "Metal nanocrystal memories-part I: devices design and fabrication" IEEE Trans. Electron Devices, Vol 49, pp. 1606, 2002.
 [3] Z. Liu, C. Lee, V. Narayanan, G. Pei, and E. C. Kan, "Metal nanocrystal memories-part II: electrical characteristics" IEEE Trans. Electron Devices, Vol 49, pp. 1614, 2002.
 [4] J. J. Lee, X. Wang, W. Bai, N. Lu, and D.-L. Kwong, "Theoretical and experimental investigation of Si nanocrystal memory device with HfO/sub 2/ high-k tunneling dielectric" IEEE Trans. Electron Devices, Vol. 50, pp. 2067, 2003.
 [5] P. F. Lee, X. B. Ku, J. Y. Dai, H. L. Chan, E. Jelenkovic, and K. Y. Tong, "Memory effect and retention property of Ge nanocrystal embedded Hf-aluminate high-k gate dielectric" Nanotechnology, Vol. 17, pp. 1202, 2006.
 [6] Y. Q. Wang, J. H. Chen, W. J. Yoo, Y. C. Yeo, S. J. Kim, R. Gupta, Z. L. Tan, "Formation of Ge nanocrystals in HfAlO high-k dielectric and application in memory device", Appl. Phys. Lett., Vol. 84, pp. 5407, 2004