

## 게이트 절연막에 따른 펜타신 박막 트랜지스터의 전기적 특성 분석

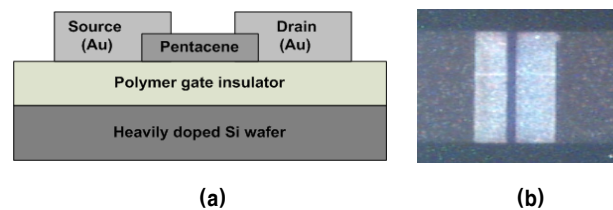
김재경, 허현정, 김재완\*, 최영진, 강치중, 김용상  
 명지대학교 나노공학과, 명지대학교 물리학과\*

### Pentacene Thin-Film Transistor with Different Polymer Gate Insulators

Jae-Kyoung Kim, Hyun-jung Her, Jaewan Kim\*, Y. J. Choi, C. J. Kang, Yong-Sang Kim  
 Dept. of Nano Science & Engineering, Myongji University  
 Dept. of Physics, Myongji University\*

**Abstract** - 다양한 게이트 절연막의 펜타신 박막 트랜지스터의 전기적 특성을 atomic force microscope (AFM), X-선 회절을 사용하여 분석하였다. 펜타신 박막 트랜지스터는 thermal evaporator 방법을 사용하여 여러 폴리머 기판위에 제작하였다. Hexamethylsilasane (HMDS), polyvinyl acetate (PVA), polymethyl methacrylate (PMMA) 등의 폴리머 기판을 사용하여 다양한 온도에서 증착시켰다. 이 때 PMMA 위에 증착시킨 펜타신의 경우가 가장 큰 그래인 크기를 보였다, 가장 적은 트랩 농도를 보였다. 그리고 상부 전극 구조를 가진 박막 트랜지스터를 HMDS 처리를 한 SiO<sub>2</sub>와 PMMA 절연막을 사용하여 제작하고 비교하였다. 이때 PMMA 기판 위에 제작한 트랜지스터는 전계효과 이동도가  $\mu_{FET}=0.03\text{cm}^2/\text{Vs}$  이고, 문턱이전 기울기 0.55V/dec, 문턱전압  $V_{th}=-6\text{V}$ , on/off 전류비  $>10^5$ 의 전기적 특성을 보였고, SiO<sub>2</sub> 기판위에 제작한 트랜지스터는 전계효과 이동도  $\mu_{FET}=0.004\text{cm}^2/\text{Vs}$ , 문턱이전 기울기 0.518 V/dec, 문턱전압  $V_{th}=5\text{V}$ , on/off 전류비  $>10^4$ 의 전기적 특성을 보였다.

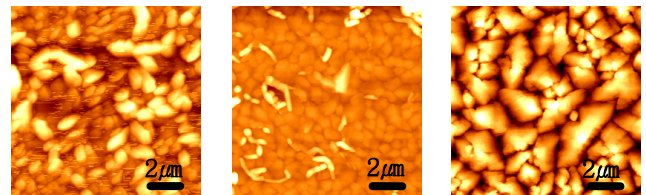
의 전기적 특성을 분석하기 위해서 Keithley 236을 사용하였다. 모든 증착과정은 10<sup>-7</sup> torr 이하의 진공상태에서 증착되었고, 모든 측정은 상온에서 진행되었다.



〈그림 1〉 펜타신 박막 트랜지스터의 구조(a) 및 패터닝 된 펜타신 이미지(b)

### 1. 서 론

유기 박막 트랜지스터(Organic thin Film Transistor)는 비교적싼 가격, 낮은 온도의 공정과정, 물리적으로 구부러지거나 접을 수 있는 등의 장점 때문에 수십 년간에 걸쳐 활발한 연구가 진행되었다. 이러한 이유로 smart card, RFID tag나 flexible display에 많이 사용되고 있다 [1, 2]. 유기 박막 트랜지스터에 여러 가지 유기물 활성층이 사용되고 있지만 펜타신을 이용한 유기 박막 트랜지스터가 가장 훌륭한 전기적 특성을 가지고 있다 [3]. 따라서 본 논문은 기존의 여러 무기물 활성층 대신 펜타신을 이용한 유기물 활성층을 사용하여 유기 박막 트랜지스터를 제작하였다. 펜타신 박막 트랜지스터의 전기적 특성은 펜타신의 성장조건 뿐만 아니라 펜타신을 성장시키는 게이트 절연막에 의해서 형성되는 펜타신의 그래인 크기에 큰 영향을 받는다. 따라서 본 연구에서는 Hexamethylsilasane (HMDS), polyvinyl acetate (PVA), polymethyl methacrylate (PMMA) 등 다양한 게이트 절연막을 사용하여 폴리머 기판과 증착온도에 따른 그래인 크기와 박막 표면 특성을 atomic force microscope(AFM)와 X-선 회절을 사용하여 분석하였다. 또한 inverted-staggerd 구조의 펜타신 박막 트랜지스터를 SiO<sub>2</sub> 기판과 PMMA 기판위에 제작하고, I-V 측정을 통하여 폴리머 게이트 절연막에 따른 전기적 특성을 분석하였다.

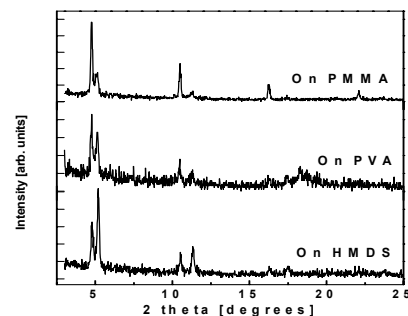


〈그림 2〉 게이트 절연막에 따른 펜타신의 AFM 이미지

(a)HMDS, (b)PVA, (c)PMMA (10 μm × 10 μm)

### 2. 실험 방법

다양한 폴리머 기판들 중에서 가장 좋은 펜타신 특성을 갖는 폴리머 기판을 찾기 위해 HMDS, PVA와 PMMA 기판위에 여러 온도에서 펜타신을 증착시켰다. HMDS, PVA와 PMMA는 스펀 코터를 사용하여 증착시켰다. I-V 분석을 위해서 Inverted-staggered 구조의 박막 트랜지스터를 제작하였다 <그림 1(a)>. 다량의 도핑이 된 실리콘 웨이퍼는 기판뿐만 아니라, 게이트 전극으로도 사용되었다. SiO<sub>2</sub>막은 thermal oxidation 방법으로 330nm 증착되었다. 그리고 펜타신과 게이트 절연막사이 경계면 특성을 좋게 하기 위해 SiO<sub>2</sub>막 위에 HMDS를 스펀 코팅 방법을 이용해 증착시켰다. PMMA(950K)는 스펀 코터를 사용하여 300nm 증착시킨 후, 오븐을 사용하여 120 °C에서 15분 동안 hard baking을 실시하였다. 활성층으로 사용된 펜타신은 thermal evaporator를 사용하여 0.1 Å/s의 증착속도로 약 100nm 정도 증착시켰고, shadow mask를 사용하여 패터닝 하였다 <그림 1(b)>. 소스 드레인 전극은 thermal evaporator를 이용하여 Cr 6nm, Au 60nm 증착시켰고, shadow mask를 사용하여 패터닝하였다. 펜타신 박막 트랜지스터는 채널 길이 (L) : 200μm, 채널 폭 (W) : 1000 μm 되도록 제작하였다. 증착된 펜타신의 표면 특성과 이미지는 AFM과 XRD를 사용하여 분석하였고, 펜타신 박막 트랜지스터



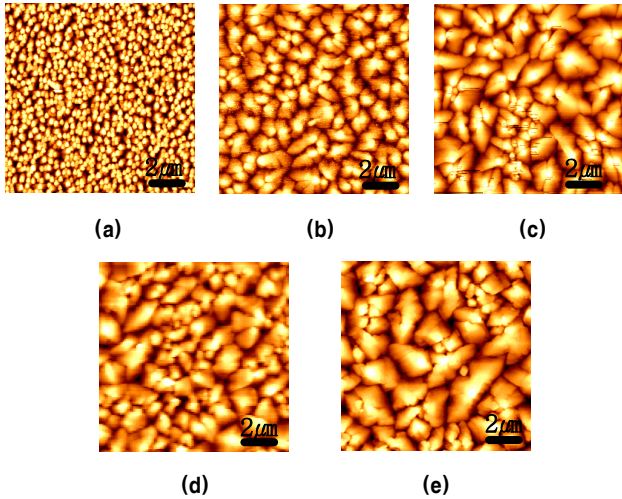
〈그림 3〉 게이트 절연막에 따른 펜타신의 XRD 패턴

### 3. 결과 및 고찰

그림 2와 그림 3은 게이트 절연막에 따른 펜타신의 AFM 이미지와 XRD 패턴을 나타낸다. PMMA 기판위에서 성장한 펜타신이 가장 큰 그래인 격자를 가짐을 알 수 있다. 펜타신이 성장할 때 그래인의 경계 캐리어 이동도에 중요한 영향을 미친다. 또한 펜타신이 어떠한 방향으로 성장하느냐 또한 캐리어 이동도를 결정하는데 매우 중요한 요소이다. PMMA의 경우 가장 큰 그래인 크기를 나타낼 뿐 아니라, XRD 패턴에

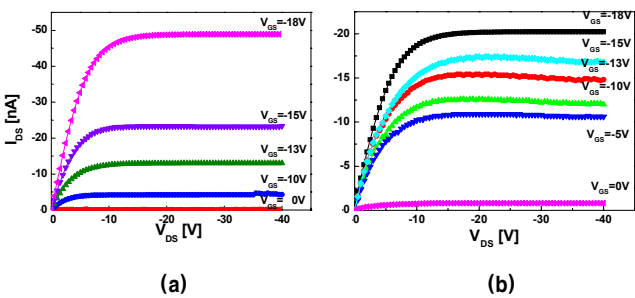
서도 가장 수직적으로 성장되므로 결정화가 커지고 캐리어 이동도 또한 가장 크게 나타남을 알 수 있다 [4].

그림 4는 PMMA기판 위에 증착시킨 펜타신의 증착온도에 따른 AFM 이미지이다. 증착 온도를 높여 줌에 따라 펜타신간의 분자 결합력이 커지게 된다. 그러므로 증착온도가 높아짐에 따라 그래인의 크기는 커지게 된다 [5]. 하지만 기판의 온도가 너무 높게 되면 펜타신의 그래인 크기와 구조는 나빠지게 되고, 이 때문에 펜타신이 재 증발되는 현상이 나타나게 된다. HMDS와 PVA기판에서도 기판의 온도가 100℃ 일 때 그래인의 크기가 가장 크게 성장함을 볼 수 있다. 또한 PMMA와 SiO<sub>2</sub>를 게이트 절연막으로 사용하여 펜타신 유기 박막 트랜지스터를 제작하였다.

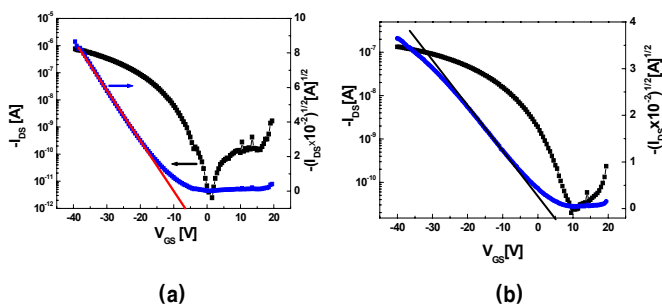


〈그림 4〉 PMMA기판 위의 증착온도에 따른 pentacene 이미지  
(a)Temp.=40 °C (b)55 °C (c)70 °C (d)85 °C (e)100 °C

그림 5는 PMMA와 SiO<sub>2</sub> 게이트 절연막을 사용한 박막 트랜지스터의 출력 특성을 나타내는 그림이다. 이때 채널의 길이는 1000 $\mu$ m, 넓이는 200 $\mu$ m로 하였다. 다양한 V<sub>GS</sub>에 따른 V<sub>DS</sub>를 0V~-40V까지 간격을 0.5V로 가하여 측정하였다. 처음의 낮은 V<sub>DS</sub>에서 높은 전도도를 갖고 V<sub>DS</sub>가 증가함에 따라 전도도가 감소 한다는 것은 옴릭 컨택이 되었음을 의미한다. 두 소자를 비교해 봤을 때 주어진 V<sub>GS</sub> 내에서 PMMA기판에서 SiO<sub>2</sub>보다 높은 I<sub>DS</sub>를 보임을 알 수 있다. 더 높은 I<sub>DS</sub>는 PMMA가 더 높은 캐리어 이동도를 가짐을 보여 준다.



〈그림 5〉 PMMA(a)기판과 SiO<sub>2</sub>(b)기판을 사용한 펜타신 박막 트랜지스터의 출력 특성



〈그림 6〉 PMMA(a)기판과 SiO<sub>2</sub>(b)기판을 사용한 펜타신 박막 트랜지스터의 전달 특성

그림 6은 V<sub>GS</sub>를 -20~40V까지 0.5V간격으로, 각각 V<sub>DS</sub>를 -20V와 -15V로 하여 측정한 전달 특성곡선이다. PMMA 게이트 절연막 위에 제작한 박막 트랜지스터는 전계효과 이동도가  $\mu_{FET}=0.03\text{cm}^2/\text{Vs}$  이고, 문턱이전 기울기 0.55V/dec, 문턱전압 V<sub>th</sub>=-6V, on/off 전류비 >10<sup>5</sup>로 나타난다. 반면 SiO<sub>2</sub> 게이트 절연막 위에 제작한 박막 트랜지스터는 전계효과 이동도  $\mu_{FET}=0.004\text{cm}^2/\text{Vs}$ , 문턱이전 기울기 0.518 V/dec, 문턱전압 V<sub>th</sub>=5V, on/off 전류비 >10<sup>4</sup>임을 볼 수 있다. PMMA 절연막에 의한 높은 전기적 특성은 PMMA 절연막위에 펜타신이 증착될 때, 최적의 박막형성 조건에 의해 그래인의 크기에 영향을 미치기 때문이다.

#### 4. 결 론

이 논문에서는 HMDS, PVA와 PMMA의 게이트 절연막 위에 여러 증착온도에서의 펜타신의 특성에 대해 분석해 보았다. 그 결과 PMMA 기판위에 증착온도를 증가시킬수록 그래인의 크기가 증가함을 볼 수 있었다. 증착온도가 100℃일 때 펜타신의 그래인 크기가 가장 크게 나타났다. PMMA 게이트 절연막위에 박막 트랜지스터를 제작한 경우 전계효과 이동도  $\mu_{FET}=0.03\text{cm}^2/\text{Vs}$ , 문턱이전 기울기 0.55V/dec, 문턱전압 V<sub>th</sub>=-6V, on/off 전류비 >10<sup>5</sup>의 값이 나타났다. 그에 비해 SiO<sub>2</sub> 기판위에 박막 트랜지스터를 제작하였을 경우에는 전계 효과 이동도  $\mu_{FET}=0.004\text{cm}^2/\text{Vs}$ , 문턱이전 기울기 0.518V/dec, 문턱전압 V<sub>th</sub>=5V, on/off 전류비 >10<sup>4</sup>로 PMMA 게이트 절연막을 사용하였을 때가 더 좋은 전기적 특성을 나타냄을 알 수 있다.

#### 감사의 글

이 논문은 2006년도 2단계 두뇌한국21사업에 의하여 지원되었음

#### [참 고 문 헌]

- [1] C. D. Sheraw, L. Zhou, J. R. Huang, D. J. Gundlach, T. N. Jackson, M. G. Kane, I. Hill, "Organic thin-film transistor-driven polymer-dispersed liquid crystal displays on flexible polymeric substrates", Applied physics letters, Vol. 80, pp.1088-1090, 2002
- [2] C.D. Dimitrakopoulos, P.R.L. Malenfant, "Irinotecan (CPT-11) in Patients with Advanced Colon Carcinoma Relapsing after 5-Fluorouracil-Leucovorin Combination", Advanced materials, Vol. 14, pp.99-117, 2002
- [3] T.W Kelley, D.V Muires, P.F Baude, T.P. Smith, T.D. Jones, "High Performance Organic Thin Film Transistors", Materials Research Society symposia proceedings, Vol. 771, pp.169-180, 2003
- [4] C. D. Dimitrakopoulos, D. J. Mascaro, "Organic thin-film transistors: A review of recent advances", IBM journal of research and development, Vol. 45, pp.11-28, 2001
- [5] C. K. Song, M. K. Jung, B. W. Koo, "Pentacene Thin Film Transistor Improved by Thermal Annealing", Journal of the Korean Physical Society. Vol. 39, pp.S271-S274, 2001