

상단락 방지능을 내장한 파워 모듈에 대한 연구

김준식, 박시홍
단국대학교 전자공학과

The Study of Power Module with a Short-circuit protection

Jun-Sik Kim, Shihong Park
Dept. Electronic Eng. Dankook Univ

Abstract - 인버터 출력단은 구조상 상단락의 위험성이 내제되어있기 때문에 이를 회피하기 위한 Dead time의 적용이 반드시 요구된다. 본 논문에서는 상단락 방지능을 갖는 출력단의 구조를 사용한 파워 모듈을 설계하고 상단락 방지능 분석 및 Q3D Extractor와 PSPICE를 사용하여 상단락 방지형 인버터의 출력단기생임피던스의 영향을 고려한 스위칭 동작 특성을 분석하였다.

1. 서론

오늘날의 전력 반도체 모듈은 IGBT와 POWER MOSFET과 같은 전력소자의 거듭된 발전으로 철도, 지하철 등의 산업뿐만 아니라 자동차, 냉장고, 에어컨 등 일반 가정에 이르기까지 그 범위가 확대되어 가고 있다. 인버터의 출력단 구조는 동일하여 모듈화가 용이하기 때문에 전압별 및 전류별로 표준화된 모듈이 생산되고 있다.

인버터에서의 스위칭 동작 시 상측 및 하측단의 전력소자가 서로 단락되는 상단락(Shoot-through) 현상을 회피하기 위해, 전력소자 구동 시 상하측 구동신호에 dead time을 적용시켜 단락 현상을 회피하고 있다. 그러나 dead time으로 인한 non-linearity의 증가, THD 증가 등의 부정적인 결과를 초래하여 이를 감소하기 위한 여러 방법들에 대한 연구가 많이 진행되었다. 이중 최근에 발표된 다이오드를 추가한 상단락 방지형 인버터 출력단의 경우 기존의 방식에 비해서 간단하면서도 하드웨어적으로 상단락이 방지되어 있어 dead time을 적용할 필요가 없기 때문에 dead time으로 인한 부정적인 영향이 없는 것이 특징이다. 본 논문에서는 다이오드 추가형 상단락 방지능을 적용한 25PM 모듈을 설계하고 기생임피던스에 의한 상단락 방지회로의 동작특성을 분석하였다.

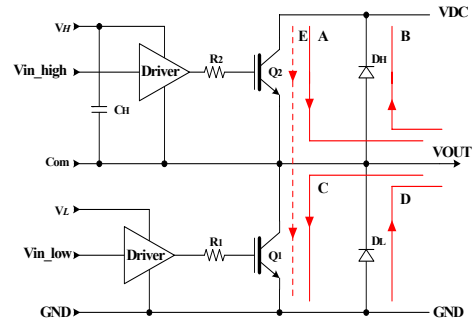
2. 본론

2.1 기존의 출력단 구조

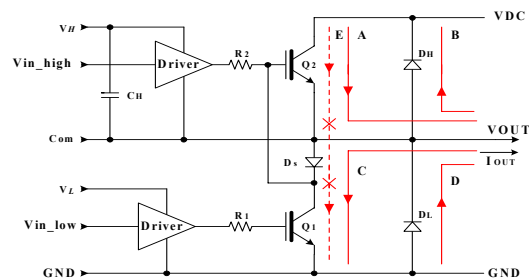
그림 1은 기존의 출력단 구조를 나타내고 있다. 정상적인 동작일 때는 상측과 하측의 소자가 번갈아가며 동작하여 출력단의 전류 흐름에 따라 A, B, C, D로 전류의 흐름이 형성된다. 그러나 한쪽의 전력 소자가 완전히 꺼지기 전에 다른 한쪽이 켜지게 되면 E와 같은 비정상적인 전류 흐름 즉, 상단락 현상이 일어 날수 있게 된다. 상단락이 되었을 때는 VDC와 GND 사이의 고전압이 단락되어 과전류가 소자를 통해서 흘러 소자의 파괴까지 초래 할 수 있다. 이와 같은 문제점을 방지하기 위해 기존의 시스템에서는 반드시 dead time을 추가하여야 한다. 그러나 dead time 적용함으로써 발생하는 부정적인 영향을 최소화하기 위해서는 dead time 보상 알고리즘 및 전류 센싱 회로 등의 다소 복잡한 구성이 필요하다. 턴온 및 턴오프 타이밍 조절에 의한 상단락 방지는 신뢰성 측면에서 보면 충분하지 않다. 즉 외란에 의한 상단락 가능성은 여전히 존재하여 가혹한 조건에서의 모듈 테스트시에도 상단락의 위험이 존재한다.

2.2 상단락 방지형 출력단 구조

그림 2는 상단락 방지형 출력단 구조를 나타내고 있다. 다이오드 Ds가 추가되어 하측의 드레인이 상측의 게이트에 연결되었다. 부하구동 시에 필요한 A, B, C, D의 전류흐름은 그대로 존재하지만 다이오드와 상측 전력소자의 게이트 전압이 동시에 순방향으로 바이어스 될 수 없어 상단락을 방지할 수 있는 구조이다. Iout이 (-)의 값을 가질 때 Ds에 의한 전압강하가 추가되는 단점이 있으나 효율적인 측면에서 분석한 결과는 역률이 1인 경우 최대값을 갖고 V_{ds}/V_{dc} 만큼의 효율이 감소하는 것으로 나타난다. 예를 들어 V_{dc}=300V, V_d=1V이면 최대 0.33% 효율감소가 예상되고 역률이 작아질수록 효율감소도 작아진다. 이러한 효율감소를 개선하기 위해 다이오드 대신에 Synchronous MOSFET 사용한 방법도 제시되었다.



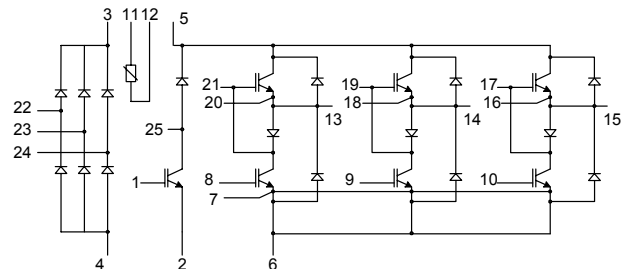
〈그림 1〉 기존의 출력단 구조



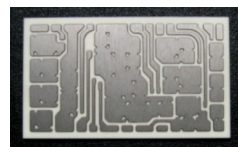
〈그림 2〉 상단락 방지형 출력단 구조

2.3 파워 모듈의 인버터 구조

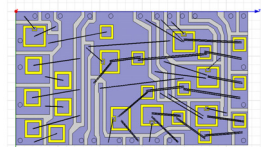
그림 3은 상단락 방지능을 갖는 25PM에 대한 회로도를 나타낸다. 600V-30A급 파워 모듈로 인버터용 IGBT와 다이오드 그리고 Rectifier용 다이오드, Boost Converter용 IGBT와 다이오드를 포함하고 있다. 전력소자는 페어차일드코리아에서 제공하였으며 25PM용 DBC 및 패키지는 LS산전에서 제작되었다.



(a) 상단락 방지형 25PM 회로도 및 핀 배치도



(b) 제작된 25PM DBC 사진



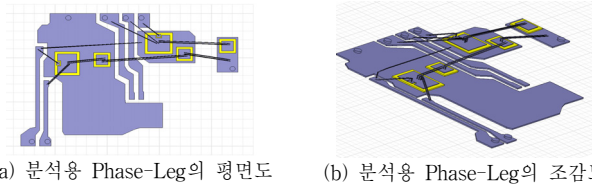
(c) 25PM 설계 평면도

〈그림 3〉 상단락 방지능을 갖는 25PM의 회로도 및 DBC 구조

2.4 출력단의 구조 임피던스 추출

그림 4는 25PM에서 하나의 Phase-Leg를 나타낸다. 제작된 DBC와 동일한 크기, 제질을 갖도록 모사한 것으로 DBC에서 형성되는 배선의 기생임피던스를 추출하기 위한 3D 그림이다. 기생임피던스 추출은 Q3D Extractor를 사용하였다. Q3D Extractor는 전자부품의 형상으로부터 전력소자 배선에서 생성되는 기생 파라미터(R, L, C, G, Zo)를 추출하여 Spice/IBIS 모델을 자동 생성하는 소프트웨어 Suite로써, 전자기기의 복잡한 구조의 기생 임피던스 성분을 정밀하게 구하는 프로그램이다.

현재 상용화되어 있는 25PM 모듈의 Board 크기동일하게 제작되어 기존의 모듈과 특성비교분석을 용이하게 제작하였다. 본 논문에서는 상단락 방지형 인버터의 스위칭 동작 특성을 분석하기 위해서, 그림 4에 나타난 것과 같이 25PM 내의 한 상에 대하여 기생임피던스를 추출하였다.

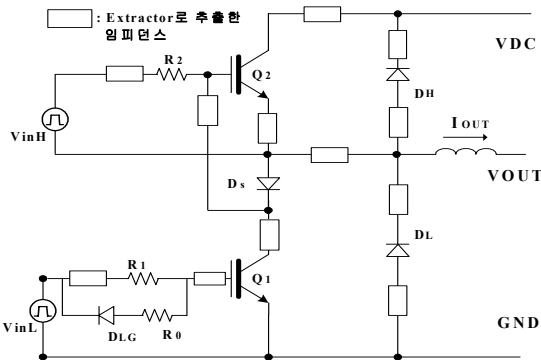


〈그림 4〉 25PM에서 한상의 출력단 구조

2.5 시뮬레이션 환경

그림 5는 Q3D Extractor로 추출한 기생임피던스를 이용한 시뮬레이션 회로도를 나타내고 있다. Q3D Extractor로 추출한 기생임피던스는 회로 내 박스 형태로 나타내었다. 전력소자 Q1과 Q2는 IR회사의 IRG4PSC71K이고 다이오드는 15ETH06으로 600V 30A급의 소자이다. 실제 제작된 모듈은 페어차일드코리아 제품을 사용하였지만 PSPICE 모델이 제공되지 않아 시뮬레이션 위해서 용량이 동일한 IR사의 전력소자 파라미터를 사용하였다. 시뮬레이션 조건은 다음과 같다.

$V_{inH}=0-15V_{pp}$, $V_{inL}=0-15V_{pp}$, $V_{dc}=300V$, $L=1mH$,
 $I_L=\pm 10A$, $R_0=10\Omega$, $R_1=50\Omega$, $R_2=20\Omega$,

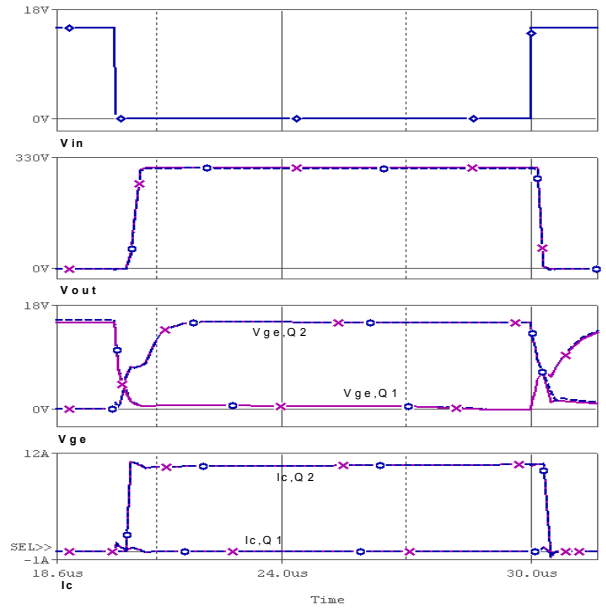


〈그림 5〉 시뮬레이션 회로도

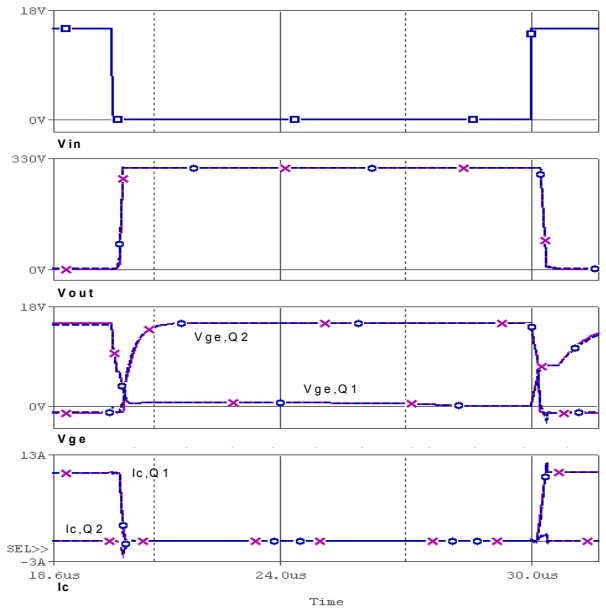
2.3.1 시뮬레이션 결과

그림 6과 7은(보라색(X) : 추출한 임피던스 미 고려시, 파란색(O) : 추출한 임피던스 고려시) 한 상의 스위칭 동작시의 전압과 전류 파형을 나타낸다. 출력전력의 방향이 양의 방향일 경우의 ($I_{out} > 0$) 시뮬레이션 결과는 그림 6에, 음의 방향일 경우의 ($I_{out} < 0$) 결과는 그림 7에 나타내었다. 그림 6과 그림 7은 위에서부터 아래로 각각 입력전압, 출력전압, 상하측 전력소자의 게이트-소스 전압, 드레인 전류를 나타낸다. 그림 6과 7의 드레인 전류 파형에서 확인 할 수 있듯이 상단락 전류는 발생하지 않으며 상하측 소자의 게이트-소스 전압에서 나타나듯이 하나의 소자가 턴 오프동작을 마무리하면 곧 바로 다른 소자가 턴온되는 파형을 보여 준다. 온도와 동작환경에 따라 턴오프 시간이 바뀌어도 항상 턴 오프가 된 후 dead time과 같은 지체하는 시간없이 바로 턴온하게 되는 특성을 나타낼 수 있다.

그림 6과 7의 각 전압과 전류 파형에서 “O”는 추출한 기생 임피던스가 적용한 것을 나타내고 “X”는 적용하지 않은 것을 나타낸다. 결과에서 볼 수 있듯이 배선간의 기생 임피던스를 적용한 그림에서 약간의 ringing 현상과 딜레이가 조금 더 긴 것을 볼 수 있지만, 큰 차이는 없었다. 이는 모듈의 Board 크기가 35×60mm정도로 배선간의 기생 임피던스가 작아서 상단락 방지형 모듈의 동작에 큰 영향을 주지 않음을 알 수 있다.



〈그림 6〉 시뮬레이션된 전압과 전류 파형($I_{out} > 0$)



〈그림 7〉 시뮬레이션 전압과 전류 파형($I_{out} < 0$)

3. 결 론

본 논문에서 분석한 상단락 방지형 모듈은 기존의 출력단에 직렬 다이오드를 추가하여, 상단락의 회피가 아닌 상단락의 방지기능을 제공함으로써 신뢰성적인 측면에서 강인하고 dead time으로 인한 부정적인 영향도 크게 개선할 수 있다. 또한 600V/30A급의 25PM 구조에서는 기생 임피던스가 상단락 방지형 인버터의 동작특성에 미치는 영향이 매우 작은 것으로 분석되었다. 현재 상단락 방지형 25PM은 패키지 조립중이며 제작이 완료되면 실제인버터에 적용하여 테스트할 계획이다.

감사의 글

본 연구는 산업자원부 전력IT 사업중 “분산발전 및 산업용 인버터 응용을 위한 전력반도체 기술개발”에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

[참고 문헌]

- [1] Ansoft, Q3D 설명서
- [2] S. Park, An Augmented Phase-Leg Configuration (APLC) with Shoot-through Immunity for Insulated Gate Power, 2004
- [3] N. Mohan, Power Electronics : John Wiley & Sons, Inc, 1995
- [4] A. D. Pathak, "MOSFET/IGBT drives theory and applications," IXYS Corporation, Santa Clara, CA 2001.