

능동 구동형 유기 발광 소자 디스플레이용 수소화된 비정질 실리콘 박막 트랜지스터의 전류 안정성 개선을 위해 데이터가 반영된 음전압 인가 방식을 채택한 새로운 화소 회로

국승희, 한상면, 박현상, 한민구
서울대학교 전기공학부

A New Pixel Circuit Employing Data Reflected Negative Bias Annealing To Improve the Current Stability of a-Si:H TFT AMOLED

Seung-Hee Kuk, Sang-Myeon Han, Hyun-Sang Park, and Min-Koo Han
School of Electrical Engineering, Seoul National University, Seoul, Korea

Abstract - 능동 구동형 유기 발광 소자 디스플레이용 수소화된 비정질 실리콘 박막 트랜지스터의 전류 안정성을 개선하기 위해, 음전압 인가 방식을 채택한 새로운 화소 회로를 제안하였다. 제안한 회로는 5개의 트랜지스터를 사용하였고, 직전에 인가했던 V_{GS} 에 따라 음의 전압을 인가하여 양의 전압에 의한 구동 박막 트랜지스터의 열화 현상을 줄여준다. 본회로는 SPICE 시뮬레이션을 통해 검증하였다.

1. 서 론

최근, 수소화된 비정질 실리콘(a-Si:H) 박막 트랜지스터(TFT)는 소자의 균일성과 잘 갖추어진 공정 여건 때문에 능동 구동형 유기 발광 소자(AMOLED) 패널의 화소 구성 소자로서 각광받고 있다 [1-2]. 하지만 수소화된 비정질 실리콘 박막 트랜지스터는 전압에 의한 charge trapping과 defect state 생성 때문에 문턱 전압(V_{TH})이 변하게 된다 [3]. 문턱 전압을 저장해서 I_{OLED}의 열화 현상을 보상하는 회로는 몇 가지 보고된 적이 있다 [1-2]. 그러나 수소화된 비정질 실리콘 박막 트랜지스터 전류원의 성능이 저하되면 문턱 전압의 보상능력이 떨어질 수 있어 AMOLED 화소의 구동트랜지스터 성능 저하를 줄일 수 있는 화소 회로도 보고된 적이 있다 [4,5]. Fraction time annealing [4] 과 Polarity-balanced driving 기술은 본 연구팀에서 보고한 바 있다. 그러나 이전에 보였던 회로들은 각 화소의 성능이 저하된 정도에 따라 다른 음의 전압을 줄 수 없어서, 균일성에 관한 문제가 발생할 수 있었다. 즉 이전에 보였던 회로들은 각 화소에 가했던 신호와 무관하게 일정한 전압을 가해서 V_{TH} 의 열화를 억제하는 방법을 사용하고 있었다.

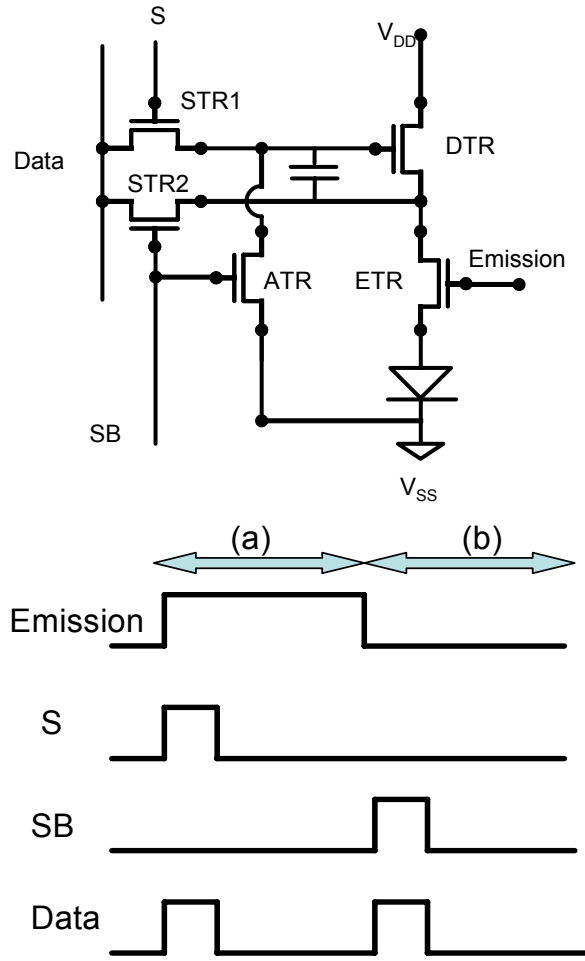
이번 논문의 목적은 능동 구동형 유기 발광 소자를 위한 수소화된 비정질 실리콘 박막 트랜지스터의 전류 안정성을 향상시킬 수 있는 음전압 인가 방식을 사용한 새로운 화소 회로를 보고하는 것이다. 제안한 화소 회로는, 직전에 인가한 V_{GS} 에 비례하는 음의 V_{GS} 를 가할 수 있고, 이를 바탕으로 gate 전압에 따른 구동 트랜지스터의 열화 현상을 효과적으로 줄일 수 있다.

2. 본 론

2.1 제안한 화소 회로

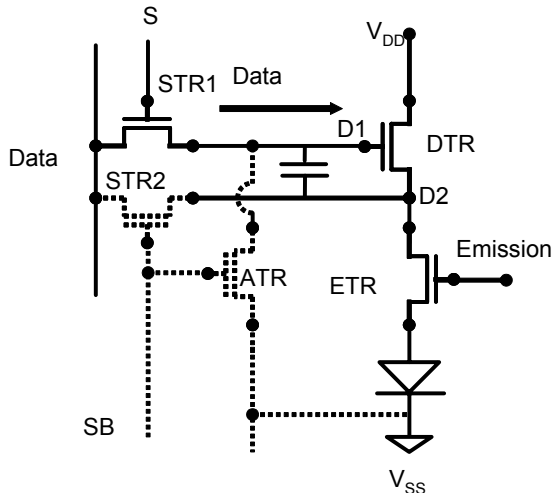
제안한 화소 회로는 그림 1과 같이 5개의 수소화된 비정질 실리콘 박막 트랜지스터와 1개의 축전지로 구성되어 있다. STR1은 "Data"신호선과 DTR의 gate와 연결되어 있고, "S"신호에 따라 동작한다. STR2의 gate는 "SB"신호에 따라 동작하고, "Data"신호와 DTR의 source에 연결되어 있다.

ATR은 V_{SS} 와 DTR의 gate와 연결되어 있고 "SB"신호에 따라 동작한다. 유기 발광 소자의 발광 구간은 ETR에 의해 결정되고, ETR은 DTR의 source와 유기 발광 소자와 연결되어 있으며 "Emission"신호에 따라 동작한다. 저장용 축전지는 DTR의 gate와 source에 연결되어 있다. 각 화소의 하나의 프레임은 그림 1에서와 같이 두 개의 구간으로 구성되는데, 그것은 "발광 구간"(a)과 "음전압 인가 구간"(b)이다.



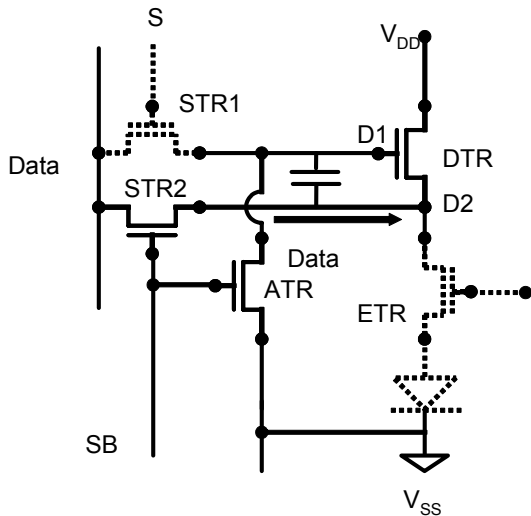
<그림 1> 제안한 화소 회로와 Timing diagram

그림 2는 제안한 화소 회로의 동작을 보여준다. (a)구간 동안, ETR은 계속 켜져 있다. "SB" 신호가 낮은 상태이면 STR2와 ATR은 꺼져 있게 되고, 그렇게 되면 제안한 화소 회로는 전형적인 2-TFT 화소 회로와 같게 동작을 하게 된다. "S" 신호가 높은 상태이면 STR1은 켜져 있게 되고, "Data" 신호가 DTR의 gate(D1)에 가해지면서 축전지에 $V_{GS}(D1$ 과 $D2$ 사이의 전위 차이)가 저장된다. 그렇게 되면 유기 발광 소자는 (a)구간 동안 내내 전류를 흘리면서 빛을 낼 수 있게 된다.



<그림 2> 제안한 화소 회로의 발광 구간(a) 구간 동안의 구조

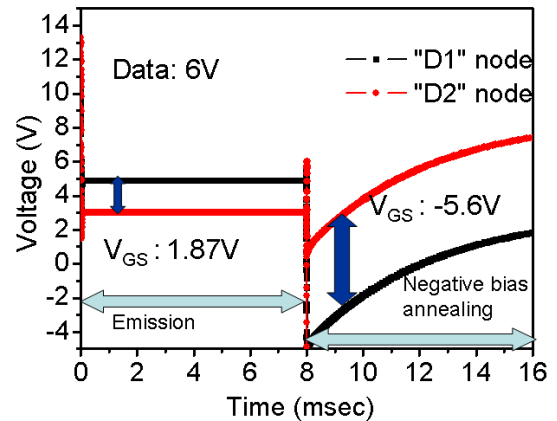
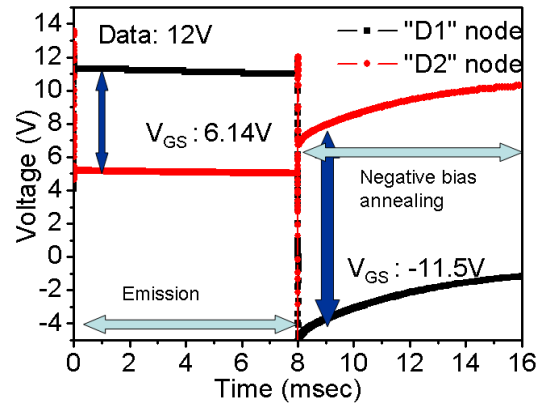
음전압 인가 구간(b) 구간 동안 "Emission" 신호와 "S" 신호는 STR1과 ETR을 끄기 위해 낮은 상태가 되고, 유기 발광 소자도 꺼지게 된다. "SB" 신호가 높은 상태가 되어 ATR과 STR2가 켜지게 되면, "Data" 신호와 "Vss"는 각각 D2와 D1에 가해지게 된다. D1의 전압이 Vss가 되고 D2의 전압이 "Data"가 되므로 (Vss-Data)만큼의 음의 VGS가 DTR에 인가되고, 이 전압은 이 구간이 끝날 때까지 축전지에 저장된다. 그러므로 음전압 인가는 (a)구간 동안 유기 발광 소자 발광에 사용되었던 "Data" 신호를 사용해서 할 수 있다.



<그림 3> 제안한 화소 회로의 음전압 인가(b) 구간 동안의 구조

2.2 시뮬레이션 결과

제안한 화소 회로는 그림 4에서 보였듯이 SPICE 시뮬레이션을 사용해서 검증하였다. 한 프레임은 16msec라 가정하였고, 각 프레임은 2개의 구간으로 나누었다. "발광 구간"에 "Data"의 전압을 12V, 6V로 가하면, DTR의 VGS는 각각 6.14V, 1.87V 정도가 된다. 한편 "음전압 인가 구간"에는, "Data"의 전압을 12V로 가한 경우 VGS가 -11.5V 정도가 되는 반면, "Data"의 전압을 6V로 가한 경우 VGS는 -5.6V 정도가 된다. 이 화소 회로에서 음전압의 크기는 양의 "Data" 신호의 크기에 비례해서 가해짐을 확인할 수 있다. 그렇기 때문에, 구동 트랜지스터에 높은 전압의 "Data" 신호를 가해서 더 큰 열화를 유발하게 되면, 더 큰 음의 전압을 가해서 열화를 줄일 수 있게 된다. 즉, 각 화소마다 다른 음전압 인가가 가능하게 된다.



<그림 4> 제안한 화소 회로의 시뮬레이션 결과

3. 결 론

능동 구동형 유기 발광 소자용 수소화된 비정질 실리콘 박막 트랜지스터의 전류 안정성을 개선하기 위해, 음전압 인가방식을 채택한 새로운 화소 회로를 제안하였다. 제안한 화소 회로는 직전에 인가한 "Data" 신호에 비례해서 음의 VGS를 구동 트랜지스터에 가할 수 있고, 이를 바탕으로 "Data" 신호에 의한 화소 회로 구동 트랜지스터의 문턱 전압 열화 현상도 효과적으로 줄일 수 있으리라 예상된다.

[참 고 문 헌]

- [1]A.Nathan, et al., "Amorphous silicon thin film transistor circuit integration for Organic LED displays on glass and plastic", IEEE Journal of solid-state circuits, vol. 39, pp.1477-1486, 2004.
- [2]J.C.Goh, et al., "A new a-Si:H thin film transistor pixel circuit for active matrix organic light emitting diodes", IEEE EDL, vol.24, pp.583-585, Sep. 2003.
- [3]M.J.Powell, et al., "Defect pool in amorphous-silicon thin film transistors", Phys.Review B, vol. 45, no.8, pp.4160-4170, 1989.
- [4]J.H.Lee, et al., "The Suppression of the threshold voltage shift in a-Si TFT pixel for AMOLED by employing the reverse bias annealing", IDW.2004, pp.541-542.
- [5]B.H.You, et al., "Polarity-Balanced Driving to Reduce VTH Shift in a-Si for Active-Matrix OLEDs", SID, 2004, pp. 275-278.