

## 적층 칩 바리스터 glass coating에 따른 전기적 특성

윤 중 략, 민 경 훈, 유 창 재  
삼화콘덴서공업주식회사

### The electrical properties of Multilayer chip varistor with glass coating

Jung Rag Yoon , K, H, Min, C. J. Yoo  
SAMWHA CAPACITOR Co. Ltd

**Abstract** - 본 논문은 적층 칩 바리스터의 외부단자 도금을 할 때 세라믹 표면에 절연성을 부여하기 위해 glass coating할 때 열처리 회수에 따른 전기적 특성을 연구하였다. 열처리 회수의 증가에 따라 바리스터 전압의 변화는 크게 나타나지는 않으나 신뢰성에 영향을 미치는 누설전류 및 비직선계수는 열화되는 현상을 보이지만 glass coating을 통하여 전기 도금시 칩 바리스터 표면이 도금되지 않고 생산 할 수 있음을 확인하였다.

#### 1. 서 론

적층형 칩 바리스터는 회로에서 캐패시터로 작동하다가 특정한 전압에서 전류의 흐름이 급격히 증가하는 비선형 전압소자로서 적층 칩 세라믹공정을 적용하여 만든 소자이다. 적층 칩 바리스터의 내부전극 구조는 적층 칩 세라믹 캐패시터와 유사하며 전극간의 세라믹 두께 조절을 통하여 입계수 및 항복전압을 조절할 수 있으며 1980년대에 shohata등에 의해 발표되었다[1]. 일반적으로 적층 칩 바리스터를 ESD 보호용으로 적용에 있어 캐패시터와 ESD 기능을 함께하기 위하여 높은 정전용량을 필요로 하는 제품이 적용되고 있으나 최근에는 고주파 대역에 적용되는 적층 칩 바리스터의 사용량이 증가함에 따라 저 용량의 제품 수요도 증가되고 있다. 적층형 칩 바리스터는 수 Kv ~ 수십 Kv에 이르는 다양한 ESD(Electrical Static Discharge) 에 대한 보호 부품으로 적용되고 있으며 휴대용기기의 ESD에 의한 제품의 오 동작, 파괴를 방지하는 정전기 방지용 제품으로 널리 쓰이고 있다[1,2]. 바리스터의 동작 전압은 두전극 사이에 존재하는 입계의 수에 의해 결정되며 일반적으로 하나의 입계는 2.5 ~ 5 [V]의 항복전압을 갖는 것으로 알려져 있으며 10[V] 정도의 바리스터 전압을 가지는 적층형 칩 바리스터를 제작하기 위해서는 전극간의 바리스터 두께를 박막화 하거나 입자의 크기를 키우는 방법이 있다[3]. 본 논문에서는 적층 칩 바리스터의 외부전극 납땜성 향상을 위하여 전기 도금시 절연성을 가지는 입계 성분이 도금액에 의해 식각되거나 불균일에 의해 소자표면이 도금되는 것을 방지하는 방법으로 glass coating을 하였다. 일반적으로 glass coating시에는 외부전극에 포함되어 있는 glass 성분의 연화점(Tg) 및 내산성이 큰 glass를 선정하고 그림 1과 같은 공정으로 실험을 행하였다. 일반적으로 Bi계 바리스터계의 경우 외부전극을 형성시 열처리온도에 따라 특성 변화가 큰 것으로 알려져 있으며 특히 700℃ 이상에서 열처리시 전기적 특성이 크게 저하되는 것으로 알려져 있다. 따라서 본 논문에서는 제조 공정상 그림 1과 같이 780℃의 온도에서 열처리를 하였을 때 열처리 회수에 따른 전기적 특성을 조사하였다.

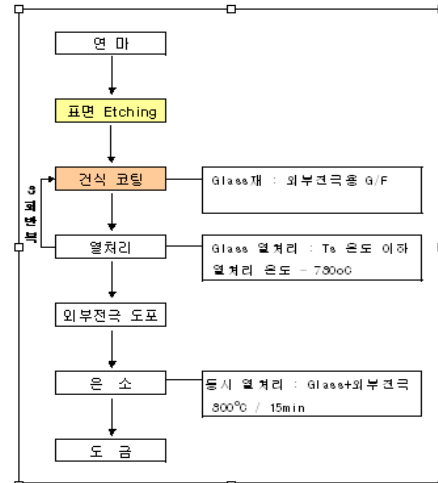
#### 2. 실험 방법

본 실험에 사용된 원료는 99.9%이상의 순도를 가지는 ZnO - Bi<sub>2</sub>O<sub>3</sub>계 원료를 적용하였으며 원료 분말을 조성비에 맞게 평량한 후 지르코니아 불과 물을 이용하여 24시간 분쇄, 혼합후 건조하였다. 건조한 분말을 800℃에서 2시간 하소한 후 비드밀 (bead mill)을 이용하여 분말의 입도(D<sub>50</sub>) 0.8 μm, 비표면적은 4.5 g/m<sup>2</sup>로 분쇄하였다. 분쇄한 분말에 PVB(Polyvinylbutyral), 분산제, 톨루엔, 가소제를 첨가하여 슬러리를 제작한 후 닥터블레이드법을 이용하여 그린시트를 제조하였다. 내부전극으로는 Pd전극을 이용하여 그린시트에 인쇄한 후 적층, 가압한 후 절단하였다. 절단한 그린 칩을 300℃에서 24시간 탈 바인더 한 후 1080℃에서 2시간 소결하였다. 소결된 칩을 연마 한 후 그림 1과 같은 공정

을 거쳐 적층 바리스터를 제작하였다. 소결한 칩을 적층 칩 바리스터 설계는 그린시트 두께 23 μm, 내부전극 층수는 6층이며 칩을 두께를 고려하여 상부, 하부 그린시트의 두께를 조절하였다. 적층 바리스터 크기는 1.0[L] × 0.5[W] × 0.5[t] [mm]이다. 바리스터의 전압-전류 특성은 High Voltage Source Measurement Unit(Keithley 237)을 이용하여 측정하였으며 바리스터 전압(V<sub>1mA</sub>)은 전류밀도가 1mA/cm<sup>2</sup>일 때의 전압으로, 누설전류(I<sub>L</sub>)는 바리스터 전압에 80%를 인가하여 측정된 전류이다. 비직선계수(a)는 식 (1)을 이용하여 계산하였으며 여기서 V<sub>1mA</sub>와 V<sub>10mA</sub>는 전류밀도 1 mA/cm<sup>2</sup>과 10 mA/cm<sup>2</sup>에 각각 대응되는 전압이다.

$$a = 1 / (\log V_{10mA} - \log V_{1mA}) \quad (1)$$

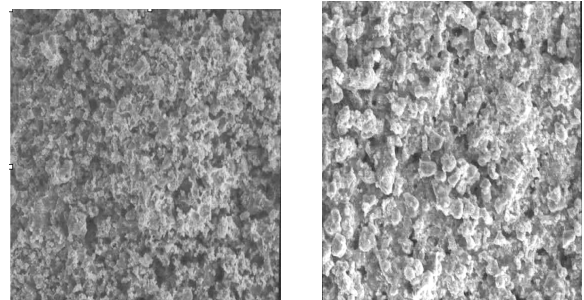
시편의 미세구조는 SEM(JSM-6360, Joel)을 이용하였다.



<그림 1> glass coating 제조 공정

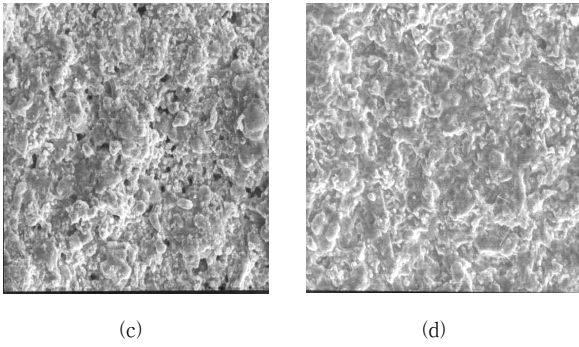
#### 3. 결 과

그림 2는 적층 칩 바리스터의 표면으로서 (a)는 glass coating시 소자 표면에 요철을 부여하기 위해서 예칭한 사진이고 (b)(c)(d)는 glass coating 회수에 따른 glass coating층 사진이다.



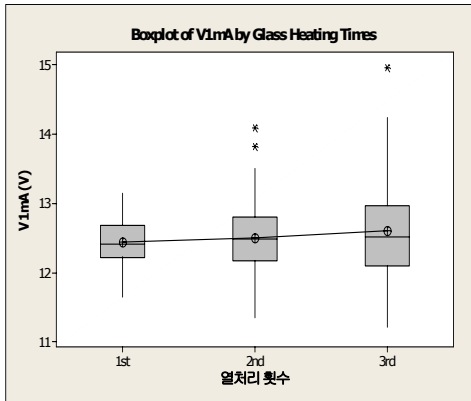
(a)

(b)



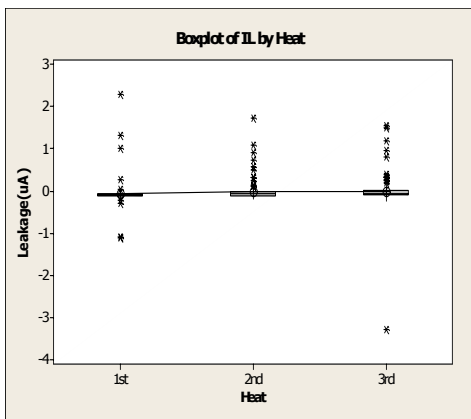
<그림 2> glass coating 횟수별 미세구조

그림 3은 열처리 횟수에 따른 바리스터 전압  $V_{ImA}$ 로서 열처리 횟수에 따른 바리스터의 평균값 변화는 작은 반면 산포가 크게 나타남을 볼 수 있다. 이와 같은 결과는 바리스터의 소결온도 1150f℃ 보다 낮은 750℃에서의 열처리에서는 입성장은 나타나지 않지만 전압-전류 특성은 변화할 수 있음을 보여준다.



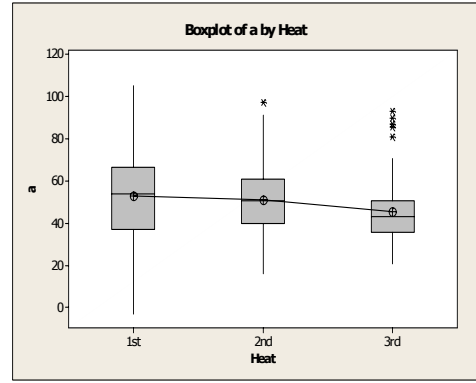
<그림 3> 열처리 횟수별 바리스터 전압

그림 4는 열처리 횟수에 따른 누설전류의 변화량으로서 열처리를 함으로서 누설전류가 2.5%까지 증가함을 볼 수 있으며 횟수 증가에 따른 영향을 크게 나타나지 않았다. 열처리에 따른 누설전류의 증가는 기존의 연구 결과에서도 전극을 형성하는 과정에서 열처리 할 때 누설전류가 증가한다는 결과와 유사한 경향을 보인다.



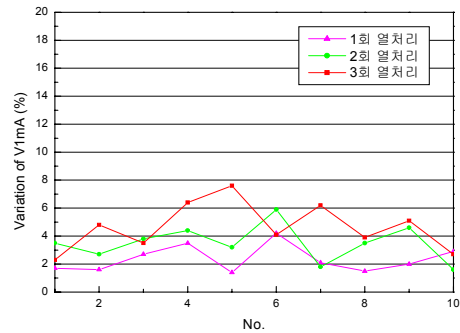
<그림 4> 열처리 횟수별 누설전류 변화율

그림 5는 열처리 회수에 따른 비직선계수(a)로서 열처리 횟수 증가에 따라 감소하는 경향을 보이고 있다. 일반적으로 바리스터에서 비직선계수의 감소는 열화특성을 나타내는 주 요소로 알려져 있으며 본 논문의 실험 결과에서 유사한 결과를 나타내었다.



<그림 5> glass coating 횟수별 비직선계수

그림 6은 ESD인가 후 바리스터 전압변화율을 나타낸 그림으로서 열처리 횟수의 증가에 따라 전압 변화율이 크게 나타남을 볼 수 있다. 이와같은 결과는 열처리 회수에 따라 절연층을 형성하는 입계층의 변화가 있음을 보여주고 있다.



<그림 6> glass coating 횟수별 ESD 특성

### 3. 결 론

적층 바리스터에서 glass coating 횟수에 따른 전기적 특성은 바리스터 전압의 크기 변화는 크게 보이지는 않지만 신뢰성의 주요 특성인 누설 전류 및 비직선계수는 열화되는 특성을 보이고 있다. 특히, ESD 특성의 경우 열처리 횟수의 증가에 따라 변화량이 크게 나타나고 있으며 신뢰성 향상을 위해서 최소의 열처리를 통해 외부전극 도금시에도 안정한 조건을 얻는 것이 좋을 것으로 판단된다.

### [참 고 문 헌]

[1] L. H. Harr, Component Handling with ESD Control in Passive Electronic Component Handbook, 2nd ed., Ed. by Charles. A. Harper, McGraw-Hill, U.S., 1997.  
 [2] Y.-S.Lee, K.-S.Liao, and T.-Y Tseng, "Microstructure and Crystal Phase of Praseodymium Oxides-Based Zinc Oxide Varistor Ceramics," J. Am. Ceram., 79[9], p.2379, 1996.  
 [3]윤중락, 정태석,이현용,이석원,“소결조건에 따른 ZnO 바리스터의 미세구조 및 전기적 특성”, 전기전자재료학회논문지,제19권 7호, 2006.