

UWB용 6B 2.5GSample/s Flash ADC

*조순익, 구자현, 김석기, **임신일
*고려대학교 전자전기전파공학과 **서경대학교 전자공학과
e-mail : sicho@ulsi.korea.ac.kr, jhkoo@ulsi.korea.ac.kr, skkim@korea.ac.kr,
silim@skuniv.ac.kr

A 6B 2.5GS/s Flash ADC for UWB system

*Soon-ik Cho, Ja-Hyun Koo, Suki Kim, Sin-il Lim
*School of Electronic Engineering
Korea University

Abstract

현대 Mobile module에 알맞은 IP들은 고속에서 얼마나 소비 전력을 낮춰주느냐 하는 방향으로 진화하고 있다. 본 논문에서는 저전력 구현을 위해 digital block에서의 신호를 제어해주는 방법을 사용한 UWB system용 6B 2.5Gsample/s Flash ADC를 소개한다. 소개된 ADC는 2.5GS/s의 clock, 1240MHz의 input 신호에서 36,7dB의 SNDR과 5.80 비트의 ENOB를 가지며 385mW의 전력을 소모한다.

I. 서론

그림 1에 전체 ADC의 블록도가 나와 있다. 받아들여진 두 input 신호는 15개의 DDA를 통해서 reference 값들과 비교되어진 후, 4X interpolation

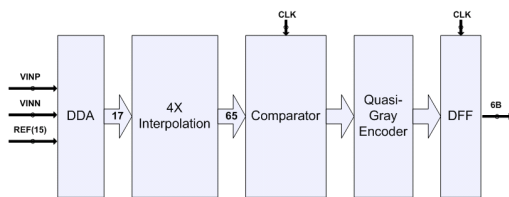


그림 1 6Bit 2.5GS/s ADC의 전체 블록도

stage, comparator stage를 통해 신호의 레벨이 결정된다. 그리고 최종 digital block을 거친 후에 원하는 6개의 digital 비트를 얻을 수 있게 된다.

II. 본론

2.1 Active Interpolation

Flash type의 ADC는 고속 동작을 요구하는 인터페이스에서 많이 사용된다. 하지만, 이러한 방식의 ADC는 비트 수가 증가할수록 회로가 기하급수적으로 커진다는 단점을 갖는다. 이러한 단점을 보완해주기 위해 일반적으로 Interpolation 기법을 사용하며, 본 논문에서는 active interpolation 기법을 사용해 주었다. 그림 2에서 사용한 active interpolation의 회로와 동작을 설명해주고 있다.

2.2 Reduced power dissipation in digital block

설계된 ADC가 UWB용 mobile 기기에서의 사용을 목적으로 하고 있기 때문에 얼마나 저전력으로 구현해 줄 수 있는냐가 중요한 문제가 된다. 이를 위해서 본 논문에서는 comparator 이후의 digital block에서의 신호의 frequency를 제어해주는 방법을 사용해주어 digital block에서의 전력소모를 줄여주는 방법을 채택

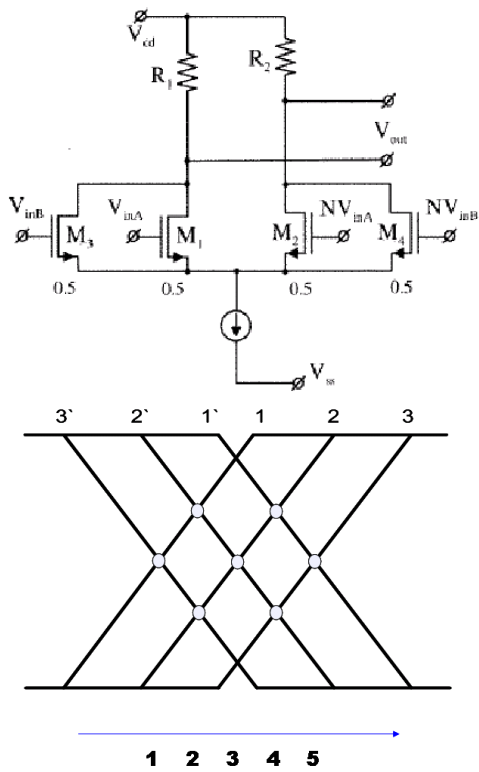


그림 2 4X interpolation

해주었다. 일반적인 comparator는 OUTP와 같이 펄스 형태로 나오게 된다. 본 논문에서는 이런 펄스 형태의 신호를 제어해주기 위해서 clocked inverter 두 개를 사용하였다. 이를 통해서 comparator latch의 출력 값이 바뀌지 않는 한, inverter array를 거친 신호의 값은 변하지 않게 된다(OUTP'). 이를 통해서 digital block에서의 신호 frequency를 제어해주어 그에 따른 전력 소모를 감소시켜주었다. 실제로 측정 결과 comparator 이후의 digital 부분에서의 소모 전력은 전체 소모 전력의 6%가 채 되지 않는다는 것을 확인할 수 있었다

III. Simulation Results

설계된 ADC는 simulation을 통해서 2.5GHz의 clock frequency를 가해주었을 때, 224MHz의 입력 신호에서 37.73dB의 SNDR, 5.98 비트의 ENOB, 318mW의 전력 소모를 보였으며, Nyquist frequency인 1240MHz에서 36.7dB의 SNDR, 5.8비트의 ENOB, 365mW의 전력 소모를 보였다.

IV. 결론

설계된 ADC는 Active interpolation을 사용하여 높

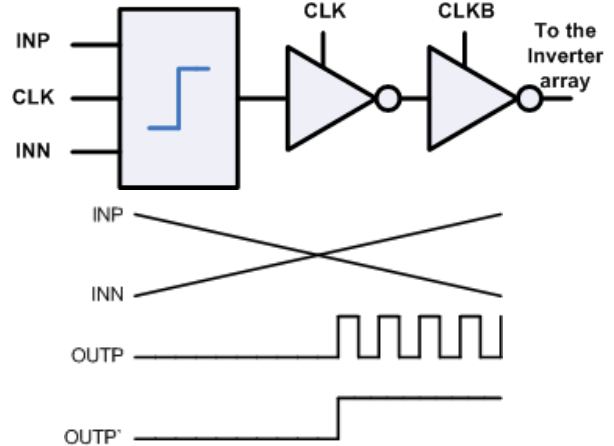


그림 3 사용한 digital block 신호 제어 방식

은 clock 주파수에서도 뛰어난 성능을 보인다는 것을 확인할 수 있었다. 또한 제안된 방식을 통해서 digital 부분에서의 소모 전력을 현격히 줄여주어 전체 소모 전력을 줄여줄 수 있었다. 또한 입력 신호가 Nyquist 주파수에서도 좋은 성능을 보인다는 것을 확인하였다. 표 1에 설계한 ADC의 성능을 요약하였다.

	@ 224MHz input	@ 1240MHz input
SNDR	37.74 dB	36.7 dB
ENOB	5.98 bit	5.80 bit
Power	318 mW	365 mW
Supply Voltage	1.8V	
Layout Area	1250 X 800	
Input Range	0.9V ~ 1.3V (400mVp-p)	
Technology	Samsung 0.18um CMOS 1 Poly 4 Metal	

표 3 제안된 ADC의 performance summary
(Clock Frequency = 2.5GHz)

참고문헌

- [1] C. Sandner, M. Clara, "A 6-Bit 1.2GS/s Low-Power Flash-ADC in 0.13-um Digital CMOS", IEEE JSSC, 2005
- [2] Rudy van de Plassche, "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters" 2nd Edition

* 본 논문은 IT-SoC 인력양성사업 설계실습프로젝트의 지원으로 이루어졌음을 알려드립니다.