

# 3차원 그래픽용 부동 소수점 연산기 IP 설계 및 MPW 구현

\*이정우, 김기철

서울시립대학교 전자전기컴퓨터공학부

e-mail : jjung80@uos.ac.kr, kkim@uos.ac.kr

## Design and MPW Implementation of 3D Graphics Floating Point IPs

\*Jungwoo Lee, Kichul Kim

Department of Electrical & Computer Engineering

University of Seoul

### Abstract

This paper presents a design and MPW implementation of 3D Graphics Floating Point IPs. Designed IPs include adder, subtractor, multiplier, divider, and reciprocal unit. The IPs have pipelined structures. The IPs meet the accuracy required in OpenGL ES. The operation frequency of the IPs is 100MHz. The IPs can be efficiently used in 3D graphics accelerators.

### I. 서론

최근 PDA, Mobile Phone과 같은 휴대 정보기기의 수요가 급증하고 있다. 이러한 추세 속에 휴대 단말기에서 서비스되는 3차원 그래픽 콘텐츠들이 늘어나고, 이에 관련된 연구들이 활발히 진행되고 있다. 3차원 그래픽 처리를 위해서는 많은 양의 데이터를 처리해야 하며, 그 연산과정 또한 복잡하다. 따라서 CPU만으로 이를 처리하기에는 큰 부담이 되므로 이를 해결하기 위해 3D 그래픽 가속기가 등장하였다.

3D 그래픽 가속기는 3D 그래픽 처리 과정 중 geometry stage와 rasterizer stage를 가속한다.[1] 이

러한 3D 그래픽 가속기의 크기 및 성능에 영향을 미치는 요소로 실제적인 연산을 수행하는 부동 소수점 연산기를 들 수 있다. 특히 이동통신 단말기용이라는 제약 조건을 극복하기 위해서는 저전력, 고성능 그리고 작은 면적을 가져야 된다.

본 논문에서는 3D 그래픽 처리 과정 중에서 많이 사용되는 가감산, 승산, 제산 및 역수를 수행하는 연산기를 IP로 설계하였다. 설계된 부동 소수점 연산 IP는 크기를 최소화하고 성능을 높인 파이프라인 구조를 갖으며 MPW로 구현 검증하였다.

### II. 본론

#### 2.1 부동 소수점 가감산기

일반적으로 부동 소수점 가감산 연산의 순서는 지수 정렬, 유효자리 가감산, 정규화, 라운딩의 4단계로 이루어진다. 보통의 부동 소수점 가감산기는 라운딩 처리를 위해 별도의 덧셈기를 사용하거나 피드백(Feedback)을 통해 유효자리의 가감산에 사용되는 가감산기를 중복 이용한다.

본 논문에서 설계한 IP는 유효자리 연산과 라운딩을 병렬로 수행하는 방법을 사용한다. 이와 같은 방법은 별도의 하드웨어 사용이 필요하지 않고, 연산을 지수 정렬, 유효자리 가감산, 정규화의 세단계로 줄일 수 있는 장점이 있다.[2] 또한 설계된 가감산기 IP는 부동

소수점 가감산기의 라운딩 방법 중 버림만을 사용하여 하드웨어의 크기를 더욱 줄였다. 이러한 특징은 설계된 부동 소수점 가감산기 IP가 휴대단말기용 3D 그래픽 가속기에 효율적으로 사용될 것으로 예상된다.

### 2.2 부동 소수점 승산기

일반적인 부동 소수점 승산 연산은 유효자리 승산과 지수 가산, 정규화의 과정으로 이루어진다. 이 때 유효자리 승산에서 사용되는 승산기의 크기 및 성능이 전체 부동 소수점 승산기의 크기 및 성능에 큰 영향을 미치게 된다. 본 논문에서 설계된 부동 소수점 승산기는 파이프라인 구조를 가지며 유효자리 승산에 사용되는 승산기의 크기를 최소화시켜 설계되었다.

### 2.3 부동 소수점 제산기

본 논문에서 설계되어진 제산기는 수렴을 이용한 제산 알고리즘을 응용하였다. 제산 알고리즘의 원리는 Division-by-Convergence 방식이며 식 1과 같다.[3]

$$Q = \frac{N}{D} = \frac{N \cdot RoR1 \cdot \dots \cdot Rm - 1}{D \cdot RoR1 \cdot \dots \cdot Rm - 1} \cong \frac{Q}{1}$$

식 1

빠른 수행과 파이프라인 구조를 이용하기 위해 정해진 수만큼의 단계를 반복해 연산된 결과를 ROM에 저장해서 참조하는 방식을 사용하였다. 또한 연산기의 ROM은 해당 연산기의 precision에서 가질 수 있는 최소의 크기를 가지도록 설계하였고 일정한 입력 패턴을 이용한 곱셈기를 사용하여 면적을 더욱 줄였다.

### 2.4 부동 소수점 역수기

3D 그래픽 처리 과정에서 수행되는 부동 소수점 제산 연산의 수는 가감산이나 승산 연산에 비해 훨씬 적지만 일정 부분에 집중적으로 사용되기 때문에 그 부분에서 병목이 일어나게 된다. 따라서 본 논문에서는 제산의 기능을 효율적으로 대체할 것으로 기대되는 역수기를 부가적으로 설계하였다. 설계된 역수기는 승산기와 함께 동작하면서 제산을 수행할 수 있다.

부동 소수점 역수기를 구현하는 알고리즘으로는 Newton-Raphson 알고리즘이 사용되었으며[3], 원하는 정밀도까지 반복 연산하게 된다. 따라서 3D 그래픽 geometry 연산 처리 속도를 높이기 위해 설계된 구조에서는 정해진 수만큼의 단계를 반복해 연산된 결과를 ROM에 저장해서 참조하는 방식을 사용하였다.

## III. 구현

각 부동 소수점 IP는 VHDL로 설계한 후 simulation 과정을 거쳐 synopsys로 합성하였고, 매그나칩 반도체의 standard cell library를 이용하여 Apollo로 Layout 하였다. Layout 되어진 IP들은 매그나칩 0.25um 공정으로 MPW 제작하여 검증하였다.

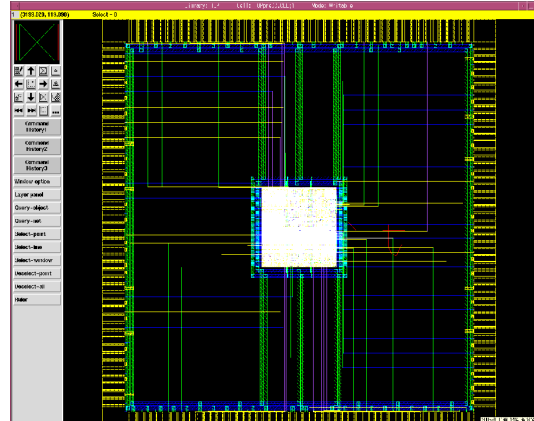


그림 1. 부동소수점 연산기의 Layout 화면

## IV. 결론 및 향후 연구 방향

본 논문에서 설계한 IP는 3차원 그래픽 가속기에 필요한 부동 소수점 가감산, 승산, 제산, 역수기이다. 본 논문에서 설계한 IP는 부동 소수점 표현 형식을 IEEE 754 단정도 형식 대신 부호 부분 1bit, 지수 부분 7bit, 유효자리 부분을 16-bit으로 하는 24-bit 부동 소수점 형식을 사용하여 소규모의 연산기를 설계하였다. 또한 OpenGL ES에서 규정되어진  $10^{-5}$ 이하의 부동 소수점 연산 오차를 만족하므로 OpenGL ES의 사용이 가능하며[4] 100MHz의 동작주파수를 가지는 것을 검증하였다. 설계된 IP는 급속히 성장하고 있는 휴대단말기 시장에 중요한 자원으로 사용될 것으로 예상된다.

감사의 글 : 본 논문은 한국전자통신연구원 SoC산업진흥센터의 부분지원과 2006년도 서울시 산학연 협력사업의 “나노IP/SoC 설계기술혁신사업단”의 부분지원으로 이루어졌습니다.

### 참고문헌

[1] Tomas Akenine-moller, Eric Haines, "REAL-TIME RENDERING", 2002.  
 [2] W. C. Park, "Floating point adder/subtractor performing IEEE rounding and addition / subtraction in parallel, IEICE Transactions, 1996.  
 [3] Israel Koren, "Computer Arithmetic Algorithms", A K PETERS, 2002.  
 [4] www.opengl.org