

작은 지터를 가지는 2단 구조의 혼성모드 DLL

*김대희, 황인석
 동국대학교 전자공학과
 e-mail : jin0183@dgu.edu, ishwang@dgu.edu

2-Stage Mixed-Mode Delay Locked Loop with Low Jitter

*Dae-Hee Kim, In-Seok Hwang
 Dept. of Electronics Engineering
 Dongguk University

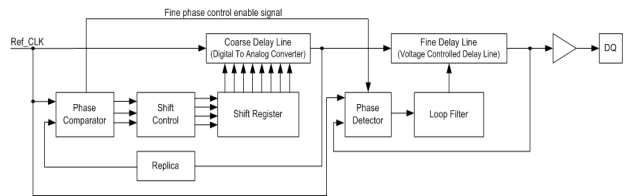
Abstract

By combining a digital DLL and an analog DLL in 2-stage, an improved DLL is implemented in this paper. The proposed DLL is composed of a RDLL (Register Controlled DLL) and a conventional analog DLL. The phase comparator used in the DLL is built with sense-amp based D flip-flops for high speed operation. The proposed DLL circuits have been designed, simulated in 0.18um, 1.8V TSMC CMOS library. The implemented DLL have demonstrated the fast lock-on time of 1us and low jitter of 72ps.

I. 서론

본 논문에서는 아날로그 DLL의 단점인 긴 Lock-on Time을 줄이면서 디지털 DLL의 단점인 지터성능을 개선하기 위하여 RDLL(Register Controlled DLL) 구조의 CDL(Coarse Delay Line)과 아날로그 DLL 구조의 FDL(Fine Delay Line)을 계층적으로 구성한 2단 구조의 혼성모드 DLL을 제안한다. 첫 번째단의 RDLL은 Lock-on Time이 open loop DLL인 SMD에 비해 느리지만 지터가 단위 지연 셀에 의해 제한을 받는 SMD보다 상대적으로 작다는 장점이 있다. 두 번째단의 아날로그 DLL은 디지털 DLL에 비해 Lock-on Time은 길지만 상대적으로 작은 지터를 가진다는 장점이 있다. 그리고 전체 시스템의 동작속도를 높이기 위해 전체 회로에 사용된 D 플립플롭을 Sense-amp based D 플립플롭으로 구현하였다. 그림 1은 제안한 2

단 구조 혼성모드 DLL의 블록도이다.



< 그림 1. 2단 구조의 혼성모드 DLL 블록도 >

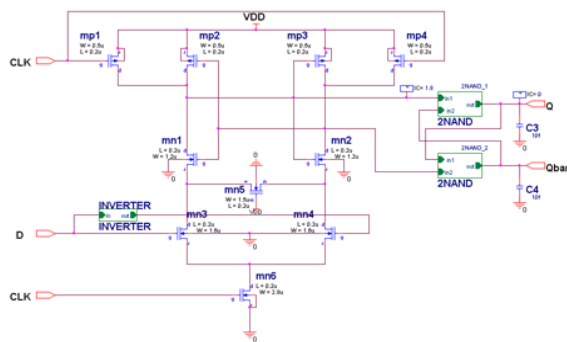
II. 제안한 DLL의 구현 및 동작

2.1 제안한 DLL의 구현

제안한 DLL은 0.18um CMOS 공정 파라미터를 이용하여 설계하였다. CDL을 구성하는 단위 지연 셀은 NAND + NAND 타입이며 단위 지연 셀 하나의 지연 시간은 62ps이다. CDL은 7개의 지연 블록으로 구성하였으며 지연 블록은 8개의 단위 지연 셀로 구성하였다. 따라서 CDL의 최대 지연 시간은 3.968ns이다. 이는 250MHz까지 잠금 범위를 보장한다. 시프트 레지스터는 마스터/슬레이브형의 D 플립플롭을 사용하여 설계하였으며 위상비교기의 제어신호에 의해 방향이 결정된다. 아날로그 DLL은 위상비교기의 Just 출력 신호에 의해 동작이 제어되며 남은 미세 클럭 스큐를 제거한다. 또한 VCDL을 선형구간에서 안정적으로 동작시키기 위해 제어전압을 1.8V로 맞추었다. 아날로그 DLL에 사용된 VCDL은 Current-starved 형태의 VCDL로 구현하였다. Current-starved 형태의 VCDL은 전력 소모가 많은 단점이 있지만 RDLL이 동작을 멈춘 후 남은 미세 클럭 스큐를 제거할 때만 VCDL이 동작하도록 설계함으로써 전력 소모를 줄일 수 있다.

2.2 Sense-amp based D 플립플롭을 사용한 위상비교기

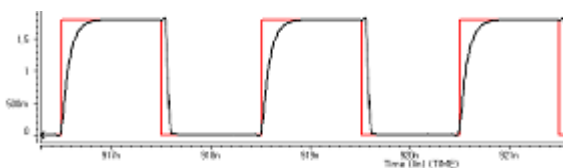
회로에 사용된 위상비교기는 Static Phase Error를 최소화하기 위해 Zero Setup Time을 가지는 고속의 플립플롭이 요구된다. 이를 위해 고속 동작에 적합한 Sense-amp based D 플립플롭을 사용하여 설계하였다. 그림 2는 RDLL내 위상비교기에 사용된 Sense-amp based D 플립플롭의 회로도이다. D 플립플롭을 sense amp로 설계하면 차동 입력전압이 변하기 시작할 때 sense amp가 동작하여 아직 비교적 작은 입력전압을 증폭시켜 Full swing 출력전압을 생성시키므로 동작속도가 증가한다. 위상비교기는 외부 클럭과 피드백 되어 돌아온 내부 클럭의 위상을 비교하여 Fast, Just, Slow 신호를 출력한다.



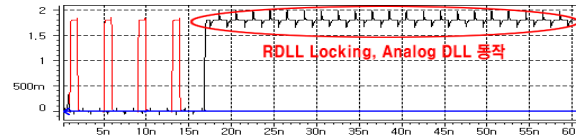
< 그림 2. Sense-amp based D 플립플롭의 회로도 >

III. 시뮬레이션 결과

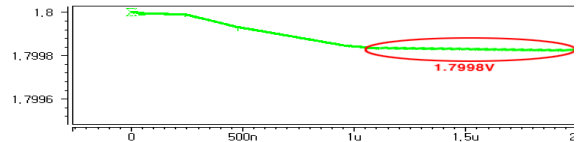
0.18um CMOS 공정 파라미터를 이용하여 시뮬레이션한 결과 제안한 DLL의 잠금 시간은 평균 1us내외로 기존 디지털 DLL에 비해 느리지만 아날로그 DLL에 비해 빠름을 확인하였다. 그림 3은 동작주파수가 500MHz일 때 동기화된 파형을 나타내며 그림 4는 위상비교기의 출력신호를 나타내고 있다. 그림 5는 제어전압의 변화를 나타내고 있으며 최종 잠금 상태일 때 제어전압은 1.7998V임을 확인하였다. 그림 6은 동작주파수가 250MHz에서 측정된 지터 히스토그램이다. pk-pk 지터는 기존 이중 루프 아날로그 DLL 수준인 72ps로 디지털 DLL의 평균적인 지터 값인 110ps에 비해 훨씬 작음을 확인하였다.



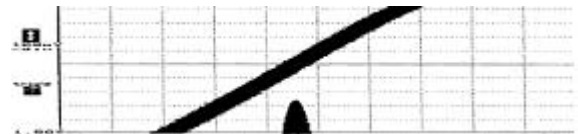
< 그림 3. 동기화된 파형 @ 500MHz >



< 그림 4. 위상비교기의 출력신호 @500MHz >



< 그림 5. VCDL의 제어전압파형 @500MHz >



< 그림 6. 지터 히스토그램 @250MHz >

IV. 결론 및 향후 연구 방향

본 논문에서는 작은 지터를 가지며 상대적으로 Lock-on Time이 빠른 2단 구조의 혼성모드 DLL을 설계하였다. 0.18um CMOS 공정 파라미터를 이용하여 시뮬레이션 한 결과 500MHz 동작 주파수에서 5사이클만에 RDLL에서 잠금상태에 이르며, 총 1us안에 완전히 동기를 이룸을 확인하였다. pk-pk 지터는 72ps이며, 전체 전력 소모는 3.6139mW, 클럭 스큐는 10.8ps임을 확인하였다. 따라서 제안한 DLL은 고속, 고해상, 저전력 구조에 적합하다.

V. 감사문

이 연구는 동국대학교 밀리미터파 신기술 연구센터를 통한 한국 과학재단의 우수 연구센터 지원금에 의하여 수행되었습니다.

참고문헌

- [1] Feng Lin et al., "A Register-Controlled Symmetrical DLL for Double-Data-Rate DRAM", IEEE JSSC, vol.34, pp.565-568, Apr. 1999.
- [2] Y. Okajima et al., "Digital delay locked loop and design technique for high-speed synchronous interface," IEICE Trans. Electron., vol. E79-C, no. 6, pp. 798-807, June 1996.
- [3] A. Hatakeyama, et. al., "A 256-Mb SDRAM using a register-controlled digital DLL," IEEE J. Solid-State Circuits, vol.32, pp. 1728-1734, Nov. 1997.