

DSP 기반의 실시간 심실세동 검출 시스템 개발

*송미혜, **장봉렬, 이경중
연세대학교 의공학과

e-mail : *song@bme.yonsei.ac.kr, **brjang@yonsei.ac.kr, lkj5809@yonsei.ac.kr

Development of Real-Time Ventricular Fibrillation Detection System based on DSP Processor

*Mi-Hye Song, **Bong-Ryeol Jang, Kyoung-Joung Lee
Department of Biomedical Engineering, Yonsei University
Center for Emergency Medical Informatics

Abstract

In this paper, we have developed a ventricular fibrillation detection system based on DSP processor. The developed system was able to detect VF in real time correctly and quickly. We compared the performance of the floating point simulation with that of fixed point simulation. The computational cost of fixed point simulation was remarkably reduced than that of floating point simulation.

I. 서론

부정맥(Arrhythmia)은 일반적으로 심전도 신호는 동방결절에서의 자극의 의한 규칙적인 수축에 의해 이루어지며, 정상적인 범위내의 빈도를 벗어나거나 정상빈도를 갖더라도 패턴상의 이상이 있을 때를 말한다[1]. 부정맥은 크게 생명을 위협하는 치명적인 부정맥(심실세동)과 아닌 것으로 구분할 수 있으며, 특히 심실세동(Ventricular Fibrillation: VF)은 심장의 무질서한 전기적 활동으로 인해 혈액공급이 중단되어 급성 심장사를 일으키는 원인이 되므로 심실세동 검출이 매우 중요하다[2]. 따라서 본 논문에서는 실시간으로 정확하고 신속하게 심실세동을 검출할 수 있는 DSP 기반의 심실세동 검출 시스템을 개발하였다.

II. 본론

본 논문에서는 TMS320C6711 DSP processor 기반의 6711 DSK 보드를 사용하였다. 심전도 신호는 DSK 보드에 내장된 TLC320AD535(AD535) codec를 이용하여 16bit, 1kHz sampling rate으로 획득하였다. 심전도 신호의 잡음을 제거하기 위해 60Hz adaptive notch filter, 45Hz 10차 FIR low pass filter, 0.75Hz 1차 IIR high pass filter를 사용하였다. 그림 1은 다양한 잡음이 섞인 심전도 신호에서 필터를 통해 잡음을 제거한 결과를 나타낸다.

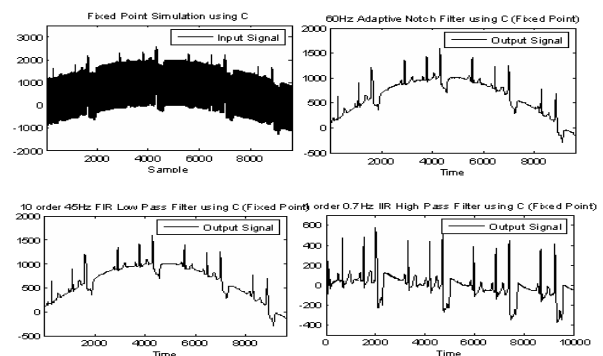


그림 1. 심전도 신호의 필터 결과

QRS complex 검출을 위해 threshold method를 사용하였으며, threshold값은 반복적인 실험을 통해 설정하였다. 심실세동의 경우, 정상심전도와 달리 QRS complex

를 확실히 구분할 수 없기 때문에 신호의 피크(peak)를 R point로 검출하였다[3]. 그림 2는 정상심전도와 심실세동의 QRS complex를 검출한 결과를 나타낸 것이다.

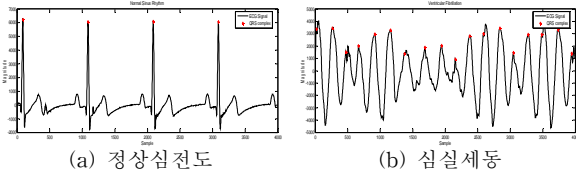


그림 2. 심전도 신호의 QRS complex 검출 결과

본 논문에서는 검출된 R point를 이후 256ms를 분석구간으로 설정하였고, 정상심전도와 심실세동을 분류하기 위한 특징점으로는 Fast Fourier Transform (FFT) 결과를 사용하였다. 정상심전도는 20Hz까지의 심전도 주파수 성분이 선형적으로 감소하지만, 심실세동은 거의 대부분의 주파수 성분이 4Hz 대역 근처에 분포하고 있는 특징을 바탕으로, 0~4, 4~8, 8~12 사이의 FFT 크기의 합을 특징점으로 추출하였다. FFT로부터 추출된 특징점을 이용하여 정상 심전도와 심실세동을 구분하기 위해 Fisher Linear Discriminant (FLD)를 사용하였다. FLD는 식(1)과 같고, 여기서 $W = [0, -0.000047111, 0.0026433, 0.00170762]$, $b = -0.9337$ 이다. 수식에 의해 계산된 값이 0보다 크면 정상심전도로, 0보다 작으면 심실세동으로 분류하였다.

$$\begin{aligned} <w \cdot x_i> + b \geq 0, & y_i = 1 \\ <w \cdot x_i> + b < 0, & y_i = 2 \end{aligned} \quad \text{식(1)}$$

III. 결과 및 고찰

본 논문에서는 실시간으로 수행되는 결과를 확인하게 하기 위해 LED와 320*240 TFT LCD를 사용하였다. 또한 부저를 통해 심실세동이 발생했을 경우, 알람을 울리도록 하여 보다 효율적으로 결과를 확인할 수 있도록 하였다. 그림 3은 심전도 신호를 LCD를 통해 나타낸 것으로서 정상심전도는 LCD 우측 상단에 파란색 하트로, 심실세동은 부저의 알람과 함께 빨간색 하트로 표시하였다.

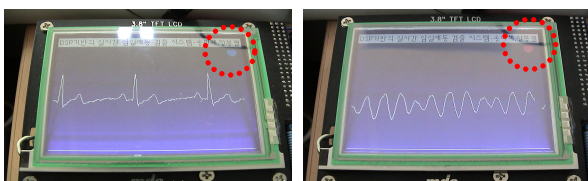


그림 3. 실시간 심실세동 검출 결과

알고리즘의 수행시간을 비교해보기 위해, Floating simulation, 최적화 전·후의 Integer simulation을 수행해 보았다. Integer simulation의 경우 최적화 전·후 모두가 Floating simulation clock 수보다 적게 소비됐다. Integer simulation의 경우 최적화를 수행한 프로그램이 최적화를 수행하지 않은 프로그램의 약 1/5 정도 clock 수를 사용하였다. 따라서 Integer simulation이 가장 최적의 성능을 보임을 확인할 수 있었다. 표 1은 최적의 성능을 보이는 Integer simulation 알고리즘의 각 함수별로 수행되는 clock수와 소비시간을 나타낸 것이다. 소비시간은 시스템의 메인 클럭을 150MHz로 하여 계산된 결과이다.

표 1. 알고리즘 수행 클럭 수 및 시간

Areas	clock	time (ms)
main()	135042	0.90028
initial_loop()	41	0.00027
adaptive_filter()	44	0.00029
FIR_Lowpassfilter()	104	0.00069
IIR_highpassfilter()	30	0.0002
QRScomplex_detection()	32	0.00021
Classifier_Loop()	23	0.00015
FFT()	38174	0.25449

IV. 결론

본 논문에서는 실시간으로 정확하고 신속하게 심실세동을 검출할 수 있는 DSP 기반의 심실세동 검출 시스템을 개발하였다. 개발된 시스템은 사용자가 보다 쉽고 편리하게 획득된 심전도 신호 및 분석 결과를 확인할 수 있도록 설계되었다.

ACKNOWLEDGMENT

This study was supported by a grant of the Korea Health 21 R&D Project, Ministry of Health & Welfare, Republic of Korea. (02-PJ3-PG6-EV08-0001)

참고문헌

- [1] 윤형로, "실시간 부정맥 검출을 위한 컴퓨터 시스템에 관한 연구", 연세대학교 박사학위논문, 1985.
- [2] 성홍모, "시-주파수 분석을 이용한 심실세동시 심전도 분석을 통한 제세동 예측에 관한 연구", 연세대학교 박사학위논문, 2004.
- [3] R. H. Clayton et al, "Comparison of four techniques for recognition of ventricular fibrillation from the surface ECG", Medical & Biological Engineering & Computing, pp.111-117, 1993.