

94.8dB의 SNR을 갖는 1-bit 4차 고성능 델타-시그마 모듈레이터 설계

*최영길, 노형동, 변산호, 이현태, 강경식, 노정진
한양대학교 전자컴퓨터공학부
e-mail : goghyk@ihanyang.ac.kr

Design of a 94.8dB SNR 1-bit 4th-order high-performance delta-sigma Modulator

*Youngkil Choi, Hyungdong Roh, Sanho Byun, Hyuntae Lee,
Kyoungsik Kang, Jeongjin Roh
School of Electrical and Computer Engineering
Hanyang University

Abstract

High performance delta-sigma modulator is developed for audio-codec applications(i.e., 16-bit resolution at a 20kHz signal bandwidth). The modulator is realized with fully-differential switched capacitor integrators. All stages employ a single-stage folded-cascode amplifier. The presented delta-sigma modulator when clocked at 3.2MHz achieves 85.2dB peak-SNDR and 94.8dB SNR. This modulator is designed in a SAMSUNG 0.18 μ m CMOS process. Finally, this paper shows the test setup and FFT result gained from delta-sigma modulator chip designed for audio applications.

I. 서론

본 논문에서는 4차 single-loop 델타-시그마 모듈레이터를 제시한다.[1] 루프 필터는 피드백 패스와 피드포워드 패스로 이루어져 있다. single-loop은 2차 이상으로 구현될 경우에 안정성면에서 문제가 발생하게 된다. 이러한 문제점은 behavioral simulation을 통하

여 각각의 모듈레이터의 루프 계수들을 조정함으로써 해결할 수 있다. 본 논문에서는 single-loop 구조의 장점을 이용하여 64의 OSR로 최대 94.8dB의 SNR을 갖는 모듈레이터를 설계하였다. <그림 1>은 본 논문에서 제시한 1-bit 4차 모듈레이터의 블록도이다.

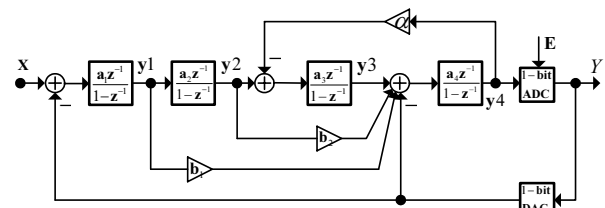


그림 1. 1-bit 4차 모듈레이터의 블록도

II. 본론

본 논문에서 설계된 모듈레이터는 fully differential switched capacitor 회로로 구성되어 있다. fully differential 기법은 신호의 스윙이 두 배가 되며, Dynamic range를 증가시켜주는 장점이 있다. 적분기 내부에는 전압이득 및 슬루율을 극대화하기 위하여 folded cascode op-amp를 사용하였다. op-amp를 Hspice로 시뮬레이션 한 결과 23MHz의 unity gain frequency와 73dB의 DC gain, 그리고 80도의 Phase margin이 나타났다. 본 논문의 모듈레이터에서 사용된

퀀타이저는 입력에 의한 출력의 에러가 발생하지 않도록 설계되었으며, 퀀타이저 뒷부분에 사용된 래치는 퀀타이저에서 비교된 데이터를 저장해두는 공간으로써 사용된다. non-overlapping 신호를 발생하는 클럭 발생기에는 버퍼와 커패시터를 사용하여 시간 지연을 발생하였으며, 공정상의 에러를 대비하여 버퍼 사이에 non-overlapping 신호를 최대한 보장해 줄 수 있도록 100fF 커패시터와 NMOS 스위치를 추가하였다. 1-bit DAC에 사용되는 기준 전압은 각각 VCC와 VSS를 사용하였다.

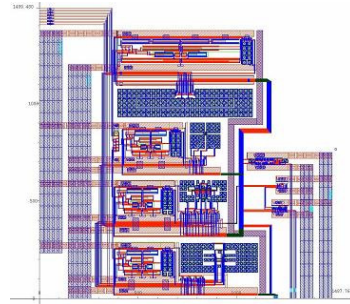


그림 2. 모듈레이터의 Layout

III. 구현

<그림 2>는 본 모듈레이터의 Layout 사진이며, Core 사이즈는 0.89mm*1.38mm로 설계되었다. Layout 사진 내의 중앙이 각각의 적분기를 나타내며, 우측에 퀀타이저 및 클럭 발생기가 위치되어 있다. 본 논문에서 설계된 모듈레이터는 삼성 0.18 μ m 공정을 통하여 fab-out 되었으며, <그림 3>에서 보는 바와 같이 보드 우측 하단의 칩으로 구현되어 있다. <그림 3>의 PCB(printed circuit board)는 칩의 성능을 테스트하기 위하여 설계한 테스트 보드이며, 입력 버퍼 단을 위해 op-amp를 사용하였다. 입력으로는 Audio precision 장비인 SYS-2712에서 나오는 balanced input을 사용하였다. 6.25kHz의 주파수 성분과 -10dBFS 입력으로부터 얻은 peak SNDR은 85.2dB이며, 이때의 SNR은 94.8dB이다. <그림 4>는 -10dBFS의 입력이 인가되었을 때 얻은 FFT 파형이다. <표 1>은 측정 결과를 도식화 하여 보여준 것이다.

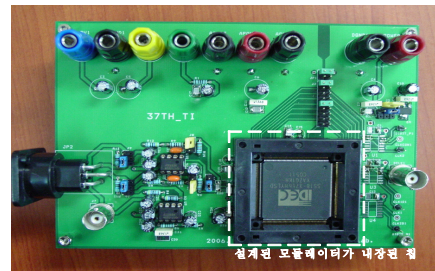


그림 3. 칩의 성능을 테스트하기 위한 보드

표 1. 측정 결과표

Specification	Value
Number of orders	4
Oversampling ratio	64
Signal bandwidth	22.05 kHz
Clock frequency	3.2 MHz
Peak SNDR	85.2 dB
Peak SNR	94.8 dB
ENOB	13.9 bits
Supply voltage	3.3 V
Core area	0.89mm x 1.38mm
Power dissipation	< 6.2mW

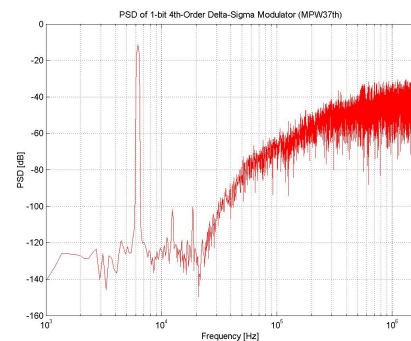


그림 4 측정된 FFT 결과 (16384샘플)

IV. 결론 및 향후 연구 방향

본 논문에서는 설계가 간단한 single-loop 구조를 사용하여 오디오 코덱에 적합한 94.8dB의 SNR을 갖는 고해상도의 모듈레이터를 설계하였다. 또한 테스트 보드를 통해 검증된 칩은 휴대용 통신기기 등의 오디오 용 ADC로써 사용 될 수 있는 성능을 보여주었다.

참고문헌

[1] Abdulkarim L. Coban and Phillip E. Allen, A New Fourth-Order Single-Loop Delta-Sigma Modulator for Audio Application, IEEE J. of Solid-State Circuits, vol.39, pp.3-14, January 2004