

MUX를 사용한 H.264용 저전력 디블로킹 필터 구조

*박진수, 한규훈, 오세만, 장영범
상명대학교 정보통신공학과

e-mail : gmpark@smu.ac.kr, honggu18@smu.ac.kr, ziza@smu.ac.kr, ybjang@smu.ac.kr

Low-power Structure for H.264 Deblocking Filter Using Mux

*Jin-Su Park, kyu-hoon Han, Se-Man Oh, Young-Beom Jang
Department of Information and Telecommunication Engineering,
Sangmyung University

Abstract

In this paper, a low-power deblocking filter structure for H.264 video coding algorithm is proposed. By sharing addition hardware for common filter coefficients, we have designed an efficient deblocking filter structure. Proposed deblocking filter utilizes MUX and DEMUX circuits for input data sharing and shows 44.2% reduction for add operation. In the HDL coding simulation and FPGA implementation, we achieved 19.5% and 19.4% gate count reduction, respectively, comparison with the conventional deblocking filter structure.

I. 서론

최근 동영상의 압축방법으로 H.263과 H.264의 표준방식이 널리 사용되고 있다.[1] 이와 같은 부호화기들은 블록 기반의 압축방식을 사용하고 있으며, 특히 저비트율로 압축을 수행할 경우에 블록간의 경계가 보이는 블로킹 현상(blocking artifacts)이 발생한다.[2] H.264 표준 부호화기에서는 블로킹 현상을 제거하기 위하여 디블로킹 필터를 사용하고 있다. 디블로킹 필터에는 루프 필터(loop filters) 방식을 사용한다.[3] 코딩 루프 안에서 동작하는 루프 필터 방식은 후처리 필터 방식과 비교하여 여러 가지 장점을 갖고 있으며 H.264 표준 부호화기에서도 이와 같은 루프 필터 방식의 디블로킹 필터를 사용하고 있다. 이와 같은 디블로킹 필터의 연산량은 전체 복호기 연산량의 10~20%를 차지하므로 저전력 구현이 요구되고 있다.[4] 이 논문에서는 H.264에 사용되는 루프 필터 방식의 디블로킹 필터를 효율적으로 구현하는 저전력 구조를 제안한다.

II. 본론

H.264에서는 16×16 luma 블록과 8×8 chroma 블록에 대하여 디블로킹 필터를 사용한다. 이와 같은 블록에서 4개 픽셀

마다의 수직경계와 수평경계에서 디블로킹 필터를 수행하게 된다. luma 블록에는 각각 4개의 수직경계와 수평경계가 있으며 chroma 블록에는 각각 2개의 수직경계와 수평경계가 있다. 경계면에서 항상 같은 필터링이 적용되는 것이 아니라 조건에 따라 5 가지의 필터링이 사용되며 사용되는 조건 및 필터 종류는 표준에 나와 있다.[1] 먼저 bS=4의 필터의 사양을 알아보기로 한다. bS=4 모드에서 다음의 (1)을 만족하는지 검사한다.

$$\begin{aligned} |p_2 - p_0| < \beta, |q_2 - q_0| < \beta, \\ |p_0 - q_0| < ((\alpha \gg 2) + 2) \end{aligned} \quad (1)$$

이 조건을 만족하면 (2)의 필터링을 수행한다. (2)는 오직 덧셈연산으로 필터링을 수행할 수 있다. 예를 들면 식 (2)의 P_0 를 계산하기 위해서 5개의 덧셈연산이 필요하다. 또한 3의 곱셈연산도 1개의 쉬프트 연산과 1개의 덧셈연산으로 구현될 수 있다. 따라서 (2)을 구현하기 위하여 총 30개의 덧셈연산이 필요하게 된다. 이와 같은 덧셈연산의 수를 감소시키기 위하여 우리는 다음과 같은 방식을 제안한다. 먼저 P_2, Q_2 를 식 (2)에서 직접 구현하면 각각 6개씩 12개의 덧셈연산이 필요하다. 그러면 이제 P_2, Q_2 를 (3)와 같이 나타내 보자.

$$\begin{aligned} P_0 &= (p_2 + 2p_1 + 2p_0 + 2q_0 + q_1 + 4) \gg 3 \\ P_1 &= (p_2 + p_1 + p_0 + q_0 + 2) \gg 2 \\ P_2 &= (2p_3 + 3p_2 + p_1 + p_0 + q_0 + 4) \gg 3 \\ Q_0 &= (p_1 + 2p_0 + 2q_0 + 2q_1 + q_2 + 4) \gg 3 \\ Q_1 &= (p_0 + q_0 + q_1 + q_2 + 2) \gg 2 \\ Q_2 &= (2q_3 + 3q_2 + q_1 + q_0 + p_0 + 4) \gg 3 \end{aligned} \quad (2)$$

P_2, Q_2 를 구현하는데 6개의 덧셈연산이 필요하게 되어 12개에서 6개로 줄일 수 있다. 이제 P_1, Q_1, P_0, Q_0 도 덧셈연산 수를 감소시키기 위하여 (3)와 같은 방법으로 나타낼 수 있다.

$$[P_2 \ Q_2] = \left\{ \begin{bmatrix} 2 & 3 & 1 & 1 & 1 \\ 2 & 3 & 1 & 1 & 1 \\ 2 & 3 & 1 & 1 & 1 \\ 2 & 3 & 1 & 1 & 1 \\ 2 & 3 & 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} p_3 & q_3 \\ p_2 & q_2 \\ p_1 & q_1 \\ p_0 & q_0 \\ q_0 & p_0 \end{bmatrix} + [4 \ 4] \right\} \begin{bmatrix} 0.125 & 0 \\ 0 & 0.125 \end{bmatrix} \quad (3)$$

지금까지 제안한 $P_0, Q_0, P_1, Q_1, P_2, Q_2$ 을 덧셈기, 쉬프트, MUX와 DEMUX를 사용하여 구현한 구조는 그림 1와 같다. 그림 1에서 보듯이 제안된 bS=4의 필터구조를 사용한 결과, 36개의 덧셈연산을 18개로 줄일 수 있었다. 부가적으로 6개의 MUX 회로와 4개의 DEMUX 회로가 사용됨을 알 수 있다. 그러나 이는 덧셈연산의 감소량과 비교하여 구현면적이 상대적으로 매우 작다.

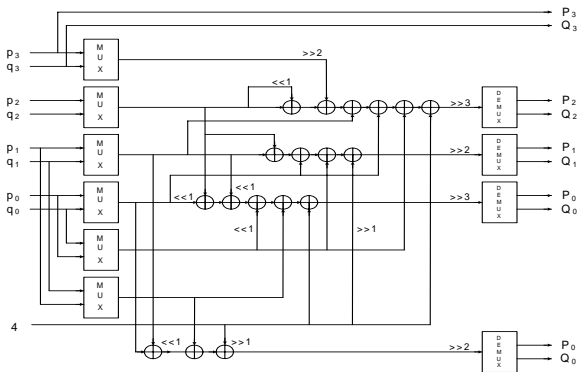


그림 1. 제안된 bS=4 필터 구조

위와 같은 방식으로 bS=1/2/3 모드에 대해서도 나타낼 수 있다. 지금까지 제안된 bS=4와 bS=1/2/3 필터 구조를 통하여 총 52개의 덧셈연산을 29개로 감소시킬 수 있었다. 이는 44.2%의 덧셈연산 감소를 의미한다. 다음 절에서는 모드 결정의 하드웨어를 포함한 전체 디블로킹 필터를 FPGA코드로 구현하여 제안된 구조의 실용성을 알아보기로 한다.

III. 구현

제안된 구조를 HDL로 시뮬레이션하여 구조의 효과를 검증하고 FPGA로 구현한다. 구현에 사용된 Device는 Xilinx사의 spartan2 xc2s200을 사용하였다. 시뮬레이션 입출력은 그림2에 나타나있다. FPGA 게이트 카운트의 결과 기존구조와 비교하여 표1에 나타난 것처럼 19.4%의 감소 효과를 얻었다. 기존 구조보다 칩 면적이 감소했다는 것을 구현결과로 알 수 있다.

표 1. 제안된 디블로킹 필터의 FPGA 게이트카운트

구분	기존구조	제안구조
필터 회로	10,129	8,003 (79.3%)
제어 및 모드결정 회로	869	872
Total	10,998	8,875 (80.6%)

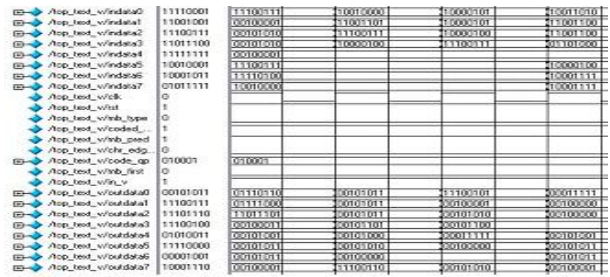


그림 2. 제안구조를 적용한 Deblocking filter의 Verilog-HDL simulation 결과.

IV. 결론 및 향후 연구 방향

H. 264의 encoder와 decoder에서 사용되는 디블로킹 필터의 저전력 구조를 제안하였다. 필터회로에 대하여 덧셈연산의 수를 감소시킨 저전력 구조를 제안하였다. 제안된 필터회로는 기존의 구조와 비교하여 44.2%의 덧셈연산 감소효과를 나타내었다. 또한 제안된 필터회로와 전체 디블로킹필터를 Verilog-HDL 코딩하여 비교한 결과, 기존의 구조와 비교하여 19.5%의 게이트 카운트 감소효과를 나타내었다. 마지막으로 제안된 필터회로와 전체 디블로킹필터를 FPGA로 구현하여 비교한 결과, 기존의 구조와 비교하여 19.4%의 게이트 카운트 감소효과를 얻었으며, 이는 Verilog-HDL 실험과 매우 유사한 결과이다. 시뮬레이션과 FPGA 구현을 통하여, 제안된 디블로킹 필터 구조는 H.264용 SoC에 사용될 수 있는 효과적인 구조임을 보였다.

참고문헌

- [1] Draft ITU-T recommendation and Final Draft International Standard Of Joint Video Specification (ITU-T Rec. H.264/ISO/IEC 14496-10 AVC), Mar. 2003.
- [2] B. Jeon, et al, "Blocking artifacts reduction in image coding based on minimum block discontinuity criterion," IEEE Trans. Circuits and Systems for Video Technology, Vol. 8, no. 3, pp. 345-357, Jun. 1998.
- [3] P. List, A. Joch, J. Lainema, G. Bjontegaard, and M. Karczewicz, "Adaptive deblocking filter," IEEE Trans. Circuits and Systems for Video Technology, Vol. 13, no. 7, pp. 614-619, Jul. 2003.
- [4] Y. Huang, T. Chen, B. Hsieh, T.Wnag, T. Chang, and L. Chen, "Architecture design for deblocking filter in H.264/JVT/AVC," Proceedings of International Conference on Multimedia and Expo, pp. 693-696, 2003.