

64QAM 변/복조 시스템에서의 PLL 위상 잡음 특성에 의한 성능 열화에 관한 연구

*장상현 *이일규 **류성렬 **오승엽 ***이종현
 *공주대학교 **충남대학교 ***제주대학교
 *peters@kongju.ac.kr

A Study on the performance degradation of 64 QAM mod/demodulation system by PLL phase noise characteristic

*Sang-hyun Chang *Il-kyoo Lee **Seong-ryeol Ryu **Seung-hyeub Oh ***Jong-hyun Lee
 *Kongju National Univ. **Chungnam National Univ. ***Jeju National Univ.

요 약

본 논문에서는 64 QAM 변/복조 시스템에서 성능 열화에 영향을 미치는 Phase Locked Loop(PLL) 누적 위상 잡음 특성을 분석하였다. 특히 매트랩(Matlab)에 기반을 둔 시뮬레이터를 이용하여 PLL의 구성 요소별 위상 잡음 특성을 분석하고 각 구성 요소의 성능 개선 요구사항을 파악하였다. 이를 바탕으로 64 QAM 변/복조 시스템 성능 요구 규격을 만족하기 위한 PLL의 구성 요소인 VCO(Voltage Controlled Oscillator), 위상 검출기, Divider 등의 위상 잡음 관련 성능 요구 규격을 제시하였다.

I. 서 론

Rate)값은 식 (1)을 통해 구할 수 있다.

현재 Phase Locked Loop(PLL)는 디지털 신호들로부터 clock 회복, 위성송신 신호로부터 carrier 회복, 주파수와 위상의 변/복조 수행, 수신기 동조를 위한 주파수를 합성하는 등 주로 통신응용에 사용되고 있다[1].

효율적인 송수신 시스템 개발을 위해서는 무엇보다도 RF(Radio Frequency) 송수신 시스템의 기능과 성능에 대한 시스템 파라미터 분석이 우선적으로 요구된다. 특히 RF 성능 파라미터 중에서 위상 잡음(Phase noise)에 의한 64 QAM 이상 변/복조 시스템에서의 성능 열화와 이에 따른 성능 개선 요구 사항 등이 정확히 파악 되어야만, 실제 송수신 시스템 단말기를 설계 및 제작이 가능하게 되는 것이다[2][3][4][5].

본 논문에서는 64 QAM 이상의 변/복조 시스템 성능 요구 규격을 만족시키는 누적 위상 잡음 값을 구하고 이를 바탕으로 PLL 주파수 합성기(PLL Synthesizer)의 구성 요소별 위상 잡음의 특성을 분석하고 모델링 하는 방법이 제시되며, Matlab을 이용한 위상잡음 시뮬레이션을 통해 PLL의 누적 위상 잡음 특성을 분석하고, 64 QAM 변/복조 시스템 성능 요구 규격을 만족시키는 PLL 구성 요소들의 위상 잡음 관련 성능 요구 규격을 도출하였다.

II. PLL 누적 위상 잡음 요구 규격 도출[6]

64 QAM 변/복조 시스템에서 이론적 BER(Bit Error

$$P(S/N) = \frac{1 - \left[1 - 2 \left(1 - \frac{1}{\sqrt{M}} \right) Q \left(\sqrt{\frac{3S/N}{M-1}} \right) \right]^2}{\log_2 M} \quad (1)$$

식 (1)에서 M은 M-QAM을 의미하며, S/N은 신호대 잡음비를 의미한다. 그림 1은 누적 위상 잡음 값 -60 dBc를 64 QAM으로 변조된 Data에 인가한 BER에 따른 SNR Loss를 나타낸다.

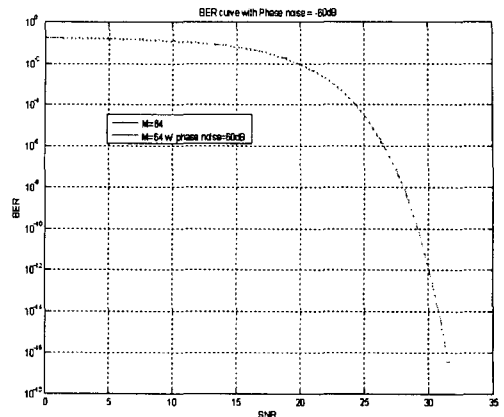


그림 1. 누적 위상 잡음이 -60 dBc 일 때 64 QAM의 BER 성능