

# NLMS 적응 필터의 FPGA 구현에 적합한 효율적인 정수 나눗셈 알고리즘

홍승모, 김종훈  
숭실대학교

\*72alex@dreamwiz.com, chkim@ssu.ac.kr

## An efficient integer division algorithms for NLMS Adaptive filter Implementation in FPGA

Seungmo Hong, Chonghoon Kim  
Soongsil University

### 요 약

본 논문에서는 NLMS 적응알고리즘의 정수 연산 구현에 적합한 정수 나눗셈 알고리즘을 제안하였다. 제안된 알고리즘은 Look-up Table(LUT)과 곱셈기를 사용하며, 반복계산(Iteration)에 적합한 구조로 메모리와 곱셈기가 탑재된 Field Programmable Gate Array(FPGA)에 대단히 효율적으로 구현될 수 있다. 또한 출력 값을 구하기 위한 연산 횟수가 일반적으로 알려진 뿔셈 또는 뿔셈-곱셈에 의한 나누기 알고리즘에 비해 매우 적으며 LUT 메모리의 값을 외부에서 설정할 수 있는 기능을 가지고 있어 Latency 가 적은 고속의 NLMS 적응알고리즘을 FPGA 에 효율적으로 구현할 수 있다.

### I. 서론

최근 DSP 프로세서의 발달로 적응 필터와 같은 복잡한 알고리즘을 쉽게 구현할 수 있게 되어 다양한 분야에 활용되고 있다. 그러나 수십 MPS(Mega Samples per Second)이상의 속도를 가지는 데이터에 대해서는 아직 DSP 프로세서를 적용하지 못하고 있으며 이러한 경우 FPGA 를 사용하여 구현하고 있다. FPGA 는 고속화와 고집적화가 병행되어 고속 데이터 처리에 적합하게 발전되어 왔으며 최근에는 다수의 메모리와 곱셈기 및 누산기가 내부에 탑재되어 DSP 의 여러 알고리즘들을 손쉽게 구현할 수 있는 구조의 FPGA 가 일반화 되고 있다.

본 논문에서는 NLMS 적응 필터의 FPGA 구현에 적합한 양의 정수 나눗셈 알고리즘을 제안하였다. 제안된 알고리즘을 LUT 와 곱셈기를 사용하므로 메모리와 곱셈기가 별도로 탑재된 FPGA 에 구현할 경우 소요 Gate 수를 최소화 할 수 있으며 기존의 알고리즘 보다 Latency 가 적어 고속의 NLMS 알고리즘 구현에 대단히 적합하다.

NLMS 적응 알고리즘[1]에서 필터 계수 벡터  $W$  의 Tap-weight 적응 식은 다음과 같다.

$$W_{k+1} = W_k + \frac{\mu e_k X_k}{\varepsilon + X_k^T X_k} \quad (1)$$

여기서  $\mu, \varepsilon$  는 상수이고  $e_k = d_k - y_k$  는 기준신호  $d_k$  와

적용필터의 출력  $y_k = W_k^T X_k$  와의 오차이며  $P_k = X_k^T X_k$  는 필터 내의 각 탭의 신호의 전력이다. 적응 알고리즘 연산 중 나눗셈 연산시 정수 연산으로 구현하기 위해서는 양수의 나눗셈 과정이 필요하다. 따라서 (1.1) 식에서 정수연산으로 구현하기 위해서는 밑에 나와있는

두 식 양수의 나눗셈과정이다. 양의 정수  $Y$  를 양의 정수  $X$  로 나눌 때 몫을  $Q$  라 정하면 식 (2) 관계로 정의할 수 있다. 여기서  $X, Y$  는 각각  $N$ -bit 양의 정수이며  $X$  의 역수는 1 보다 작으므로 정수연산이 불가능하다.

$$Q' = Y \times \text{INT}\left(\frac{2^{M-1}}{X}\right) \quad (2)$$

$$Q = \text{INT}\left(\frac{Q'}{2^{M-1}}\right)$$

식(2)에  $M$  은 작은 수의 분모에 의한 정밀도(precision) 소실을 방지하기 위해 필요하며 그 값이 클수록 정확한 답을 얻을 수 있으나 그에 따른 구현에 필요한 논리회로의 수가 증가한다. 또한 이 계산에서  $X$  의 역수 값은  $Y$  값의 관계없이 항상 일정하므로 메모리에 미리  $2^{M-1}/X$  값을 넣은 LUT(Look-up Table)을 만들어 그 출력값과  $Y$  값을 곱하면 나눗셈의 결과를 쉽게 얻을 수 있다. 그러나 이때  $N$ -bit 의 입력에 필요한 메모리의 용량은  $2^M$  이므로  $N$  이 커질 경우 요구되는 메모리의 용량이 많아지는 단점이 발생한다.

따라서 본 논문에서는  $N$ -bit 의 입력에 대하여  $N$  보다 작고  $N/2$  보다 큰  $L$ -bit( $N > L > N/2$ )의 LUT 로 나눗셈을 수행하는 알고리즘을 제안한다.

### II. 본론

#### II-1. 정수 역수 알고리즘

본 논문에서 제안된 나눗셈 알고리즘의 요지는 양수 역수 계산 알고리즘이다. 어드레스가  $L$ -bit 이고 데이터가  $M$ -bit 인 LUT 에  $L$ -bit 입력  $X_L$  에 대한  $M$ -bit 출력값  $L[X_L]$ 이 다음과 같은 값이 되도록