

레지스터 교환 방식을 사용하는 비터비 복호기의 구현

*채수창, **김영일

전자통신연구원

*schae@etri.re.kr, **yikim@etri.re.kr

An Implementation of Register Exchange Viterbi Decoder

*Su-Chang Chae, **Young-Il Kim

ETRI

요 약

본 논문은 레지스터 교환 방식을 사용하는 비터비 복호기의 메모리를 효율적으로 구현하는 새로운 방법에 대하여 제안한다. 일반적으로, 레지스터 교환 방식의 비터비 복호기는 복호 길이에 따라서 사용되는 메모리가 커진다. 본 논문은 레지스터 교환 방식의 비터비 복호기에서 사용되는 메모리의 크기를 감소할 수 있는 방법에 대하여 기술한다. 복호 길이에 상관없이 메모리 크기를 48로 최적화 하고, 따라서 단지 $48 \times 2^{K-1}$ (여기서 K는 구속장이다.)의 레지스터 크기만을 사용하는 레지스터 교환 방식의 비터비 복호기의 새로운 하드웨어, 아키텍처를 제안한다.

그리고 우리는 역추적 방식의 비터비 복호기와 같이 레지스터 교환 방식의 비터비 복호기의 BER 성능을 개선하고자 한다. 레지스터 교환 방식의 비터비 복호기의 BER 성능을 개선하기 위하여 우리는 테일 바이팅(Tail-Biting) 부호화 방식에서 사용하는 복호 방식을 이용하기로 한다. 그리하여 본 논문에서는 [1]에서 나타난 성능 보다 대략 0.5dB 이상 개선하였다.

또한, 본 논문은 K=7, 부호율 1/2 그리고 복호 깊이 수는 48을 사용하여 역 추적 복호 방식의 지연시간에 비하여 1/(2.5x 복호 길이)로 복호 지연 시간이 감소한다.

1. 서론

비터비 복호 알고리즘은 1967년에 비터비에 의하여 발견된 것으로서 길쌈 부호화에 대한 대표적인 복호 방식이다[2]. 비터비 복호 방법은 Maximum likelihood(ML) 복호 알고리즘을 수행한다. 일반적으로, 길쌈 부호화에 대하여 트렐리스를 종료하는 과정은 두 가지 방식이 있다. Tail bits 방식과 Tail-Biting 방식이 그것이다. Tail bits 방식은 부호기의 메모리 길이 m의 수 만큼 '0' 값을 채워서 메모리의 상태 값이 모두 0으로 종료하도록 zero tail bits를 사용하는 것이다. 그리고 tail-biting 방식에서는 부호기의 메모리를 '0' 값으로 채우는 대신에 데이터 블록의 마지막 m 비트를 사용하여 초기화한다. Tail-biting 방식은 '0'(zero) 값을 사용하는 zero tail bits 방식 보다 전송하는 유효 비트 수를 증가시키는 장점이 있다. 이것은 통신 시스템에서 대역 폭을 결정할 때 상당히 중요한 것일 수 있다. 그러나, Tail-biting 부호에 대하여 ML 복호가 수행되면, 동일한 구속장 길이에서 zero tail bits 부호보다 복호 성능은 약 0.75dB가 감소한다[3]. Tail-biting 부호의 복호기의 복잡도는 또한 2^m 에 의하여 증가하게 된다. 더욱이, [4]에서는 이들 두 가지 방식에 대하여 상세한 비교를 수행 하였는데 sub-optimal 복호 방법을 사용한 tail-biting은 tail bits 보다 상대적으로 0.1dB의 성능이 우수하게 나타난다. Sub-optimal tail-biting 복호기는 tail bits을 사용한 것보다 대략 2배 정도의 복잡도가 고려된다.

일반적으로, 비터비 복호 알고리즘을 사용하여 복호 비트를 추출하는 방식으로 두 가지가 사용된다. 레지스터 교환 방식(Register Exchange; RE)과 역추적(Trace Back; TB) 방식이다. RE 방식은 역 추적과정이 필요 없이 순 방향만 복호 과정을 수행한 후에 복호 비트(Decision bits)를 포함하는 레지스터와 다중화기(multiplexer)를

사용하여 복호된 비트(decoded bits)를 구한다. 일반적인 RE 복호기의 복호 지연시간(latency)은 역추적 복호기의 1/2로 감소한다. 그러나 RE 복호기에서 사용되는 레지스터는 복호길이에 따라서 큰 메모리가 요구된다. 또한, 교환 레지스터들은 레지스터의 값들을 갱신하기 위하여 매 클럭 사이클에서 거의 모든 비트들이 변화된다. 이것은 전력 소모를 유발시킨다. [1]에서는, 하나의 레지스터 값을 다른 레지스터로 이동하는 대신에 "pointer" 개념을 적용하여 하나의 레지스터 값의 포인터를 다른 레지스터 값의 포인터로 변화시킨다. 그래서 23%의 전력 감소를 얻는다고 한다.

그러나, 일반적으로 RE 복호기의 BER(Bit Error Performances) 성능은 TB 복호기의 성능보다 열화 된다. [1]의 RE 복호기의 BER 성능은 대략 6.3dB의 신호대 잡음비(Eb/No)에서 10^{-5} 의 오류 확률이 나타나고, 대략 6.1dB에서의 TB 복호기는 10^{-5} 의 오류 확률을 나타낸다.

본 논문은 짧은 복호 지연시간, 높은 BER 성능 그리고 효율적인 메모리 관리를 가지는 RE 비터비 복호기의 새로운 구현 방법에 대하여 제안한다. RE 비터비 복호기에서 교환 레지스터는 보통 복호 길이에 따라서 메모리의 크기가 커지게 된다. 그래서 우리는 RE 비터비 복호기에서 사용되는 교환 레지스터의 크기를 감소하도록 한다. 우리는 복호 길이에 상관없이 교환 레지스터의 크기를 48로 최적화하고 RE 비터비 복호기에서 사용되는 전체 메모리 크기는 단지 $48 \times 2^{K-1}$ (여기서 K는 구속장이다.)을 사용하여 새로운 하드웨어 구조를 가지는 RE 비터비 복호기를 제안한다.

더욱이, RE 비터비 복호기의 BER 성능을 개선하기 위하여 우리는 tail-biting 부호화 방식에 대한 복호 성능을 개선하기 위해서 TB 비터비 복호기에서 사용하는 sub-optimal 복호 방식을 적용한다. 그래서 우리는 [1]의 BER 성능 보다 0.5dB가 더 개선 됨을 보인다. 또한,