

Galileo 수신기 신호추적 성능 분석

Performance Analysis of Signal Tracking of Galileo Receiver

고종명, 임성혁, 지규인*
(Jong-Myeong Ko, Sung-Hyuck Im, Gyu-In Jee)

Abstract : Advent of the new European satellite positioning system, Galileo will result in development of new satellite receivers such as, GPS/Galileo dual mode receiver. Furthermore, a new GNSS satellite receiver would be required to be self-reconfigured to certain navigational environments like, indoor, high interference, integrity, etc. In this paper, design and implementation issue of a FPGA based flexible GNSS receiver which gets navigation solution using L1 band signals of GPS and Galileo simultaneously is addressed.

Keywords: GPS, GNSS, Galileo, SOPC, Dual Mode

I. 서론

일반적인 GNSS 수신기의 구조는 [그림 1]과 같이 RF front end, DA 변환기, 다 채널 상관기, 마이크로 프로세서 등으로 구성된다. 같다. 상관기는 마이크로 프로세서의 제어에 따라 위성의 추적을 수행하며 마이크로 프로세서는 상관기의 추적 정보를 이용하여 항법해를 구한다.

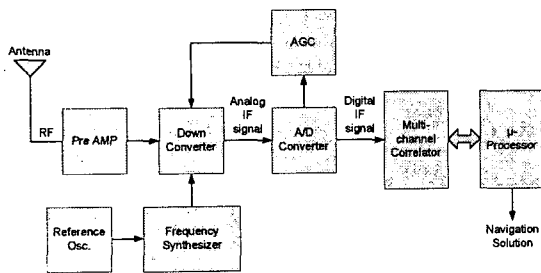


그림 1. GNSS 수신기의 구조
Fig. 1. The general structure of GNSS receiver

ALTERA Excalibur-ARM™ EPXA10 디바이스는 SOPC(System on a Programmable Chip) 설계를 위한 디바이스로 100 만 게이트의 PLD 와 ARM922T 코어를 가지고 있다. 본 논문에서는 [그림 2]와 같이 24 channel 의 상관기를 가지는 GPS 수신기를 ALTERA Excalibur-ARM™ 디바이스에 구현하였으며 KSTAR V1.0 으로 명하였다.

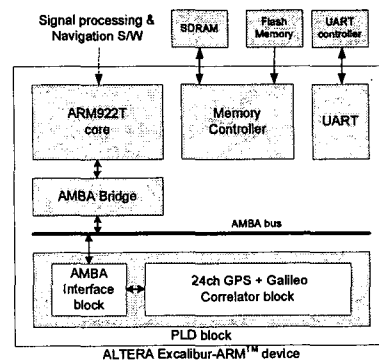


그림 2. SOPC 디바이스에 구현된 GPS/GALILEO 동시 모드 수신기의 구조
Fig. 2. Structure of GPS/Galileo receiver in SOPC device

24 채널의 GPS/GALILEO 동시모드 상관기를 가지는 PLD 블록은 내부의 AMBA 버스를 통하여 ARM 코어에 연결되며 추적 및 항법해 처리 S/W 는 ARM 프로세서에 포팅된다. 상관기 내의 각각의 추적 모듈은 1/3 ~ 1/6 chip 간격으로 very-early, early, prompt, late, very-late 라는 이름으로 5 개의 추적 arm 을 가지며 상관기의 기본적인 dump 주기는 1ms 이다. 구현된 GPS 수신기는 IF(Intermediated Frequency) 대역의 위성 신호를 이용하여 검증되었다. 입력 신호로는 데이터 획득 보드를 사용하여 저장된 실제 신호 및 시뮬레이터를 사용하여 만든 신호를 사용하였다.

II. GPS/GALILEO 동시모드 상관기의 설계

GPS/GALILEO 동시 모드 수신기의 구현을 위하여 24 채널의 상관기를 구현하였다. [그림 3]은 SOPC 디바이스의 PLD 블록에 구현된 상관기의 블록도이다. 그림을 참조하면 상관기는 16.384MHz 의 SAMPCLK 을 사용하며 샘플 래치(Sample Latch), 타임베이스 생성기(Timebase Generator), 24 개의 추적 모듈(Tracking Module), 레지스터 블록, AMBA 인터페이스 블록 등으로 구성된다. PLD 블록과 ARM922T 코어 사이의 통신은 AMBA 인터페이스 블록을 통하여 레지스터 블록에 액세스함으로써 수행된다.

* 책임저자(Corresponding Author)
지규인 : 건국대학교 전자공학과
(gjje@konkuk.ac.kr)

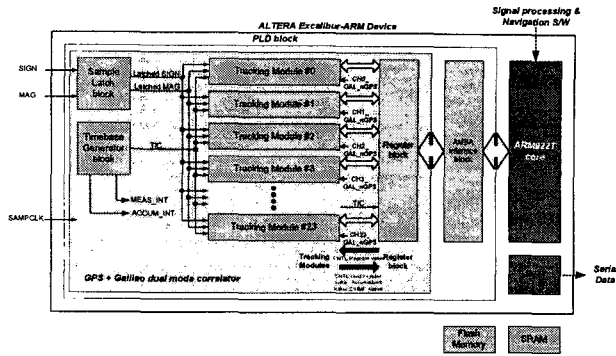


그림 3. 구현된 수신기의 구조
Fig. 3. Block diagram of KSRAT V1.0

각각의 블록은 VHDL(Very High Speed Integrated Circuit Hardware Description Language)을 사용하여 설계되었다. Functional 시뮬레이션을 검증된 상관기는 Synplify Synplify Pro 를 사용하여 합성되었으며 ALTERA Excalibur-ARM 디바이스에 구현하기 위하여 ALTERA QuartusII 에서 P&R 및 fitting 을 수행하였다. 또한, QuartusII 에서 생성되는 Verilog 네트리스트와 타이밍 정보를 이용하여 타이밍 시뮬레이션을 수행하였다. [그림 4]는 GPS/GALIELO 듀얼 모드 상관기 설계의 흐름도이다.

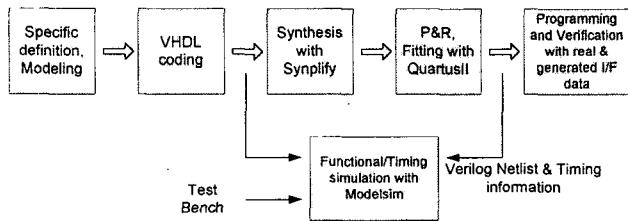


그림 4. GPS/GALIELO 듀얼 모드 상관기 설계의 흐름도
Fig. 4. H/W design flow

다음 [그림 5]는 BPSK 만을 사용하는 GPS C/A 코드와 BOC(1,1) 변조를 사용하는 GALILEO BOC(1,1) 코드의 자기상관함수이다. 그림을 참조하면 BOC(1,1) 변조를 사용하는 GALILEO L1 에는 자기상관함수에 메인 피크(Main Peak) 외에도 사이드 피크(Side Peak)가 존재한다.

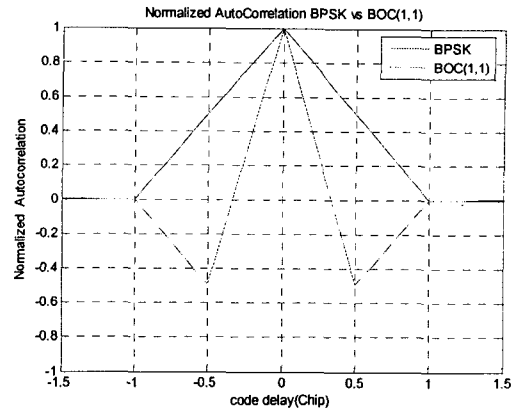


그림 5. GPS/GALILEO L1 대역 신호의 자기상관함수
Fig. 5. ACF(AutoCorrelation Function) of BPSK and BOC(1,1) modulated signal

자기상관함수의 특성으로 인해 일반적인 EMLP(Early Minus Late Power) 변별기를 사용하면 틀린 획득 및 ambiguous 추적을 하게된다. [그림 6]과 [그림 7]에 일반적인 EMLP 제거기와 ambiguous 추적이 나타나 있다. 이러한 이유로 5 개의 추적 암(Tracking Arm)을 사용한다.

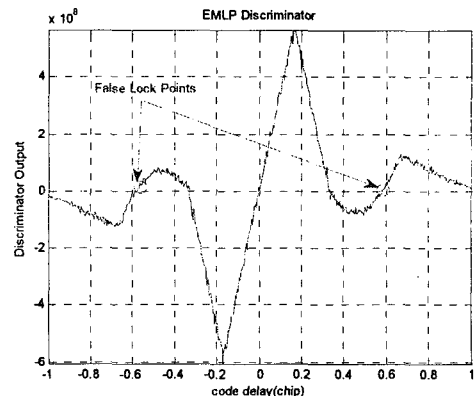


그림 6. 일반적인 EMLP 변별기
Fig. 6. General EMLP discriminator

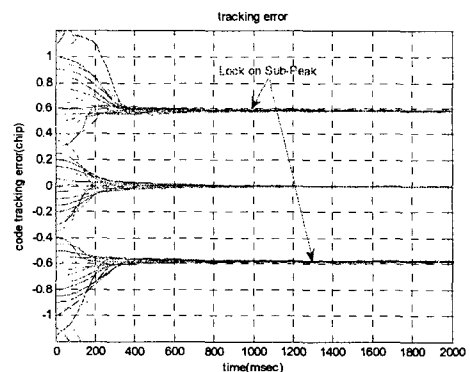


그림 7. Ambiguous 추적
Fig. 7. Ambiguous tracking of Galileo using general EMLP discriminator

[그림 8]은 추적 모듈의 블록도이다. 그림을 참조하면 추적 모듈은 반송파 발생기(Carrier DCO),

반송파 혼합기(Carrier Mixer), 칩 비율 펄스 혼합기(Chip Rate Pulse Mixer), 코드 클럭 발생기(Code DCO), 코드 혼합기(Code Mixer), 적분기(Accumulator), 코드 생성기(Code Generator), 코드 지연 계수기(Code Slew Counter), 에폭 카운터(Epoch Counter), 코드 위상 계수기(Code Phase Counter), 캐리어 주기 계수기(Carrier Cycle Counter) 등으로 구성된다. 각각의 추적 모듈은 5 개의 추적 암을 가지며 추적 모듈의 초기화는 시스템 리셋과 채널 리셋에 의해서 이루어진다.

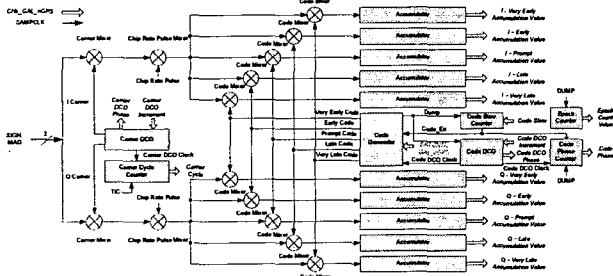


그림 8 추적 모듈의 블록도
Fig. 8. Structure of Tracking Module

각각의 추적 모듈은 GPS와 GALILEO를 선택적으로 추적할 수 있어야 하므로 각 블록은 모드 선택에 따라 상이하게 동작하여야 한다. 이를 위하여 레지스터 블록에는 다음 [그림 9]와 같은 CHx_GAL_nGPS 라는 모드 선택 레지스터가 있으며 이 값이 '0'일때는 GPS 모드를, '1'일때는 Galileo 모드를 나타낸다.

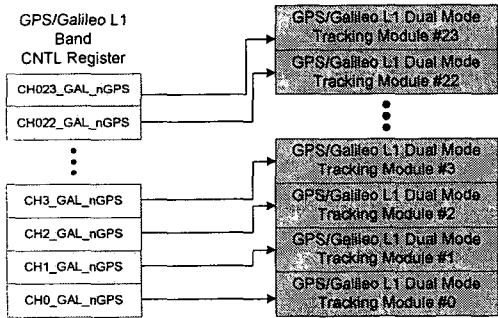


그림 9 모드 선택 레지스터에 의한 모드 결정
Fig. 9. Mode Selection of Mode Selection register

코드 발생기는 다음 [그림 10]과 같이 GPS와 GALILEO 코드의 생성을 위한 독립적인 G1/G2 레지스터를 가진다. 생성된 GPS 및 GALILEO 코드는 1/6 간격의 코드 클럭에 의해서 지연되어 5 개의 추적 arm을 위한 코드가 생성되며 CHx_GAL_nGPS 값에 의해 선택된 값이 코드 혼합기로 출력된다.

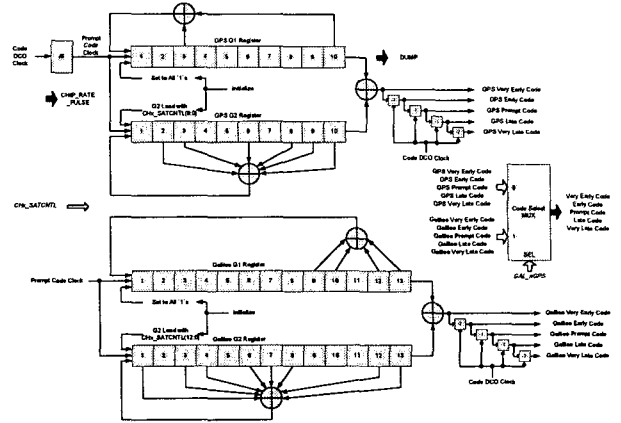


그림 10 코드 발생기
Fig. 10. Block diagram of code generator

[그림 11]은 1/6 칩 간격의 코드 클럭에 의해서 만들어지는 5 개의 추적암을 위한 코드들의 관계를 나타낸 것이다. Very early/very late와 early/late 코드 사이는 1/3 칩 간격이며 early/late 코드와 prompt 코드의 거리는 1/6 칩이다.

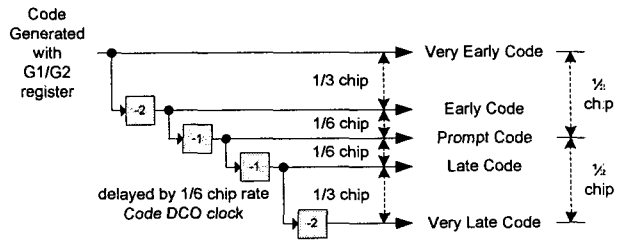


그림 11. 5개의 추적 암을 위한 코드들의 관계
Fig. 11. Relation between 5 tracking arm codes

다음 [그림 12]는 코드 클럭과 prompt 코드 클럭, 칩 비율 펄스의 관계를 나타낸 것이다. 그림을 참조하면 GALILEO 모드에서는 BOC(1,1) 복조를 위한 칩 비율 펄스가 칩 비율 펄스 혼합기로 전송되며 GPS 모드에서는 칩 비율 펄스가 항상 '1'로 출력되므로 영향을 끼치지 않는다.

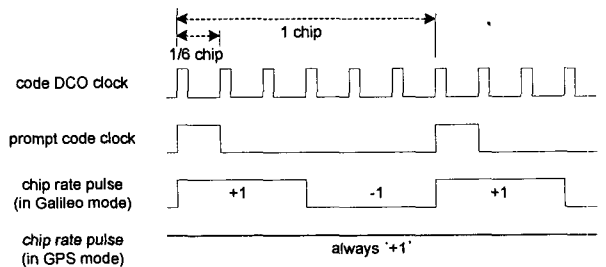


그림 12. 코드 클럭, prompt 코드 클럭, 칩 비율 펄스의 관계
Fig. 12 Timing of code DCO clock, prompt code clock and chip rate pulse

다음 [그림 13]은 코드 지연 계수기의 타이밍도이다. 그림을 참조하면 코드 지연 계수기는 DUMP의 발생시점으로부터 μ -processor가 적은 수만큼의 code DCO clock을 카운트하는 동안 prompt 코드 클럭의 생성을 막는다. 코드 지연 동작 중에는 코드 생성기의 g1/g2 레지스터의 쉬프트 동작, 적분기, 코드 위상 카운터가 동작을 멈추게 된다. 코드 지연 계수기는 코드 클럭으로 동작하기 때문에 1/6 칩 간격으로 지연 동작을 수행할 수 있다.

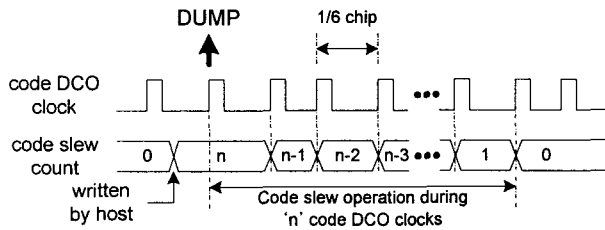


그림 13 코드 지연 계수기의 타이밍도
Fig. 13. Code slew operation

코드 클럭 발생기와 반송파 발생기는 32 비트의 홀딩 레지스터(holding register)를 가지는 NCO(Numerical Controlled Oscillator)로 구성된다. 코드 클럭 발생기는 1/6 칩 간격의 code DCO clock을 출력하며 캐리어 DCO는 홀딩 레지스터의 위상에 따라 I/Q 반송파를 출력한다. [그림 14]는 코드 클럭 발생기 및 반송파 발생기에 사용되는 NCO의 블록도이다.

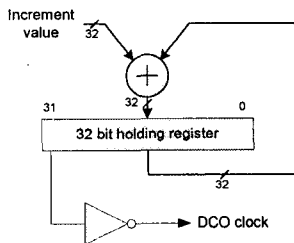


그림 14. 코드 클럭 발생기 및 반송파 발생기에 사용되는 NCO의 블록도
Fig. 14. NCO for Carrier DCO and Code DCO

에폭 계수기는 1ms 과 20ms 단위로 dump 신호를 카운트한다. [그림 15]는 에폭 계수기의 1ms 에폭과 20ms 에폭 계수값의 타이밍을 나타내고 있다.

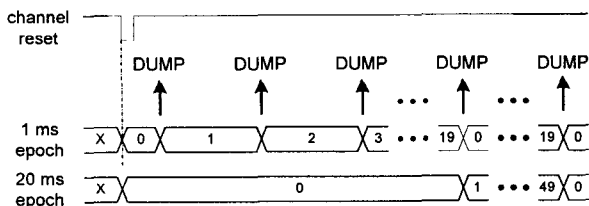


그림 15. 에폭 계수기의 타이밍도
Fig. 15 1ms / 20ms epoch count in Epoch Counter

[그림 16]은 코드 위상 계수기와 반송파 주기 계수기의 타이밍도이다. 그림을 참조하면, 코드 위상 카운터는 dump 신호 사이의 1/6 칩 간격의 코드 클럭을 카운트하며 이 값은 TIC 신호 때 레지스터 블록에 저장된다. 반송파 주기 계수기는 TIC 신호 사이의 반송파 클럭을 카운트하여 저장한다.

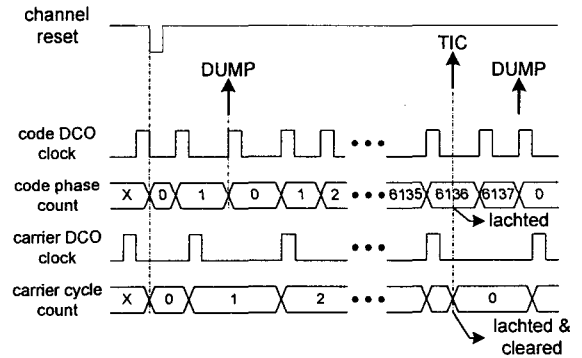


그림 16. 코드 위상 계수기와 반송파 주기 계수기의 타이밍도
Fig. 16. Timing of Code Phase Counter and Carrier Cycle Counter

다음 [그림 17]은 추적 모듈의 모드 전환 시퀀스를 나타낸 것이다. 어떠한 추적 모듈의 모드를 GPS와 GALILEO 사이에서 변환해야 할 때, 3 단계의 시퀀스가 필요하다. 첫 번째 단계로 G2 초기화 값, 반송파 발생기 및 코드 클럭 발생기의 위상 증가치를 새로 적는다. 두 번째 단계로 CHx_GAL_nGPS 모드를 '1'에서 '0'으로(GALILEO -> GPS), 또는 '0'에서 '1'(GPS -> GALILEO)로 바꾼다. 마지막으로 채널 리셋을 인가하여 해당 추적 모듈만 초기화 시킨다.

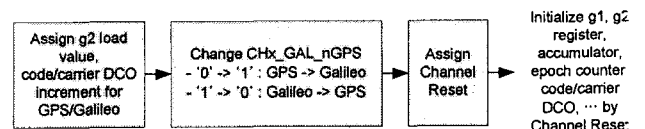


그림 17. 추적 모듈의 모드 전환 시퀀스
Fig. 17. code change sequence of tracking module between GPS and Galileo

다음 [그림 18]은 ARM 코어와 상관기가 통신하기 위하여 SOPC 디바이스의 PLD 블록에 있는 레지스터 블록이다. 레지스터 블록은 CNTL 읽기/쓰기 레지스터, ACCUM 읽기/쓰기 레지스터, SYSTEM SETUP 레지스터, STATUS 레지스터 등으로 구성된다.

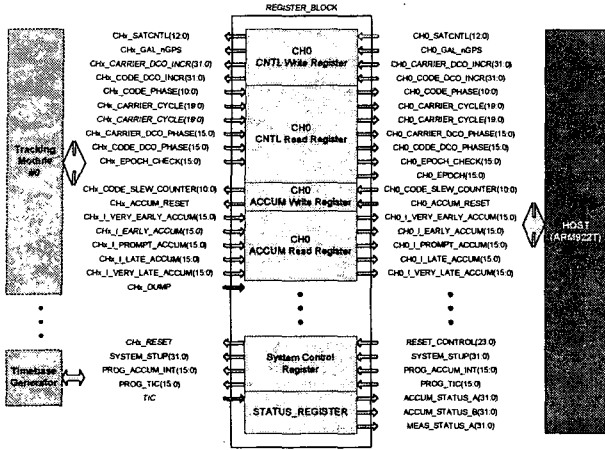


그림 18. 레지스터 블록의 블록도
Fig. 18 Register block of correlator

[그림 19]와 [그림 20]은 GPS 모드와 GALILEO 모드에서 추적 모듈의 모의 실험 결과이다. 그림을 참조하면 10 개의 적분값과 수신전력을 확인할 수 있다.

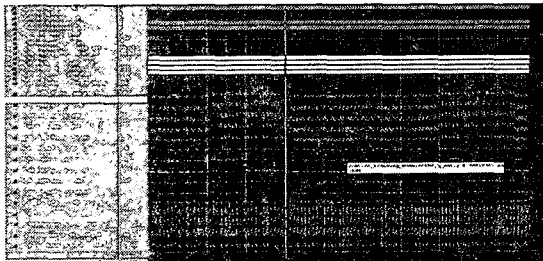


그림 19. GPS 모드에서의 추적 모듈의 모의 실험결과
Fig. 19. Simulation result of tracking module(GPS mode)

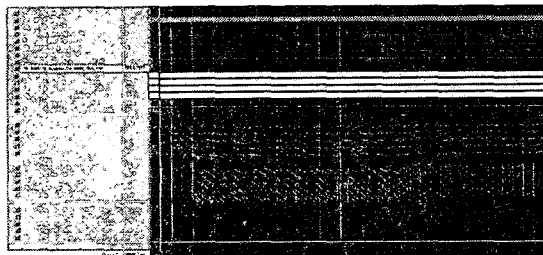


그림 20. GALILEO 모드에서의 추적 모듈의 모의 실험 결과
Fig. 20. Simulation result of tracking module(Galileo mode)

다음 [그림 21]은 GPS 모드에서 코드의 위상 지연에 따른 상관값의 변화를 모의 실험한 결과이다. 그림을 참조하면 코드의 위상차가 1 칩 이내일때만 큰 상관값을 가지는 것을 확인할 수 있다.

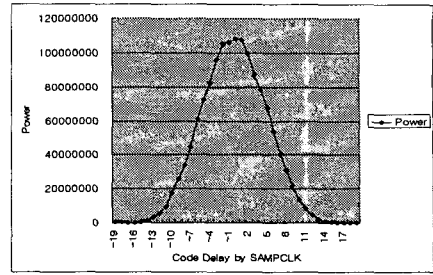


그림 21. GPS 모드에서 코드의 위상 지연에 따른 상관값 변화의 모의 실험 결과
Fig. 21. Simulation of tracking power/code phase error in GPS mode

다음 [그림 22]는 GALILEO 모드에서 코드의 위상 지연에 따른 상관값의 변화의 모의 실험 결과이다. 그림을 참조하면 BOC(1,1) 변조된 코드의 자기상관함수와 유사한 곡선을 확인할 수 있다.

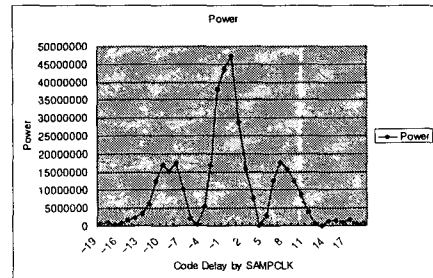


그림 22. GALILEO 모드에서 코드의 위상 지연에 따른 상관값 변화의 모의 실험 결과
Fig. 22. Simulation of tracking power/code phase error in Galileo mode

다음 [그림 23]은 모드 전환에서의 추적 모듈의 모의 실험 결과이다. 그림을 참조하면 모드 전환 시퀀스에 따라 GPS 모드에서 GALILEO 모드로 전환되는 것을 확인할 수 있다.

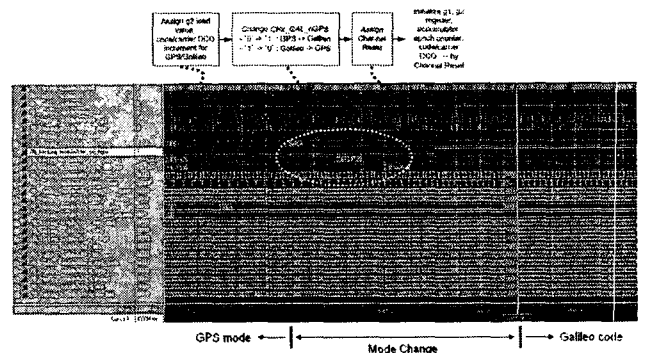


그림 23. 모드 전환에서의 추적 모듈의 모의 실험 결과
Fig. 23. Simulation result of tracking module in mode change sequence

III. 신호 처리 및 항법 소프트웨어

신호처리 및 항법해 S/W 는 SOPC 디바이스의 ARM 코어에 포팅된다. S/W 부분의 전체 블록도는 다음 [그림 24]와 같다. 그림을 참조하면 S/W 부분은 추적 루프와 항법해 산출 모듈, UART 컨트롤 모듈 등으로

구성된다.

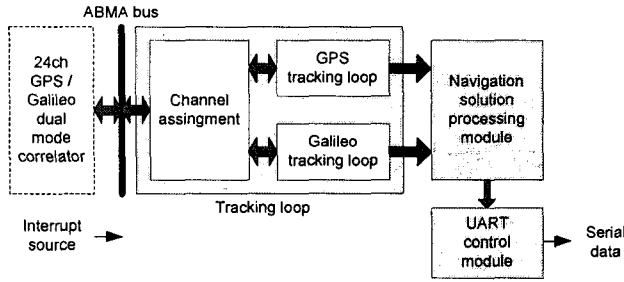


그림 24. S/W 부분의 전체 블록도
Fig. 24. Structure of S/W of KSTAR V1.0

III.1 신호 획득

본 논문에서는 신호 획득을 위해 [그림 25]와 같은 일반적인 GPS 수신기에서 사용하는 2 차원 신호 검색 방법을 사용하였다. 반송파의 경우 $\pm 500\text{Hz}$ 씩 이동하며 신호를 검색하며, 코드의 경우 0.1chip/ms 단위로 검색하게 된다.

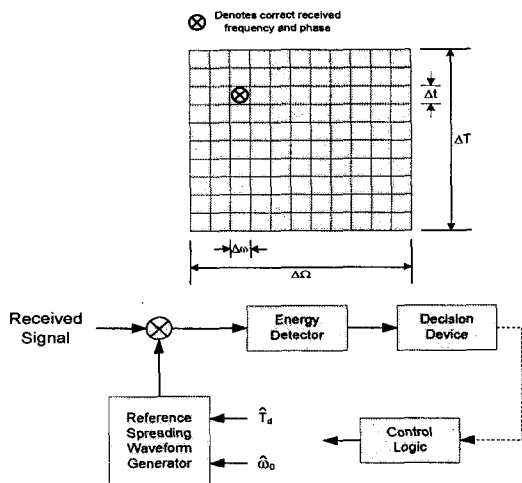


그림 25 2 차원 신호 검색
Fig 25. 2-D signal search

Galileo 의 경우 [그림 26]과 같이 메인 피크가 ± 0.33 사이에 존재하므로 획득과 추적을 위해서는 적당한 검색 칩 간격을 고려해야 한다. 또한 Galileo 코드의 길이는 GPS C/A 코드의 4 배이므로 전체 코드 검색 속도는 C/A 코드 검색 비해 훨씬 느리게 된다.

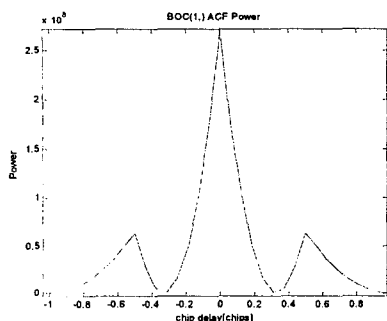


그림 26. BOC(1,1) 신호의 자기상관함수
Fig 26. Autocorrelation function of BOC(1,1) signal

이렇게 순차 검색을 통하여 BOC(1,1)신호를 검색하면 SNR 에 따라 달라질 수 있지만, 대개는 사이드 피크에서 신호가 획득된다. 아래 그림은 FFT 를 통한 BOC(1,1)신호 획득을 나타낸다. 소프트웨어 수신기에서 FFT 를 이용하면 바로 메인 피크에서 신호를 획득할 수 있다.

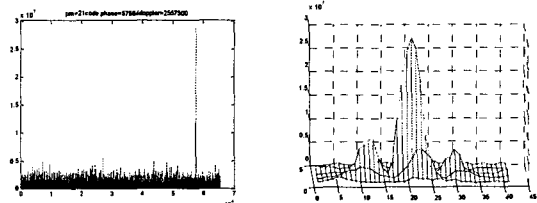


그림 27. FFT 를 이용한 신호 획득
Fig 27. Signal Acquisition of using FFT

III.2 신호 추적

GALILEO 신호 추적은 반송파의 경우 2 차 FLL(Frequency Lock Loop) 추적루프를 사용하였다. 2 차 FLL 은 Zero steady state error 를 가지므로 상수 변화를 보이는 도플러를 보상하는 반송파 추적에 적합하며 PLL(Phase Lock Loop)보다 강한 동적 특성을 가진다. 코드의 경우 2 차 DLL(Delay Lock Loop)를 사용하였으며, EMLP(Early minus Late Power) 변별기를 사용하였다.

앞서 설명한 바와 같이 BOC(1,1)의 ACF 특성에 의한 ambiguous 추적을 피하기 위하여 본 논문에서는 범프 도약(Bump Jumping) 방법을 사용 하였다^{[3][14]}.

범프 도약 방법은 main peak 와 sub peak 의 차이 만큼의 칩 간격을 갖는 별도의 추적 암(VE(very early), VL(very late))을 추가하여 side peak 추적을 판별하는 것을 말한다. 실제로 사이드 피크 추적을 판별하는 방법에는 카운터를 이용하는 방법과 VEmVLP(VE minus VL power) 변별기를 사용하는 방법 등이 있다. 본 논문에서는 VE 또는 VL 의 파워가 일정 문턱치를 넘어가면 사이드 피크를 판별하는 방법을 사용하였고 사이드 피크를 확인 한 경우 코드 지연 동작을 통하여 코드를 이동시켜서 메인 피크로 점프하게 된다. 아래 [그림 28]은 반 칩을 옮겨가기 위한 코드 지연 동작을 나타낸다.

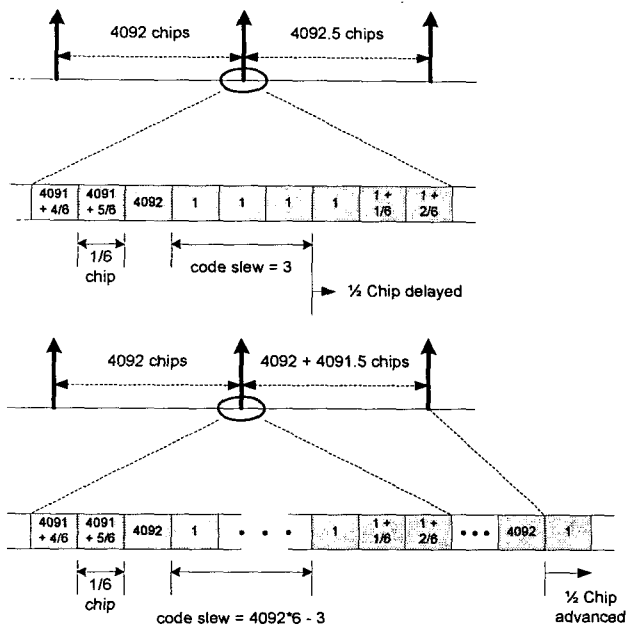


그림 28. 코드 지연 동작
Fig. 28 Bump jumping using code slew operation

[그림 29]는 메인 피크를 추적하는 경우를 나타내며 [그림 30]은 사이드 피크를 추적하는 경우의 추적 정보를 나타낸다. 그림을 참조하면 메인 피크를 추적하는 경우 prompt 추적 암의 수신 전력이 가장 크지만 사이드 피크를 추적하는 경우는 early 또는 late 추적 암의 수신 전력이 가장 큰 것을 확인할 수 있다.

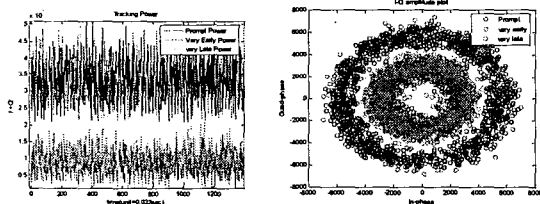


그림 29 main peak 를 추적하는 경우의 수신 전력
Fig. 29. Tracking power of tracking channel locked on side peak

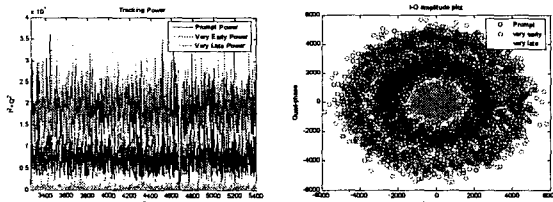


그림 30. side peak 를 추적하는 경우의 수신 전력
Fig. 30. Tracking power of tracking channel locked on main peak

IV. GPS/GALILEO 동시 모드 수신기의 구현

본 논문에서 구현된 GPS 수신기는 샘플링되어 저장된 I/F 대역의 실제 GPS 위성 신호 및 시뮬레이터를 사용하여 생성된 I/F 데이터를 이용하여 검증되었다. GPS 수신기의 항법해 및 추적 정보는

구현된 모니터 프로그램으로 확인하였다. 다음 [그림 31]은 테스트 환경을 나타낸 것이다. 그림을 참조하면 데이터 획득 보드를 사용하여 저장된 데이터 또는 생성된 I/F 데이터를 가진 데이터 전송 서버에 저장하며 이를 Nallatech Extreme DSPTM 보드를 사용하여 GPS 수신기로 전송한다.

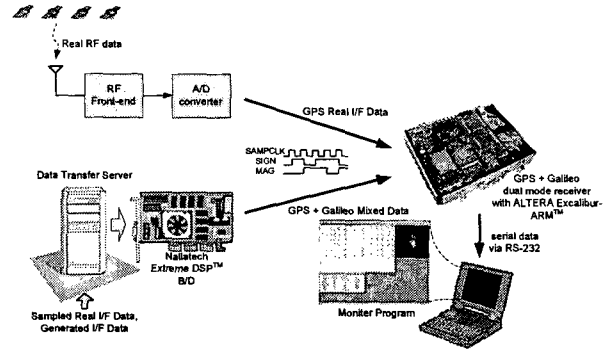


그림 31. 테스트 환경
Fig. 31 Test environment

다음 [그림 32]는 GPS 단일 모드로 동작시의 실제 IF 데이터를 사용한 KSTAR V1.0 의 동작을 나타낸 것이다. 그림을 참조하면 18ch 의 모든 추적 모듈은 GPS 위성을 추적하고 있다.

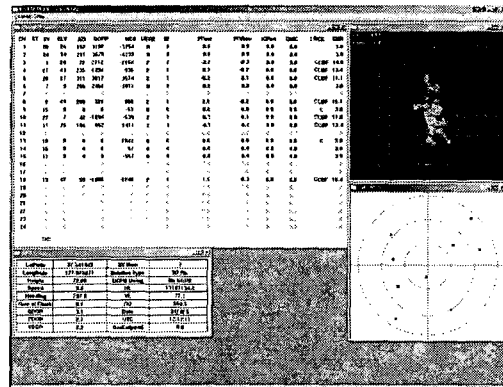


그림 32 GPS 단일 모드로 동작시의 실제 IF 데이터를 사용한 KSTAR V1.0의 동작
Fig. 32. GPS single mode operation of KSTAR V1.0 with real I/F

다음 [그림 33]에서 KSTAR V1.0 의 GPS 단일 모드 동작시의 2D-RMS 는 10m 이내인 것을 확인할 수 있다.

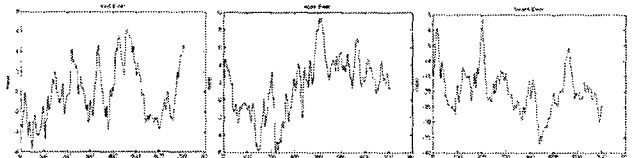


그림 33 KSTAR V1.0의 GPS 단일 모드 동작시의 2D-RMS
Fig 33. 2D-RMS of GPS single mode operation

다음 [그림 33]에서 GPS/GALILEO 듀얼 모드 동작중인 KSTAR V1.0 를 확인할 수 있다. 12 채널의 추적 모듈은 GPS 위성을 추적중이며 6 개 채널은

GALILEO 위성을 추적중인 경우이다.

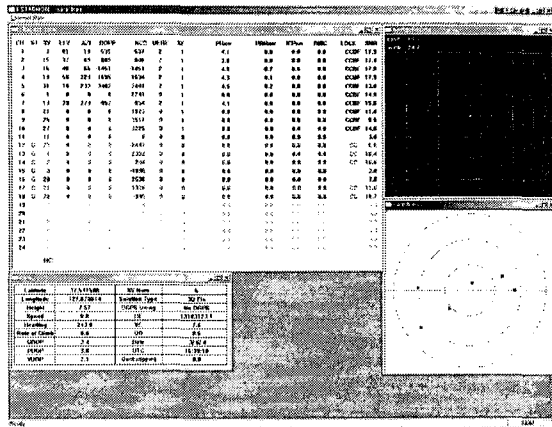


그림 33. GPS/GALILEO 듀얼 모드 동작중인 KSTAR V1.0
Fig. 33. GPS/Galileo dual mode operation of KSTAR V1.0

VI. 결론

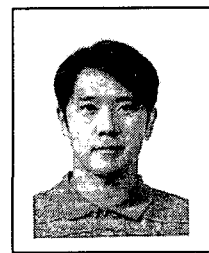
본 논문에서는 GPS/GALILEO 동시 모드 수신기를 PLD 와 ARM core 를 가지는 SOPC 디바이스에 구현하였다. 18 채널의 상관기는 SOPC 디바이스의 PLD 블록에 구현되었으며 신호처리 및 항법해 산출 S/W 는 SOPC 디바이스의 ARM 코어에 포팅되었다. 또한 구현된 수신기를 통하여 GALILEO BOC(1,1) 신호의 신호 획득, 추적을 수행하여 이를 분석하였다.

참고문헌

- [1] Olivier Julien, M. Elizabeth Cannon, Gerard Lachapelle, and Cecile Mongredien, "A New Unambiguous BOC(n,n) Signal Tracking Technique", PLAN Group, Dep. University of Calgary.
- [2] Betz, J.W. (2002), "Binary Offset Carrier Modulations for Radionavigation, Navigation, Journal of the Institute of Navigation", Winter 2001-2002, Vol. 48, Number 4.
- [3] Fine, P., and W. Wilson (1999), "Tracking Algorithm for GPS Offset Carrier Signals", Proceedings of U.S. Institute of Navigation NTM.
- [4] Vincent Heiries, Daniel Roviras, Lionel Ries, Vincent Calmettes, "Analysis of Non Ambiguous BOC signal Acquisition Performance", TeSA, CNES, ENSAE.
- [5] P. Kovar, F. Vejrazka, L. Seidl, P. Kacmarik (2004), "Galileo Receiver Core Technologies", Czech Technical Univ. Czech Republic.
- [6] Zarlink (2001), GP2015/GP2021 Data Sheets.
- [7] GEC Plessey, GPS Architect Software Design Manual.

고 증 명

2004년 건국대학교 항공우주공학과 졸업. 2006년 건국대학교 전자정보통신공학과(공학석사). 2006년~현재 삼성전자 근무. 관심분야는 소프트웨어 GNSS 수신기, 차세대 항법시스템, GPS 신호처리



임 성 혁

2003년 건국대학교 전자정보통신공학과 졸업. 2005년 건국대학교 전자정보통신공학과(공학석사). 2006년~현재 건국대학교 대학원 전자정보통신공학과 박사과정 재학중. 관심분야는 소프트웨어 GPS, GPS Anti-jamming, GPS 신호처리, 결합 항법.

jamming, GPS 신호처리, 결합 항법.



지 규 인

1959년 11월 24일생. 1982년 서울대학교 제어계측공학과(공학사). 1984년 서울대학교 제어계측공학과(공학석사). 1989년 Case Western Reserve Univ. System and Control Engineering(공학박사). 1992년~현재 건국대학교 전자정

보통신공학과 교수. 관심분야는 GPS/INS 결합항법, GPS 수신기 신호처리, 무선측위, 소프트웨어 GPS, GPS Anti-jamming.