

LTCC 공정을 이용한 2.4GHz WLAN 대역 LNA 설계

A Study on Design of the LNA for 2.4GHz WLAN Using LTCC Process

오재욱*, 양재수+, 김형석**
(Jae-Wook Oh, Jae-Soo Yang and Hyeong-Seok Kim)

Abstract : In this paper, a small size, $7 \times 6 \text{ mm}^2$, Low Noise Amplifier(LNA) using LTCC process was fabricated with multi-layer structure for 2.4GHz wireless LAN. The measured results demonstrate that the bandwidth is 130 MHz, and the operating frequency is from 2.39GHz to 2.52GHz. The power gain is above 7.3 dB in the operating frequency range and the gain flatness is 0.5 dB. The maximum S11 is -4 dB and the maximum S22 is -7.5 dB. The noise figure is less than 1.83 dB. The measured power gain, S11 and S22 were had poorer performance than the simulation results. The reason for this discrepancy is that the input and output matching was not performed exactly. However, the noise figure of the LTCC low noise amplifier is better than simulation result. It is found that it is possible to fabricate a LTCC low noise amplifier in a small size.

Keywords: LNA, LTCC process, WLAN

I. 서론

무선통신에서의 수신 단에서 검출된 신호는 낮은 신호 레벨과 많은 잡음을 포함하고 있다. 따라서 정확한 신호 검출을 위해서는 수신된 신호의 잡음을 최소화 하면서 증폭을 해주는 과정이 필요하다. RF 수신부에서 이러한 역할을 하는 것이 LNA (Low Noise Amplifier) 이다. 현재의 무선통신 부품의 연구개발 추세는 초고속 광대역 무선서비스를 위해 사용주파수 대역이 점점 높아지고 있으며, 부품의 부피를 줄이기 위해 다층 구조로 여러 소자를 집적화 하여 모듈을 구성하는 연구가 활발히 진행되고 있다.[1][2] 이에 따라 저항, 커패시터, 인덕터 등의 수동소자를 다층의 유전체 기판에 구현함으로써 소형화가 가능하고, 대량생산성 및 집적도, 신뢰성이 높은 LTCC(Low Temperature Co-fired Ceramic) 공정을 이용한 다층 유전체 모듈과 이를 이용한 RF 소자에 대한 관심이 증폭되고 있다.[3][4]

LNA와 같은 능동소자들은 SMD(Surface Mount Device) 타입의 수동소자와 마이크로스트립 기판을 이용하여 만들어진다. 이 방법은 제작비가 적은 장점이 있는 반면, 제작된 능동소자의 크기가 커지게 되어 결국 제품의 소형화라는 추세에 어긋나게 된다. 다른 제작 방법으로는 반도체 공정을 이용한 기술이 있다. 이는 GaAs FET 나 CMOS(Complementary Metal Oxide Semiconductor)와 함께 수동 소자들을 집적하여 구현하는 것으로 제품의 크기는 소형화가 가능하지만, 공정 기간이 길어지고 제작단가가 높아지게 된다.

이에, 본 논문에서는 LTCC(Low Temperature Co-fired Ceramic) 공정을 이용한 수동소자의 적층구조를 적용하여, 2.4GHz 무선 랜 대역의 소형화된 LNA를 제안하고자 한다.

II. LNA 설계 방법 및 고려 사항

LNA 설계의 첫 단계는 저잡음의 특성을 갖는 트랜지스터를 선택하는 것이다. 높은 주파수에서 사용하는 트랜지스터를 선택할 경우 HBT (Heterojunction Bipolar Transistors) 나 HEMT (High Electron Mobility Transistor) 같은 빠른 응답속도를 가진 트랜지스터가 주로 사용된다. 트랜지스터를 선택한 후, 저항이나 다른 소자들을 이용하여 발진을 막기 위한 안정화 회로를 구성한다. K factor를 이용하여 안정도를 확인한 후, 입력 매칭 회로를 구성하게 된다. 입력 매칭 회로 구성 시 잡음특성이 우선적으로 고려대상이 되지만 어느 정도의 이득을 얻는 것도 중요하다. 따라서 서로 trade-off 관계에 있는 Noise Figure와 이득을 고려하여 입력 단의 임피던스 매칭 포인트를 잡는 것이 중요하다. 출력 매칭 회로는 최대의 이득을 얻을 수 있는 Conjugate matching을 만족하도록 구성한다.[5] 이후, 바이어스 회로 및 DC Block capacitor등을 구성 하여 전체 회로를 완성하게 된다. LNA의 설계 과정을 그림 1에서 flow-chart로 나타내었다.

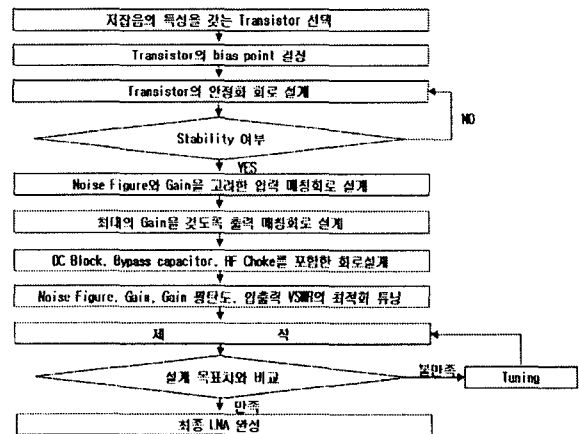


그림 1. LNA의 설계 과정.

Fig. 1. The design procedure of the LNA

*: 중앙대학교 전자전기공학부 석사 과정 (massloading@hotmail.com)

+ : 광운대학교 산학협력단 교수 (jsyang@kw.ac.kr)

** : 중앙대학교 전자전기공학부 교수 (kimcaf2@cau.ac.kr)

※ 본 연구는 전력산업연구개발사업 전력선행기술 지원으로 수행되었음. (R-2005-7-133)

III. 마이크로스트립 기판을 이용한 LNA 설계

그림 2는 설계된 LNA의 간략한 회로도이다. 그림2의 회로를 바탕으로 마이크로스트립 기판으로 제작한 LNA와 LTCC 공정을 이용하여 제작한 LNA의 성능 및 크기를 비교하고자 한다. 그림 2의 LNA를 회로 시뮬레이션 결과 이득은 12.72dB, Noise Figure는 1.67dB를 얻을 수 있었으며, 시뮬레이션 결과를 그림 3에 나타내었다.

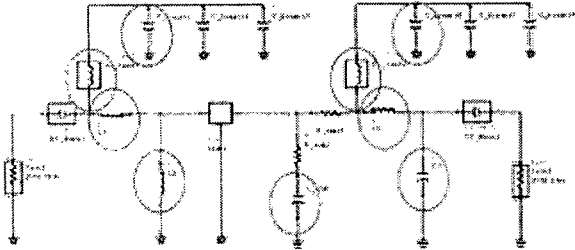


그림 2. LNA의 회로도
Fig. 2. The schematic of the LNA

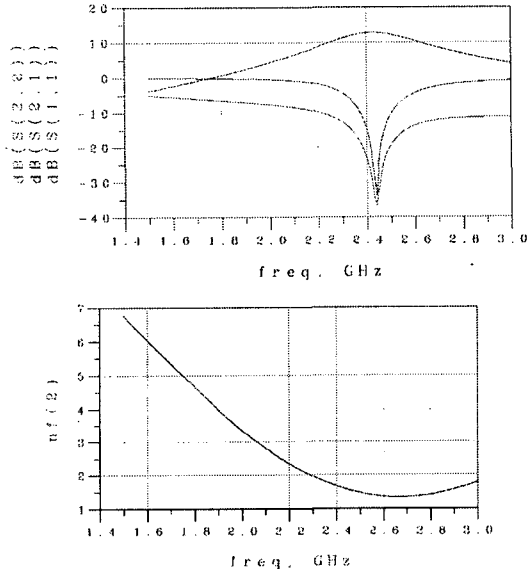


그림 3. LNA의 회로 시뮬레이션 결과
Fig. 3. The simulation result of the LNA

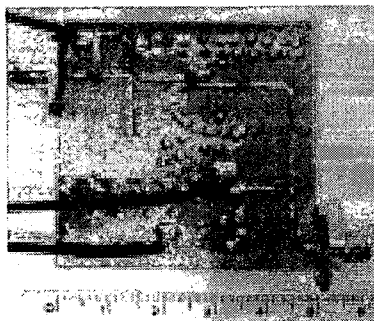


그림 4. 마이크로스트립 기판으로 제작한 LNA
Fig. 4. The LNA using microstrip line

그림 3의 회로를 마이크로스트립 기판을 이용하여 LNA를 제작하였다. 정확한 비교를 위해, 마이크로스트

립 기판을 이용한 LNA와 LTCC 공정을 이용한 LNA의 트랜지스터, DC bias point, 그리고 input, output matching point를 같게 하였다. 트랜지스터는 Agilent사의 ATF-35143 p-HEMT를 사용하였으며, LNA의 DC bias point는 $V_{DS} = 2V$, $I_{DS} = 10mA$ 이다. 마이크로스트립 기판을 만들 유전체 기판은 Rogers사의 RT/Druid 6006 기판(= 6.15, thickness = 0.64 mm)을 사용하여 LNA를 제작하였다. 그림 4는 마이크로스트립 기판으로 제작한 LNA이며, 측정 결과를 표 1에 나타내었다.

표 1. 마이크로스트립 기판으로 제작한 LNA의 측정 결과
Table 1. The measured result of the LNA using microstrip line

측정 항목	단위	측정 결과
Center Frequency	GHz	2.44
Bandwidth	MHz	110
Operation Frequency	GHz	2.38-2.49
Gain	dB	10.1 min.
Gain Flatness	dB	0.5
S11	dB	-9 max.
S22	dB	-14 max.
NF	dB	1.98 max.
Size	mm x mm	50 x 50

IV. LTCC 적층 구조를 이용한 LNA 설계

그림 3에서 원으로 표시된 소자는 LTCC 공정을 이용하여 제작할 소자들이다. 이외의 소자들은 커패시터의 값이 큰 bypass 커패시터들과 DC Block 커패시터, 저항들이다. 커패시터의 값이 큰 소자의 경우 LTCC 공정을 이용하여 제작 시 그 크기가 커지게 되므로 LNA의 소형화를 위해 유전체 기판 위에서 SMD 소자를 이용하여 구현하였다. 저항의 경우 LTCC 공정을 사용하기에는 공정이 까다롭고 구현에 어려움이 있기 때문에 커패시터와 마찬가지로 유전체 기판 위에서 SMD 소자로 구현하였다.

Sonnet EM Simulator를 이용하여 각각의 인덕턴스와 커패시턴스에 적합한 L과 C를 개별적으로 구현하였고, 그 후 각각의 소자를 커플링 효과와 크기를 고려하여 집적화 하였다. 집적된 전체 구조를 EM 시뮬레이션을 통하여 성능을 검증하였다. 집적화된 전체 구조를 그림 5에 나타내었다.

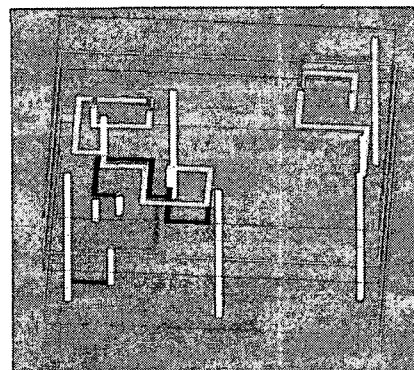


그림 5. 집적화된 LTCC 수동 부품
Fig. 5. The integrated LTCC passive component

EM 시뮬레이션을 통해 설계된 패턴들을 이용하여 LTCC 공정을 이용한 유전체 기판을 제작하였다. 유전체 sheet에 각 layer에 맞는 via hole을 punching한 후, Ag-paste를 이용하여 via hole을 채웠다. 이 유전체 sheet 위에 Ag-paste를 이용하여 각 layer에 맞는 패턴을 프린팅 한 후, 이를 적층 하였다. 적층된 유전체 기판을 850° 에서 소결시켜 수동 부품이 집적된 유전체 기판을 제작하였다.

LTCC 유전체 기판 제작 시 사용된 Ag-paste의 전기 전도율은 $5.5 \times 10^7 [S/m]$ 이며, 두께는 10um이다. 유전체 sheet의 특성은 표2에 나타내었다.

표 2. 유전체 sheet 특성

Table 2. The characteristics of the dielectric sheet

유전체 특성 항목	특성치
상대 유전율	7.5
Loss tangent	0.005
유전체 두께	소결 전 : 50um 소결 후 : 33um

그림 6은 LTCC 공정을 이용하여 제작된 수동 부품이 집적된 유전체 기판이다. 유전체 기판의 크기는 7mm x 6mm이며 유전체 기판 윗면에 SMD 소자와 트랜지스터를 연결하기 위한 패드를 만들었다. 유전체 기판 내에 구현하지 못한 소자들과 트랜지스터를 제작된 유전체 기판 위에 연결하여 그림 7과 같이 LNA를 완성하였다.

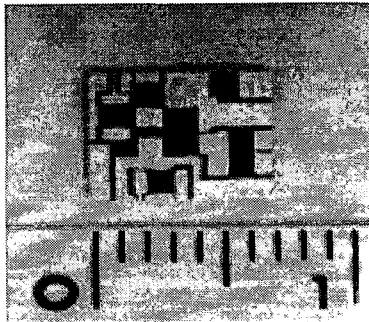


그림 6. 제작된 LTCC 수동 부품
Fig. 6. Fabricated LTCC passive component

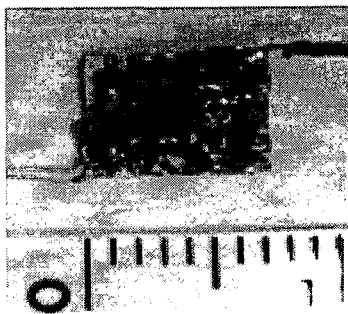


그림 7. LTCC 공정을 이용하여 제작된 LNA
Fig. 7. Fabricated LNA using LTCC process

제작된 LNA를 GSG Probe와 Network Analyzer를 이용하여 측정하였다. 그림 8은 측정된 S-parameter와 Noise Figure이다.

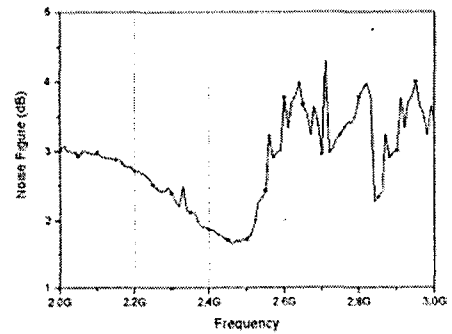
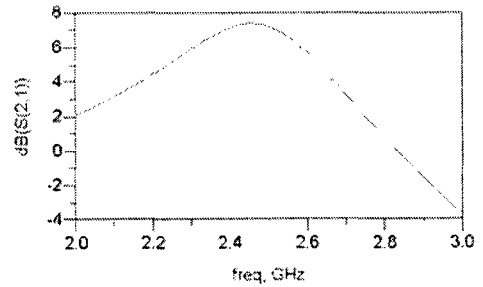
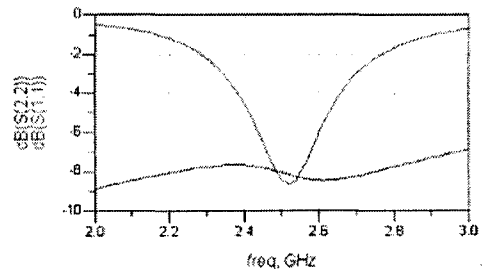


그림 8. LTCC 공정을 이용하여 제작된 LNA의 측정 결과
Fig. 8. The measured results of the LNA using LTCC process

표 3. LTCC 공정으로 제작한 LNA의 측정 결과

Table 3. The measured result of the LNA using LTCC process

측정 항목	단위	측정 결과
Center Frequency	GHz	2.44
Bandwidth	MHz	130
Operation Frequency	GHz	2.39~2.52
Gain	dB	7.3 min.
Gain Flatness	dB	0.5
S11	dB	-4 max.
S22	dB	-7.5 max.
NF	dB	1.83 max.
Size	mm x mm	7 x 6

제작한 LNA의 측정 결과를 표 3에 정리하였다. 이득은 동작주파수 범위 내에서 7.3dB 이상으로 측정되었으며, 이득 평탄도는 0.5dB였다. Noise figure는 1.83dB 이하로 측정 되었으며, 이득과 S11, S22 값이 simulation 한 값과 비교 했을 때 나빠졌음을 알 수 있었다. 이는 S11, S22의 최소값과 S21의 최대값을 나타내는 주파수

가 중심주파수인 2.44 GHz에서 약 0.5GHz 정도 벗어나 있는 것으로 볼 때 입 출력 단의 임피던스 매칭이 시뮬레이션 결과와 차이가 있기 때문인 것으로 사료된다. 이러한 원인으로 인해 마이크로 스트립 기판을 사용하여 제작한 LNA에 비해 성능은 다소 떨어지지만, 전체 크기는 $50 \times 50 \text{ mm}^2$ 에서 $7 \times 6 \text{ mm}^2$ 으로 현저히 작아진 것을 알 수 있었다. 따라서, 더 정확한 설계가 이루어진다면, LTCC공정을 이용한 고성능의 소형화된 LNA 제작이 가능할 것으로 보인다.

VI. 결론

본 논문에서는 LNA 회로의 수동소자들을 적층구조에 적용하여 LTCC 공정기술로 설계한 후, 2.4GHz 무선랜 대역의 LNA를 소형화하여 제작하였다. 트랜지스터는 고주파에서 응답특성이 우수한 P-HEMT를 사용하였고, LTCC공정에서 사용한 유전체 sheet의 유전율은 7.5이다. 측정 결과 대역폭 130MHz, 7.3dB의 이득, 1.83dB이하의 NF를 나타내었으며, $7 \times 6 \text{ mm}^2$ 의 크기로 제작되었다.

시뮬레이션 결과에 비해서 특성이 저하된 결과가 나왔는데, 이는 LTCC 공정과정에서 발생하는 기판의 수축에 의해 입, 출력 매칭이 정확하게 맞지 않았기 때문에 발생한 것이라고 여겨진다. 그럼에도 불구하고 NF의 특성에 있어서는 만족할 만한 값을 얻을 수 있었다. 또한, 같은 트랜지스터를 사용하고 같은 설계 조건을 적용하여 마이크로스트립 기판을 사용하여 제작한 LNA에 비해 크기가 현저히 작아졌다. 따라서 이번 연구를 통해서 적층구조를 이용한 수동소자의 설계와 LTCC공정을 이용하여 LNA의 소형화의 가능성을 확인할 수 있었다.

참고문헌

- [1] P. L. Field, I. C. Hunter and J. G Gardiner, "Asymmetric band-pass filter using a ceramic structure", IEEE Trans. Microwave Guided Wave Lett., vol. 2, pp.361-363, Sept. 1992.
- [2] 강종윤, 최지원, 윤석진, 김현재, 박창엽, "유한요소법에 의한 1.9GHz 대 유전체 일체형 필터의 설계", 한국전기전자재료학회논문지, Vol. 12, No. 10, pp.983-987, 1999
- [3] V. A. Chiriac, T. T. Lee, "Thermal assessment of RF integrated LTCC front end module(FEM)", 2002 Inter Society Conference on Thermal Phenomena, pp.520-523, 2002.
- [4] R. Hurley, G. Sloan, "An L-Band. LTCC Frequency Doubler Using Embedded Lumped Element Filters", 2002 IEEE MTT-S Digest, pp.1549-1553, 2002.
- [5] Guillermo Gonzales. "Microwave Transistor Amplifiers Analysis and Design", Prentice Hall, 1997. 1998. 6.



양재수

1981년 항공대학교 정보통신공학 공학사. 1985년 건국대학교 전자공학 공학석사. 1993년 전자컴퓨터공학 공학박사 New Jersey Institute of Technology. 1981~1982 MIC 사무관. 1982~1985 공군통신장교. 1985~2005 KT 부장/팀장/국장 2006~현재 광운대학교 산학협력단 교수. 관심분야는 BcN, 차세대 이동통신, RFID 및 USN, 홈 네트워킹



김형석

1985년 서울대학교 전기공학 공학사. 1987년 서울대학교 전기공학 공학석사. 1990년 서울대학교 전기공학 공학박사 1990~2002 순천향대학교 정보기술공학부 부교수. 1997~1998 R.P.I 미국 방문 교수. 2002~현재 중앙대학교 전자전기공학부 교수. 관심분야는 전자장 및 수치해석, RF 및 마이크로웨이브 소자 해석 및 설계, RFID 시스템 연구, IT-SoC응용 회로, 전력 IT



오재욱

2005년 중앙대학교 전자전기공학부 졸업. 2005년~현재 중앙대학교 공과대학원 석사과정 재학중. 관심분야는 RF 및 무선통신, 마이크로파 증폭기 설계.