

CMOS 공정을 이용한 높은 선형성을 갖는 900MHz RFID 용 LNA

A High Linearity 900-MHz CMOS LNA for RFID

송준, 조일현, 이문규
(Jun Song, Il-hyun Cho, Moon-que Lee)

Abstract : In this paper, we present a design procedure of high linearity LNA using CMOS technology. To enhance the low linearity of the inherent CMOS transistor, we adopt the modified derivate superposition with adding external capacitor. The simulation of the designed LNA shows IIP₃ of +12-dBm, power gain of 13.8-dB, noise figure of 1.75-dB over the 900 MHz UHF RFID frequencies. The circuit draws the current of 4.2 mA from 1.8-V supply voltage.

Keywords: LNA, linearization, IP₃, RFID

I. 서론

CMOS공정기술의 발달로 게이트 길이가 짧아짐에 따라 기존의 CMOS에서 구현하기 회로가 구현가능 해졌다[1]. 예를 들어 CMOS공정을 이용하여 낮은 잡음지수를 갖는 저 잡음 증폭기를 구현하기 힘들어 GaAs등을 이용하여 제작하였으나 게이트 길이가 짧아짐에 따라 낮은 잡음지수를 갖는 저 잡음 증폭기를 구현가능 하게 되었다. 또한 잡음 정합의 둔감도가 높아서 전력 매칭만으로도 만족할 만한 잡음 지수를 얻는 것이 가능해 졌다. 하지만, 이와 달리 게이트 길이가 짧아짐에 따라 전압에 따른 전류의 변화가 커졌고 이에 따라 IP₃가 낮아졌다. 이를 해결하기 위하여 여러 가지 기법이 이용 되는데 LNA에 이용되는 방법으로는 MOS의 선형성이 좋은 바이어스점을 이용하도록 하는 방법[2]이 있고 다른 방법으로 MOS의 선형성을 다른 MOS를 추가하여 보상하는 방법[3][4]이 있다. 이 논문에서는 MOS를 추가하여 선형성을 보상하는 기법을 응용하여 저전력으로 동작하는 높은 선형성을 갖는 LNA를 설계하였다.

II. CMOS LNA 에 관한 이론

1. 다중 게이트 트랜지스터 (Multiple Gate Transistors , MGTR)

MOS를 이용한 증폭기는 게이트-소스간의 전압차(v_{gs})에 따라 드레인-소스 사이에 흐르는 전류가 조절되는 것을 이용한다. 이 관계식을 다음과 같이 나타낼 수 있다.

$$I_{DS} = I_{DC} + g_m v_{gs} + \frac{g'_m}{2!} v_{gs}^2 + \frac{g''_m}{3!} v_{gs}^3 + \dots (1)$$

식(1)에서 g'_m 은 v_{gs}^2 항의 계수로 2차 고조파의 크기를 결정하고 g''_m 은 3차 고조파의 크기를 결정하게 된다. 선형성의 척도인 IP₃를 높이기 위해서는 3차 고조파를 줄여야 하는데 이를 위해 g''_m 을 0으로 만들어야 한다.

그림1은 일반적인 다중 게이트 트랜지스터 구조이다.

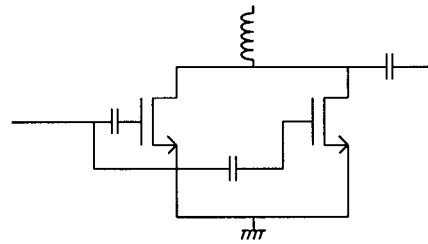
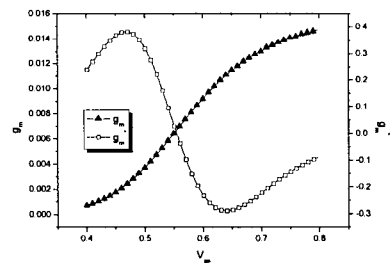


그림1 일반적인 다중 게이트 트랜지스터 (Multiple gate Transistors, MGTR) 구조

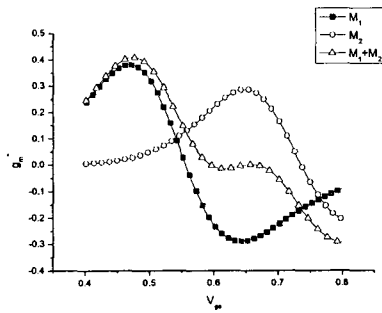
Fig. 1 The general structure of multiple-gate transistors.

그림 2는 TSMC 0.18 μm 공정에서 $W=32 \mu\text{m}$ 인 NMOS의 g_m 과 g''_m 의 값을 전압에 따른 값으로 나타낸 그래프이다.



(a)

이문규 : 서울시립대학교 전자전기컴퓨터공학부
(mqlee@uos.ac.kr)



(b)

그림 2. V_{gs} 에 따른 g_m 곡선 (a) V_{gs} 에 따른 g_m , (b) 다중 게이트 트랜지스터의 g_m

Fig. 2. g_m versus V_{gs} (a) g_m of a single transistor, (b) g_m of multiple gate transistor.

MOS의 동작점은 적절히 큰 g_m 값을 가지는 점에서 사용한다. 이러한 g_m 값을 가지는 전압은 그림2(a)에서 0.6V 근처로 이때 g_m 의 값을 보면 음수의 값을 가진다. 3차 고조파 성분을 줄이기 위해 g_m' 을 0로 만드려면 추가의 MOS를 g_m 값이 양수인 0.4V 부근으로 동작점을 잡고 크기를 조절하여 그림1과 같이 병렬로 연결하면 그림2.(b)와 같이 전체 g_m 값을 0으로 만들 수 있다. 이 경우 식(1)에서 예상할 수 있듯이, 3차 고조파 성분이 매우 작게 되어 높은 IP3를 갖게 된다. 이러한 추가 MOS를 사용할 경우 g_m 값이 양수인 영역은 문턱(threshold) 전압 근처로 전류가 매우 적게 흐르기 때문에 추가된 MOS로 인한 전력의 소비는 매우 적은 장점을 가진다.

2. 변형된 다중 게이트 트랜지스터.

CMOS공정에서 MOS를 추가하여 g_m 의 값을 0으로 만든 경우 그림3와 같이 본딩에 의해 MOS의 소스쪽에 인덕턴스(L)가 생기게 된다. 이 인덕턴스에 의한 효과를 volterra series로 분석해보면 주파수가 높아짐에 따라 g_m 를 개선한 효과가 줄어들게 된다.

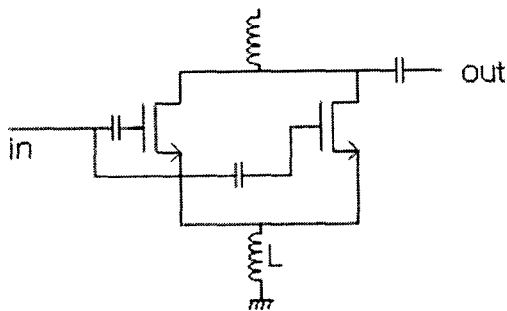


그림 3. 기생 인덕턴스를 포함하는 다중 게이트 트랜지스터 (Multiple gate Transistors, MGTR) 구조

Fig. 3 The structure of multiple-gate transistors including parasitic inductance.

그렇기 때문에 MGTR구조에서는 인덕턴스L을 최소화 시키는 것을 요구하는데 이로 인해 inductive degeneration을 사

용할 수 없게 되어 잡음지수와 입력정합을 동시에 맞추는 것이 어려워진다.

이것을 해결하기 위한 구조가 Modified Derivate Superposition (MDS)구조이다.

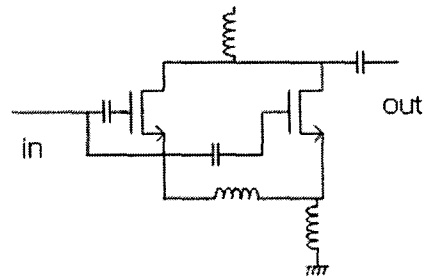


그림 4 Modified DS구조

Fig. 4. Modified DS structure.

이 구조는 소스에 인덕터가 들어가기 때문에 inductive degeneration을 이용할 수 있어서 잡음지수와 입력정합을 동시에 맞추는 것이 가능하다. 또한 내부 반사파들이 소스쪽 인덕터 값을 적절히 조절하면 서로 상쇄 되어 높은 주파수에서도 높은 IP3점을 가질 수 있는 구조이다.

III. LNA 설계

본 논문에서는 RFID용 주파수인 900MHz 에서 높은 IIP3를 가지도록 Modified DS 구조를 사용하였다. 또한 역방향 격리 특성이 우수하며 높은 주파수에서 밀러 효과에 의한 이득 감소가 작은 캐스코드 구조를 이용하였다.

0.18 μ m TSMC CMOS 공정에서 공급전압 1.8V를 사용하며 7.5mW의 전력을 소모하도록 설계하였다. 저전력으로 작동하기 위하여 MOS의 크기를 키우지 않고 게이트와 소스 사이에 캐패시터를 삽입하여 잡음지수와 입력정합을 맞추는 구조를 사용하였다.

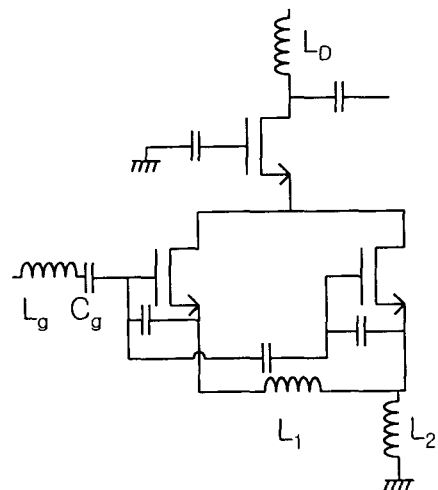
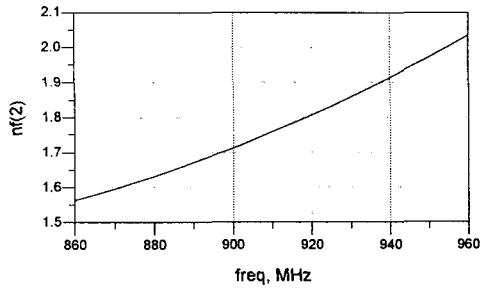


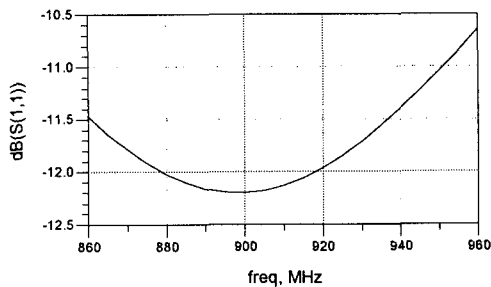
그림 5. Modified DS 구조에 외부 캐패시터를 추가한 구조. Fig. 5. A structure of Modified DS adding external capacitor.

그림5는 설계한 회로도 이다. Lg와 Cg는 크기가 크기 때문에 칩 외부에 달도록 설계하였다. L2는 칩 내부의 인덕터

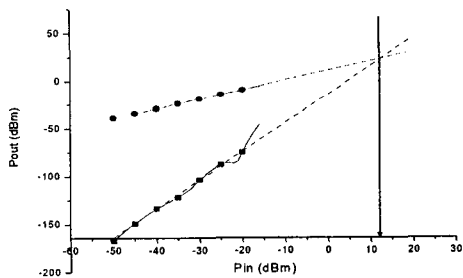
와 본딩 인덕터로 구성하였다.



(a)



(b)



(c)

그림 6 시뮬레이션 결과, (a) 잡음지수, (b) 반사손실 (S11), (c) 출력단에서 파워

Fig. 6. simulation result, (a) noise figure, (b) reflection loss(S11), (c) output power.

설계한 LNA를 시뮬레이션 한 결과, 910MHz에서 잡음지수 1.76dB 이득 13.84dB 입력정합 -12.13dB를 얻었다.

IV. 결론

본 논문에서는 900MHz RFID 대역의 LNA를 설계하고 시뮬레이션 하였다. 높은 IP3를 갖는 구조를 사용하면서 각각 MOS의 게이트와 소스 사이에 커패시터를 추가하여 잡음지수와 입력정합을 낮출 수 있었다.

제안된 LNA는 1.8V 에서 7.5mW의 전력을 소모하였고 잡음지수 1.76dB 이득 13.84dB의 성능을 보였다. 또한 IIP3가 약 12dBm으로 낮은 전력소모에 비해 매우 높은 IIP3값을 보

여주었다.

감사의 말

본 연구는 IDEC 의 부분 지원을 받았습니다.

참고문헌

- [1] Kwyro Lee, Ilku Nam, Ickjin Kwon, Joonho Gil, Kwangseok Han, Sungchung Park, Bo-Ik Seo, "The Impact of Semiconductor Technology Scaling on CMOS RF and Digital Circuits for Wireless Application", IEEE Trans. Electron Devices, vol 52, NO. 7, July 2005, pp. 1415-1422.
- [2] V. Aparin, G. Brown, and L. E. Larson, "Linearization of CMOS LNA's via optimum gate biasing," IEEE Int. Circuits Systems Symp. , vol. IV, May2004, pp.748-751.
- [3] T. W. Kim, B. Kim, and K. Lee, "High linear receiver front-end adopting OSFET transconductance linearization by multiple gated Transistors," IEEE Solid-state Circuits, vol. 39, no. 1, pp.223-229, Jan.2004.
- [4] V. Aparin, and L. E. Larson, "Modified derivative superposition method for linearizing FET low-noise amplifiers" IEEE Trans. Microw. Theory Tech. , vol. 53, no. 2, pp. 571-581, Feb.2005.



송 준

2006년 서울시립대학교 전자전기컴퓨터공학부 졸업. 2006년~현재 서울시립대학교 전자전기컴퓨터공학부 석사과정 재학 중.



조 일 현

2005년 서울시립대학교 전자전기컴퓨터공학부 졸업. 2005년~현재 서울시립대학교 전자전기컴퓨터공학부 석사과정 재학 중.



이 문 규

1992년 2월 한국과학기술원 전기 및 전자공학과 (공학사)

1992년 3월~1994년 2월 : 서울대학교 전자공학과 (공학석사)

1994년 3월~1999년 2월 : 서울대학교 전기공학부 (공학박사)

1999년 2월~2002년 2월 : 한국전자통신연구원 통신위성개발센터 선임연구원

2002년 3월~현재 : 서울 시립대학교 전자전기 컴퓨터공학부 부교수