

SoC 공정에 적용 가능한 Spiral Inductor의 특성 연구

Characterization of Spiral Inductor possible in SoC processing

고재형*, 하상훈**, 김형석***

(Jae-Hyeong Ko, Sang-Hoon Ha, Hyeong-Seok Kim)

Abstract : 본 논문에서는 SoC 공정에 적용 가능한 spiral 인덕터의 특성에 대해 다루었다. 일정한 크기의 인덕터에서 턴 수의 변화에 따른 인덕턴스와 Q-factor의 변화를 보았다. HFSS프로그램을 사용하여 턴 수와 선로의 폭이 같은 조건하에서 사각형 구조와 팔각형 구조를 갖는 인덕터의 인덕턴스와 Q-factor의 값을 계산하였다. 사각형 구조와 팔각형 구조 모두 선로 폭 보다는 턴 수가 증가할수록 인덕턴스가 증가하였다. 턴 수가 증가할수록 Q-factor의 값은 사각형 구조는 감소하는 반면 팔각형 구조는 증가하였다. spiral과 실리콘 사이에 PGS(Patterned Ground Shield)를 삽입하여 인덕턴스 및 Q-factor의 변화를 비교 분석하였다. 그 결과 PGS의 사용으로 사각형 구조와 팔각형 구조에서 턴 수에 따라 Q-factor 값이 구조에 따라 서로 다른 방향으로 증감하는 것을 확인할 수 있었다.

Keywords : Rectangular Spiral Inductor, Octagonal Spiral Inductor, Patterned Ground Shield, Inductance, Quality factor

1. 서론

최근 무선통신 시장에서 Si VLSI(Silicon very large scale integration)기술의 발달로 인해 IC는 SoC(System on Chip) 실리콘 고주파 집적회로로 진화하고 있다. 부품은 초소형화, 고기능화 되고 있다. RF 소자들 중 나선형 인덕터는 부품의 소형화에 중요한 영향을 미치는 수동 소자이다.

나선형 인덕터의 주요 성능을 나타내는 인덕턴스와 Q (Quality) factor는 인덕터의 구조, 선로 폭(um), 선로 길이(um), 선로 간격(um), 턴 수에 따라 영향이 크다[1][2].

인덕터의 성능을 개선시키는 방법에는 여러가지가 있다. Conduction loss나 dielectric loss 및 eddy current loss를 줄이는 방법 등이 있다[3].

본 논문에서는 eddy current loss를 줄이는 방법중 PGS(Patterned Ground Shield)를 이용하는 방법을 다루었다.

먼저 인덕터를 사각형 구조와 팔각형 구조에 대해 시뮬레이션을 통해 비교 분석하였다. 인덕터의 설계 변수 중 크기와 간격을 고정시키고 선로 폭과 턴 수를 변화시키면서 인덕턴스와 Q factor를 알아보고, 인덕터의 Q factor의 개선을 위해 PGS를 삽입하여 Q factor의 향상을 알아보았다.

11. 인덕터의 모델링

동일한 공간을 점유하면서 서로 다른 형태를 가지는 인덕터의 구조에 따른 인덕턴스와 Q factor의 변화를 알아보기 위해 EM 시뮬레이션을 하였다. 사각형 구조와 팔각형 구조의 인덕터를 시뮬레이션 하였으며 두 종류의 인덕터의 크기는 모두 300 × 300 um로 고정 시켰다. 또한 인덕터의 간격은 2um으로 유지 하고 선로 폭과 턴 수의 변화를 주었다. 선로 폭의 변화는 10, 15, 20 um로, 턴 수의 변화는 1.5, 3.5, 5.5 턴으

로 변화를 주었다.

동일한 면적을 차지 하는 인덕터에 대한 시뮬레이션을 위해 선로 폭과 턴 수의 증가 시 인덕터의 inner radius가 감소하도록 설계 하였다.

인덕터의 성능을 평가하는 항목 중 중요한 요인인 Q factor를 향상 시키기 위해 인덕터와 실리콘 substrate 사이에 기생 손실 성분을 줄이고자 그림 1과 같이 PGS구조를 삽입 하고 각 구조에 대해서 이를 비교 하였다.

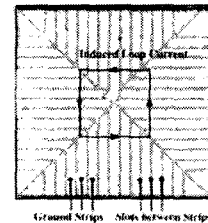
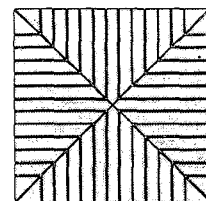


그림 1. 패턴드 그라운드 실드[2].
Fig. 1. Patterned Ground Shields[2].

Image current에 대한 저항을 증가하기 위해 그림 1에서처럼 ground shield는 spiral에 수직으로 slot을 나눈다. Slot은 유도된 loop current를 cut off시키면서 open circuit처럼 유도한다[2].

시뮬레이션에 사용한 PGS는 그림 2와 3과 같이 각각의 strip사이의 slot 값을 2um로 일정하게 하고 RSI(Rectangular Spiral Inductor)와 OSI(Octagonal Spiral Inductor)의 한 면에 각각 13조각의 strip과 7조각의 strip으로 나눠서 설계한 PGS이다.



(a)

* : 중앙대학교 전자전기공학부 석사 과정 (kojh77@gmail.com)

** : 중앙대학교 전자전기공학부 석사 과정 (hash8117@nate.com)

*** : 중앙대학교 전자전기공학부 교수 (kimca2@cau.ac.kr)

※ 본 연구는 기초전력연구원의 전력선행기술 신규과제지원으로 함.

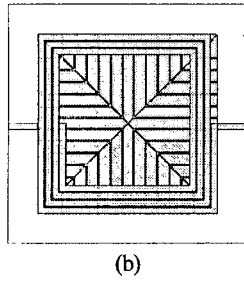


그림 2. (a) 사각형 인덕터의 PGS, (b) PGS 삽입한 인덕터.
Fig. 2. (a) PGS of RSI, (b) RST with PGS.

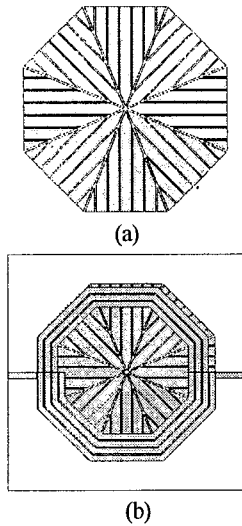


그림 3. (a) 팔각형 인덕터의 PGS, (b) PGS 삽입한 인덕터.
Fig. 3. (a) PGS of OSI, (b) OST with PGS.

그림 4는 실리콘 기판에 RSI에 PGS 없이 구현한 인덕터와 등가회로이다.

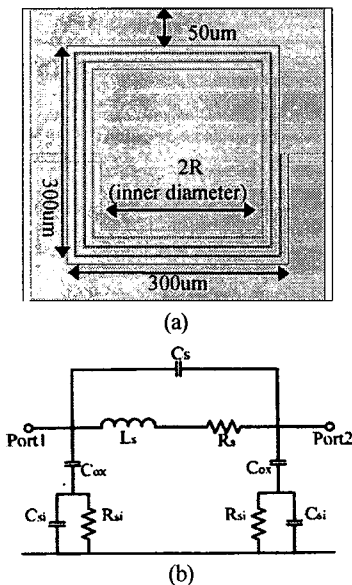


그림 4. (a) PGS 없는 인덕터, (b) 등가회로.
Fig. 4. (a) RSI with no PGS, (b) the equivalent circuit.

L_s : inductance
 R_s : metal series resistance

C_s : overlap capacitance between the spiral and underpass
 C_{ox} : oxide capacitance between the spiral and substrate
 R_{si} : silicon substrate resistance
 C_{si} : Silicon substrate capacitance

1. 인덕턴스

나선형 인덕터에서 가장 중요한 요소인 L_s (인덕턴스)는 기본적으로 각각의 선로의 자기 인덕턴스와 두 선로에 의한 상호 인덕턴스의 합으로 식(1)-(5)에 의해 구할 수 있다[4].

$$L_s = L_{self} + \sum M_+ - \sum M_- \quad (1)$$

자기 인덕턴스는 식 (2)로 표현할 수 있다.

$$L_{self} = 2\ell \left(\ln \frac{2\ell}{w+t} + 0.5 + \frac{w+t}{3\ell} \right) \quad (2)$$

L_{self} : inductance in nH
 ℓ : wire length in cm
 w : width in cm
 t : thickness in cm

상호 인덕턴스는 두 선로에 흐르는 전류가 같은 방향이면 puls 성분을 만들고 전류가 반대 방향이면 minus 성분을 만든다. 이를 식(3)-(5)에서 구할 수 있다 [4][5].

$$M = 2\ell Q_M \quad (3)$$

Q_M 은 상호 인덕턴스 파라미터로 다음과 같이 구할 수 있다.

$$Q_M = \ln \left[\frac{\ell}{GMD} + \sqrt{1 + \left(\frac{\ell}{GMD} \right)^2} \right] - \sqrt{1 + \left(\frac{GMD}{\ell} \right)^2} + \frac{GMD}{\ell} \quad (4)$$

$$\ln GMD = \ln d - \frac{w^2}{12d^2} - \frac{w^4}{60d^4} - \frac{w^6}{168d^6} - \frac{w^8}{360d^8} - \frac{w^{10}}{660d^{10}} \dots \quad (5)$$

d : distance between the track centers
 GMD : Geometric Mean Distance between conductors

2. Q factor 와 Patterned Ground Shield

인덕터의 성능을 나타내는 Q factor는 일반적으로 식(6)과 같이 한 주기당 저장하는 에너지에 대한 소비하는 에너지의 비로 나타낸다[2][6].

$$Q = 2\pi \cdot \frac{\text{energy stored}}{\text{energy loss in one oscillation cycle}} = 2\pi \cdot \frac{E_{diff}}{\text{energy loss in one oscillation cycle}} = \frac{R}{\omega L} \cdot \left[1 - \left(\frac{\omega}{\omega_0} \right)^2 \right] \quad (6)$$

E_{diff} : peak magnetic energy - peak electric energy

에너지를 그림 4(b)의 RSI 등가회로의 구성 소자로 식 (7)-(11)으로 표현할 수 있다[2].

$$E_{\text{peak magnetic}} = \frac{V_0^2 L_s}{2 \cdot [(\omega L_s)^2 + R_s^2]} \quad (7)$$

$$E_{\text{peak electric}} = \frac{V_0^2 (C_s + C_p)}{2} \quad (8)$$

$$E_{\text{loss in one oscillation cycle}} = \frac{2\pi}{\omega} \cdot \frac{V_0^2}{2} \cdot \left[\frac{1}{R_p} + \frac{R_s}{(\omega L_s)^2 + R_s^2} \right] \quad (9)$$

$$R_p \approx \frac{1}{\omega^2 C_{ox}^2 R_{Si}} + \frac{R_{Si} (C_{ox} + C_{Si})^2}{C_{ox}^2} \quad (10)$$

$$C_p \approx C_{ox} \cdot \frac{1 + \omega^2 (C_{ox} + C_{Si}) C_{Si} R_{Si}^2}{1 + \omega^2 (C_{ox} + C_{Si})^2 R_{Si}^2} \quad (11)$$

V_0 : the peak voltage across the inductor terminals

Q에 대한 식(6)을 식(7)-(11)으로 식(12)로 표현할 수 있다.

$$Q = \frac{\omega L_s}{R_s} \cdot \frac{R_p}{R_p + [(\omega L_s / R_s)^2 + 1] R_s} \cdot \left[1 - \frac{R_s^2 (C_s + C_p)}{L_s} - \omega^2 L_s (C_s + C_p) \right] = \frac{\omega L_s}{R_s} \cdot \text{substrate loss factor} \cdot \text{self-resonance factor} \quad (12)$$

식(12)에서 R_p 가 무한대로 갈수록 substrate loss factor는 1에 가까워진다. 즉, R_p 가 무한대로 증가할수록 substrate loss factor를 줄일 수 있다. R_p 가 무한대로 증가할 수 있는 조건은 식(10)에서 볼수 있듯이 R_{Si} 가 0이나 무한대이면 R_p 가 무한대 값을 갖는다. 이를 통해 silicon substrate가 short나 open일 때 에너지 손실을 제거할 수 있어 Q-factor 값을 향상시킬 수 있다.

인덕터와 실리콘 사이에 SGS(Solid Ground Shield)를 삽입하여 접지시켜 short 시키면 실리콘의 기생성분인 R_{Si} 와 C_{Si} 의 값을 줄일 수 있다. 그러나, SGS는 인덕터의 자기장을 방해한다. Lenz's 법칙에 따르면 image current(loop current)가 인덕터의 자기장에 의해 SGS에 유도된다. 이 image current가 인덕터에 흐르는 전류의 반대방향으로 전류가 흐르기 때문에 두 전류 사이에 반대의 상호 커플링이 발생해서 자기장을 줄이는 현상이 일어나고 이는 전체 인덕턴스를 감소시킨다.

Image current에 의한 전체 인덕턴스의 감소를 줄이기 위해 SGS에 유도된 image current의 흐름을 방해하기 위해 SGS에 slot을 spiral에 수직으로 넣는다. SGS에 slot을 넣은 것을 PGS라 한다.

PGS는 image current의 선로를 cut off 시킴으로써 open 회로가 되게 한다. PGS의 저항은 에너지 소비를 야기하나 일반적

으로 oxide층의 저항보다 매우 작으므로 무시해도 된다. 그러나, PGS를 통과하는 자기장의 감소를 최소화하기 위해 사용하려는 주파수에서의 skin depth보다는 PGS의 두께가 얇아야 한다[2].

III. 시뮬레이션 결과 및 분석

시뮬레이션 툴은 HFSS를 사용하였다. 구조에 따른 인덕터의 특성을 비교하기 위해 사각형의 인덕터와 팔각형의 인덕터의 턴 수와 선로 폭의 변화에 따른 인덕턴스와 Q-factor를 알아보았다. Q-factor의 개선을 위해 각각의 인덕터에 삽입한 PGS에 따른 인덕턴스와 Q-factor값의 변화도 알아보았다.

1. 사각형 나선형 인덕터

그림 5는 고정된 3.5 턴에서 선로 폭을 10, 15, 20um로 변화를 주어 구한 인덕턴스와 Q-factor 값이다.

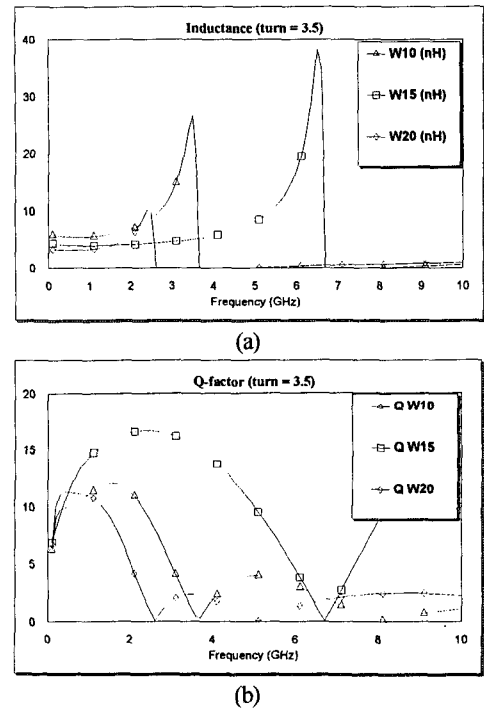
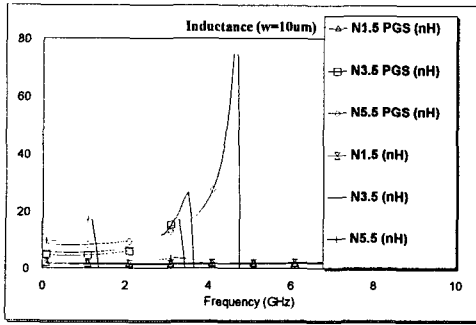


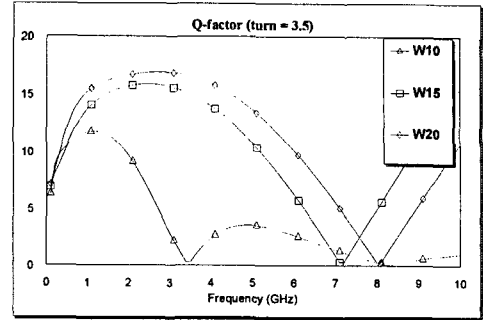
그림 5. 선로 폭의 영향 (a) 인덕턴스, (b) Q-factor.
Fig. 5. the effect of width (a) inductance, (b) Q-factor.

선로 폭이 증가할수록 인덕턴스가 낮아 지는 것을 확인할 수 있다.

그림 6은 선로 폭을 10um로 고정하여 턴 수를 1.5, 3.5, 5.5로 변화를 주면서 PGS를 삽입한 경우와 없는 경우의 인덕턴스와 Q-factor 값을 구하였다.



(a)

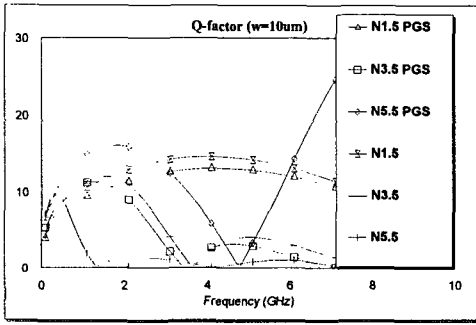


(b)

그림 7. 선로 폭의 영향 (a) 인덕턴스, (b) Q-factor.
Fig. 7. the effect of width (a) inductance, (b) Q-factor.

선로 폭이 증가할수록 인덕턴스는 낮아지는 반면 SRF 지점은 높아진다.

그림 8은 선로 폭을 고정하여 턴 수를 변화 시킨 인덕터의 인덕턴스와 Q-factor이다.



(b)

그림 6. 턴 수의 영향 (a) 인덕턴스, (b) Q-factor.
Fig. 6. the effect of turn number (a) inductance, (b) Q-factor.

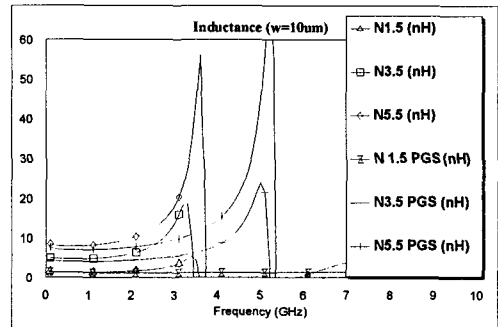
그림 5에서 턴 수가 증가할수록 선로 길이 증가로 인덕턴스는 증가하지만 Cs의 증가로 자기공진주파수(SRF)가 낮아진다.

사각형 인덕터의 인덕턴스와 Q-factor 곡선은 PGS를 삽입 전 후 거의 비슷한 모습을 보이고 턴 수가 증가하면서 SRF 지점이 높아진 것을 볼 수 있다.

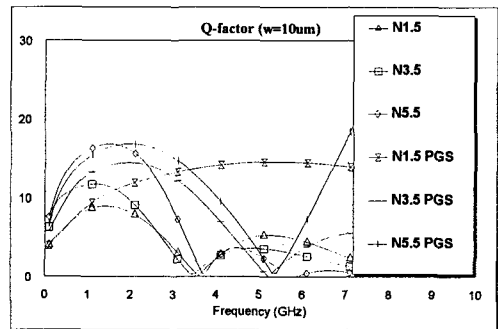
2. 팔각형 나선형 인덕터

구조에 따른 비교를 위해 팔각형 인덕터 또한 사각형 인덕터와 같이 선로 폭과 턴 수의 변화에 따른 인덕턴스와 Q-factor를 보았고, PGS를 삽입하여 Q-factor의 향상을 알아보았다.

그림 7는 선로 폭을 변화 시킨 인덕터의 특성 결과이다.



(a)



(b)

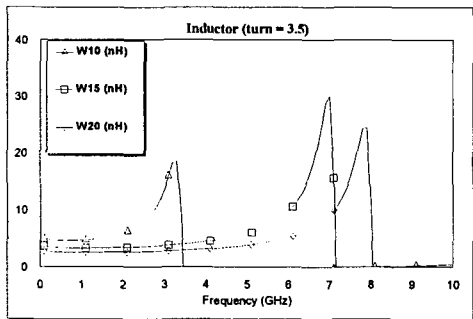
그림 8. 턴 수의 영향 (a) 인덕턴스, (b) Q-factor.
Fig. 8. the effect of turn number (a) inductance, (b) Q-factor.

팔각형 인덕터에서도 턴 수 증가로 선로 길이가 증가하여 인덕턴스가 턴 수에 비례한다. 그러나, 사각형 인덕터와는 다르게 SRF가 턴 수 변화에 영향을 적게 받는다.

PGS를 삽입해도 인덕턴스와 Q-factor 값의 변화는 비슷한 곡선을 긋는다. 대체적으로 SRF 값이 높아지고 Q-factor 값이 높아지는 것을 볼 수 있다.

3. 구조의 비교 분석

각각의 구조에 대해 턴 수의 변화에 따른 Q-factor 값이 가장 높을 때의 주파수 및 인덕턴스를 표 1과 2에 나타냈다.



(a)

PGS를 삽입함으로써 Q-factor 값은 대체로 향상되나 인덕턴스는 감소하는 현상이 발생한다.

표 1. 사각형 나선형 인덕터
Table 1. Rectangular Spiral Inductor

| tum | 1.5 | | | 3.5 | | | 5.5 | | |
|-----|-----|--------|--------|-----|--------|-------|-----|-------|-------|
| PGS | F | L | Q | F | L | Q | F | L | Q |
| 무 | 4 | 1.67 | 14.57 | 1.6 | 6 | 12 | 0.4 | 9.69 | 9.58 |
| 유 | 4.2 | 1.41 | 13.03 | 1.3 | 4.67 | 11.3 | 1.8 | 8.91 | 16.04 |
| 비교 | 5 | -15.57 | -10.57 | -19 | -22.17 | -5.83 | 350 | -8.05 | 67.43 |

표 2. 팔각형 나선형 인덕터
Table 2. Octagonal Spiral Inductor

| tum | 1.5 | | | 3.5 | | | 5.5 | | |
|-----|-----|-------|------|-----|--------|-------|-----|--------|-------|
| PGS | F | L | Q | F | L | Q | F | L | Q |
| 무 | 1.4 | 1.31 | 8.95 | 1.2 | 4.76 | 11.71 | 1.5 | 8.66 | 16.77 |
| 유 | 5.4 | 1.21 | 14.5 | 1.9 | 4.21 | 14.39 | 2 | 7.61 | 16.79 |
| 비교 | 285 | -7.63 | 62 | 58 | -11.55 | 22.89 | 33 | -12.12 | 0.12 |

적은 턴 수의 사각형 인덕터는 PGS를 삽입하면 인덕턴스와 Q-factor 값이 모두 낮아지지만 5.5 턴의 인덕터에서는 인덕턴스가 약 8%가 감소하는 반면 Q-factor 값이 67%이상 증가하는 것을 알 수 있다. 사각형 인덕터에서는 PGS가 낮은 턴 수에서는 Q-factor가 오히려 감소하나 턴 수가 증가함에 따라 Q-factor 증가율이 증가하면 일정 턴 수 이후에는 인덕턴스의 감소율이 낮아지면서 Q-factor의 향상을 볼 수 있다.

팔각형 인덕터에서는 턴 수가 증가하면서 Q-factor 증가율이 감소되는 것을 볼 수 있다. 낮은 주파에서 인덕턴스는 7%의 감소가 있지만 62%의 Q-factor 향상이 있다. 팔각형 인덕터는 사각형 인덕터와는 반대로 턴 수가 증가하면 인덕턴스의 감소율이 높아지면서 Q-factor 증가율이 낮아지는 것을 확인할 수 있다.

IV. 결론

본 논문에서는 HFSS 툴을 사용해 SoC, LTCC공정에 적용 가능한 spiral 인덕터의 특성에 대해 시뮬레이션 하였다. 일정한 크기의 인덕터에서 턴 수의 변화에 따른 인덕턴스와 Q-factor의 변화를 보았다. 사각형 구조와 팔각형 구조 모두 선로 폭 보다는 턴 수가 증가할수록 인덕턴스가 증가하였다. SRF 값의 변화에서 사각형 구조 보다는 팔각형 구조가 안정적이다. Q-factor 값은 턴 수가 증가할수록 사각형 구조는 감소하는 반면 팔각형 구조는 증가하였다. PGS를 삽입하여 인덕턴스 및 Q-factor의 변화를 비교 분석한 결과 인덕터의 구조와 턴 수를 고려 하지 않고 PGS를 사용하는 것은 오히려 Q-factor를 감소 시키는 결과를 갖게 될 수 있다. 사각형에서는 턴 수가 증가할수록 개선되는 반면 팔각형 구조에서는 턴 수가 감소할수록 개선되는 결과를 확인할 수 있었다. 본 연구를 통해 요구되는 주파수 대역과 Q-factor의 값에 따라 인덕터의 구조를 달리하면서 구조에 따라 PGS를 사용해야 할 것으로 사료된다.

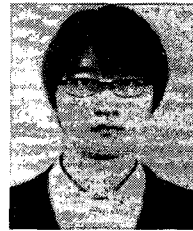
참고문헌

- [1] Gray PR, Meyer RG "Future direction in silicon IC's for RF personal communication". Proc IEEE Custom Integ Circ Conf, p. 83-90, May 1995.
- [2] C. Patrick Yue, S. Simon Wong. "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's", IEEE J Solid-State Cir., vol. 33, p.743-752, May 1998.
- [3] Shang-Yu Liang, Shu-Hui Tsai, Chun-Hsien Lee, and Ruey-Shing Huang. "Modeling and Comparison of Different Micro-machined Tree-Dimensional Inductors", IEEE 2002.
- [4] C. Patrick Yue, S. Simon Wong. "Physical Modeling of Spiral Inductors on Silicon", IEEE transaction on electron devices, vol. 47, p.560-568, March 2000.
- [5] F. W. Grover. "Inductance Calculations". New York, NY: Ban Nostrand, 1962.
- [6] Ali M. Niknejad, Rovert G. Meyerl., "Analysis, Design and Optimization of Spiral Inductor and Transformers for Si RF IC's", IEEE J. Solid-State Circuits, vol. 33, p. 1470-1481, Oct. 1998.



고재형

2004년 중앙대학교 전자공학부 졸업. 2006년~현재 중앙대학교 전자전기공학부 공학석사과정 중. 관심분야 : RF 소자, IT-SoC.



하상훈

2005년 중앙대학교 전자전기공학부 공학사. 2005~현재 중앙대학교 전자전기공학부 공학석사 및 전자제품연구원 연구원. 관심분야 : RF 및 마이크로웨이브 수동 소자 해석 및 설계, RFID 시스템 연구, LTCC공정을 이용한 RF 모듈 설계



김형석

1985년 서울대학교 전기공학 공학사. 1987년 서울대학교 전기공학 공학 석사. 1990년 서울대학교 전기공학 공학박사. 1990~2002 순천향대학교 정보기술공학부 부교수. 1997~1998 R.P.I 미국 방문 교수. 2002~현재 중앙대학교 전자전기공학부 교수. 관심분야는 전자장 및 수치해석, RF 및 마이크로웨이브 소자 해석 및 설계, RFID 시스템 연구, IT-SoC 응용 회로, 전력 IT