

SiGe/Si 이종접합구조의 채널을 이용한 SOI n-MOSFET의 DC 특성

최아람, 최상식, 양현덕, 김상훈*, 이상흥*, 심규환

전북대학교, 반도체물성연구소, 반도체과학기술학과, *한국전자통신연구원

DC Characteristic of Silicon-on-Insulator n-MOSFET with SiGe/Si Heterostructure Channel

A-Ram Choi, Sang-Sik Choi, Hyun-Duk Yang, Sang-Hoon Kim*, Sang-Heung Lee*, Kyu-Hwan Shim

Semiconductor Physics Research Center, Department of Semiconductor Science and Technology, Chonbuk National University

*Electronics and Telecommunications Research Institute

Abstract : Silicon-on-insulator(SOI) MOSFET with SiGe/Si heterostructure channel is an attractive device due to its potent use for relaxing several limits of CMOS scaling, as well as because of high electron and hole mobility and low power dissipation operation and compatibility with Si CMOS standard processing. SOI technology is known as a possible solution for the problems of premature drain breakdown, hot carrier effects, and threshold voltage roll-off issues in sub-deca nano-scale devices. For the forthcoming generations, the combination of SiGe heterostructures and SOI can be the optimum structure, so that we have developed SOI n-MOSFETs with SiGe/Si heterostructure channel grown by reduced pressure chemical vapor deposition. The SOI n-MOSFETs with a SiGe/Si heterostructure are presented and their DC characteristics are discussed in terms of device structure and fabrication technology.

Key Words : SOI, SiGe, Heterostructure, MOSFET, SGOI

1. 서론

현재 Si반도체가 주류를 이루고 있는 가운데 아직도 Si CMOS는 극복하기 어려운 subthreshold 전류누설, 기판과의 간섭손실, 산화막-실리콘 계면의 저주파 잡음의 한계특성 등의 단점이 남아있다. 집적도를 높이기 위하여 MOSFET의 게이트 폭을 줄이면서 드레인 전류를 증가시키려는 노력에 따라 게이트 절연막이 얇아지고, 적절한 문턱전압을 얻기 위해 채널영역의 도핑농도를 높임으로써 소자 내부의 전계가 높아지고, 높은 전계는 드레인 접합에 인접한 산화막과 실리콘의 계면의 물리적 특성을 급속히 저하시켜 trap을 발생시키고 결국 드레인 전류를 감소시키게 되어 소자수명을 단축시키게 된다. 또한 누설전류가 증가하고 반전층의 기생 캐패시턴스 효과가 면적에 따른 게이트 캐패시턴스 보다 소자에 미치는 영향이 더 커지게 하여 소자의 동작 특성에 악영향을 미친다.

SOI MOSFET 기술은 기존 소자의 문제점들을 해결하고 저전력, 저전압, 초고주파 응용에 가장 적합한 실리콘 소자 제작기술로 발전할 가능성을 지닌 것으로 평가되고 있다[1,2]. 또한 SiGe 반도체는 실리콘(Si) 반도체 공정을 기반으로 하고 있어서 우수한 양산 능력과 저가격 생산에 가장 적합하며, 고속동작, 저전력 소모, 고집적화를 위한 방안으로, 여러 소자(HBT, BiCMOS, HMOS, SFET)로 개발되고, 차세대 소자로 주목된다[3].

본 논문에서는 SiGe과 SOI MOSFET의 특성을 접목시켜 SiGe 채널로 동작속도를 높이고, SOI 구조로 기판의 기생 capacitor와 누설전류를 감소시켜 신호의 감쇄를 줄임으로써 성능을 개선시키고자 수행되었다. SiGe/Si 이종접합 구조의 채널을 갖는 SOI MOSFET을 제작하였고, 소자의 구조에 따른 DC 특성을 분석하였다.

2. 실험

본 실험에서는 게이트의 길이가 0.5 μm 로 제작된 n-MOSFET을 이용하였다. 이종접합 구조의 채널에 사용된 Si/Si_{0.8}Ge_{0.2}/Si quantum well 에피 성장에는 RPCVD(Reduced Pressure Chemical Vapor Deposition)가 이용되었으며, SOI 기판 위에 100 Å의 Si 씨앗층, 100 Å의 Si_{0.8}Ge_{0.2} 채널층, 70 Å의 Si cap층을 차례로 성장되었다. 게이트 산화막은 800 °C, H₂/O₂ 분위기에서 열산화에 의해 70 Å 두께로 성장되었고, phosphorus 도핑된($>2 \times 10^{20} \text{ cm}^{-3}$) 게이트 폴리 층이 550 °C에서 증착되었다.

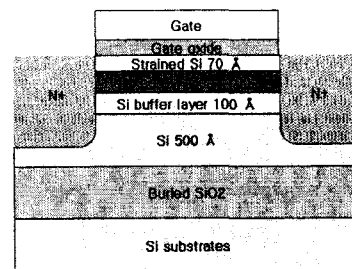


그림 1. SiGe/Si 이종접합 구조의 채널을 이용한 SOI n-MOSFET 소자 단면도

그림1은 SiGe SOI n-MOSFET 소자의 개략적인 단면도이다. 표준공정이 소자에 맞게 수정되었는데, 소스-드레인과 게이트의 형성, 그리고 열처리의 조건에 있어서는 최적화가 향후 필요로 된다. 소자의 DC 특성은 HP4155A 반도체 파라미터 분석기를 이용하여 측정하였다. 측정조건은 드레인 전압과 게이트 전압을 0~1.5 V까지 0.5 V step으로 인가하였고, 상온에서 드레인 전류와 트랜스컨덕턴스 값을 측정하였다.

3. 결과 및 고찰

그림2는 DC특성을 분석하기 위하여 V_G 를 증가에 따른 V_D - I_D 측정된 결과를 보여준다. 게이트 전압이 1.5 V일 때 포화전류는 5 mA에서 13 mA로 증가하여 게이트 폭이 증가함에 따라 I_D 값이 증가하는 전형적인 모습을 보였다. 게이트 폭에 따라 게이트 전압이 증가하면 드레인 전류의 증가폭이 증가함을 볼 수 있었다. 게이트 전압을 낮게 걸어주는 경우 kink 효과가 나타났다.

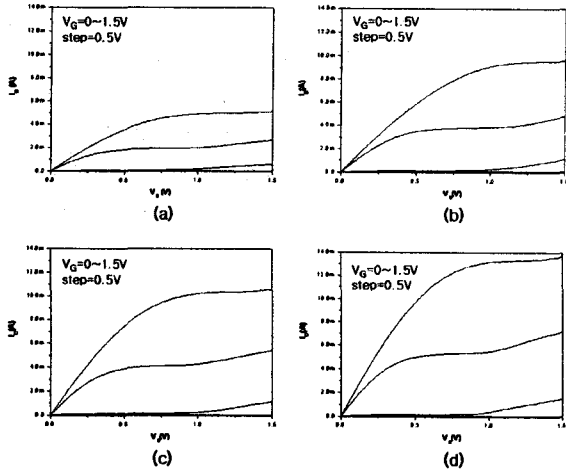


그림 2. SiGe/Si 이종접합 구조의 채널을 이용한 SOI n-MOSFET의 V_D - I_D 특성: 게이트 폭 (a) 20, (b) 40, (c) 60, (d) 80 μm

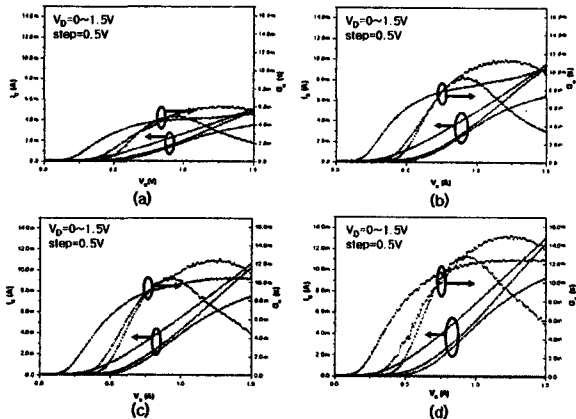


그림 3. SiGe/Si 이종접합 구조의 채널을 이용한 SOI n-MOSFET의 V_G - I_D 와 G_m 특성: 게이트 폭 (a) 20, (b) 40, (c) 60, (d) 80 μm

kink 효과는 floating body의 존재로 source-body 전위 장벽이 커지게 되고, impact ionization에 의해 생성된 정공이 body에 붙잡히게 되어 결국 소스와 body 사이의 전위장벽이 감소하게 된다. 이때 생성된 정공 전류는 body에서 소스로 흐르고 body 전위의 증가로 인해 문턱전압은 드레인 바이어스에 의해 변하게 된다[4]. 게이트 폭이 큰 소자에서 kink 효과가 심하여, $|V_D - V_G|$ 가 대략 0.7, 0.5, 0.1 V에서 발생하였다.

그림2와 동일한 소자에 대해 트랜스컨덕턴스 값과 드레인 전압에 따른 문턱전압의 변화를 보기 위하여, 그림3과 같이 V_G - I_D 측정을 통해 트랜스컨덕턴스와 문턱전압의 변화를 알아보았다.

트랜스컨덕턴스는 드레인 전압이 1 V일 때 6, 11, 13, 15 mS로 최대값을 나타냈으며, 게이트 폭이 증가할수록 트랜스컨덕턴스의 최대값이 6~15 mS로 증가함을 알 수 있다. 이는 소자의 게이트 폭이 증가할수록 채널의 면적이 증가하여 트랜스컨덕턴스의 값이 증가하였고, 드레인 전압이 1 V 이상일 때 트랜스컨덕턴스가 게이트 전압의 증가함에 따라 증가하였으므로 트랜스컨덕턴스는 SOI의 kink 효과에 영향이 크다.

문턱 전압은 드레인 전압이 증가할수록 감소함을 볼 수 있었다. 드레인 전압이 1 V 이하일 경우 문턱 전압은 0.5 V 정도였으나 1.5 V에서는 0.25 V 정도로 극히 작은 것을 보면 드레인 전압이 1 V 이상이 될 때 문턱전압의 감소가 더욱 뚜렷하게 나타남을 알 수 있다.

4. 결론

SiGe과 SOI MOSFET의 특성을 접목시켜 SiGe 채널로 동작속도를 높이고, SOI 구조로 기판의 기생 capacitor와 누설전류를 감소시켜 신호의 감쇄를 제어함으로써 성능을 개선시키고자 하였다. SiGe/Si 이종접합 구조의 채널을 갖는 SOI MOSFET에서 소자의 게이트 폭에 대한 DC 특성을 분석하였다. 소자의 게이트 폭이 증가할수록 같은 전압에서 더 많은 전류가 흐르고 트랜스컨덕턴스가 증가하였으며, 모든 게이트 폭에서 kink 효과가 드레인-게이트 전압의 차이에 따라 나타났다. 드레인 전압이 1 V 이상일 때 트랜스컨덕턴스가 게이트 전압의 증가에 따라 증가하는 결과에서는 트랜스컨덕턴스의 증감과 kink 현상이 상호 관계함을 보였다.

감사의 글

“본 연구는 산업자원부에서 지원하는 신기술실용화기술 개발(10016988)과 ETRI사업의 일환으로 수행되었습니다.”

참고 문헌

- [1] S. Takagi, N. Sugiyama, T. Mizuno, T. Tezuka, A. Kurobe, Materials Science and Engineering B89, p. 426, 2002.
- [2] 수원대학교, “Floating body effect를 최소화한 SOI nMOSFET 최적설계에 관한 연구”, 정보통신부 최종 연구개발 결과 보고서, 1999.
- [3] Koji Usuda, Toshinori Numata, Toshifumi Irisawa, Norio Hirashita, Shinichi Takagi, Materials Science and Engineering B124, p.143, 2005.
- [4] 양현덕, 최상식, 김재연, 심규환, 한국전기전자재료학회 2005학년도 하계학술대회 논문지 p21, 2005.