

# CeO<sub>2</sub> Single Buffer Deposition on RABiTS for SmBCO Coated Conductor

T.H.Kim, H.S.Kim, H.S.Ha, J.S.Yang, N.J.Lee, D.W.Ha, S.S.Oh, K.J.Song, Y.H.Jung<sup>a</sup> K.C.Pa<sup>b</sup>  
 Korea Electrotechnology Research Institute, <sup>a</sup>KAIST, <sup>b</sup>Kyungpook national univ.

**Abstract:** As a rule, high temperature superconducting coated conductors have multi-layered buffers consisting of seed, diffusion barrier and cap layers. Multi-buffer layer deposition requires longer fabrication time. This is one of main reasons which increases fabrication cost. Thus, single buffer layer deposition seems to be important for practical coated conductor process.

In this study, a single layered buffer deposition of CeO<sub>2</sub> for low cost coated conductors has been tried using thermal evaporation technique. 100nm-thick CeO<sub>2</sub> layers deposited by thermal evaporation were found to act as a diffusion layer. 0.4μm-thick SmBCO superconducting layers were deposited by thermal co-evaporation on the CeO<sub>2</sub>-buffered Ni-W substrate. Critical current of 118A/cm<sup>2</sup> was obtained for the SmBCO coated conductors.

**Key Words :** single buffer layer, CeO<sub>2</sub>, SmBCO, DC reactive evaporation, EDDC

## 1. 서 론

초전도선재가 다양한 응용기기에 사용되기 위해서는 초전도성능 뿐만 아니라 선재가격의 하락이 필수적으로 동반되어야 한다. 초전도 선재를 제조하기 위한 공정은 크게 물리적 방법과 화학적방법이 있다. 물리적 방법으로 PLD, Thermal Evaporation, Sputter등이 있으며 화학적 방법으로 MOD, MOCVD등의 방법이 있다.[1] PLD법은 높은 성능을 보이는 초전도선재의 제조가 가능한 공정으로 알려져 있으나, 반면에 제조단가가 높다는 단점을 가지고 있다. Thermal Evaporation법은 대면적 증착이 가능하므로 제조단가를 낮출 수 있고 제조 공정속도를 높일 수 있는 장점이 있다. 고온 초전도선재가 다양한 응용기기에 사용되기 위해서는 초전도 특성향상 및 가격의 하락이 필수적이다. Thermal evaporation법은 대면적 증착이 가능하므로 제조단가를 낮출 수 있고 제조 공정속도를 높일 수 있는 장점이 있다. 제조시 경제적으로 유리한 공정인 Thermal evaporation증착법을 이용하여 완충층 및 초전도층을 증착하였다. 일반적으로 RABiTS 텍스처된 금속기판에 완충층의 일반적인 기본구조는 CeO<sub>2</sub>/YSZ/CeO<sub>2</sub> 혹은 CeO<sub>2</sub>/YSZ/Y<sub>2</sub>O<sub>3</sub>의 다층박막구조를 가지고 있다.[2]

다층박막 완충층을 단일박막 완충층으로 대체하면 제조공정시간 단축 및 공정비용 저감효과를 기대할 수 있다. CeO<sub>2</sub>를 단일 버퍼완충층으로 사용하기 위해서는 100nm의 두께로는 Diffusion barrier 역할을 하기 위해서는 고온에 노출된 시간을 최소한으로 줄여 CeO<sub>2</sub>층 및 초전도층을 낮은 온도에서 증착하고 초전도층의 증착률을 높여 증착시간을 줄임으로써 기판 구성원자의 초전도층으로 확산 침투를 최소화하였다.

## 2. 실험

### 2.1 완충층 증착

증착 물질은 저항형 텅스텐 보트(10×20×0.3cm)를 사용

하여 금속 Ce (순도99.999%)을 가열 증발시켰으며, QCM(quartz crystal microbalance) sensor를 통하여 증착물을 측정하였다. 증착시 증착영역에는 기판의 온도를 유지하기 위한 히터박스 및 증착시 필요한 반응가스인 수증기를 증착영역 전체에 균일하게 공급하도록 반원형의 노출이 증착영역에 존재하여 증착분위기를 안정하게 형성하여 준다. 다음 그림 1은 증착 장비를 나타낸 것이다.

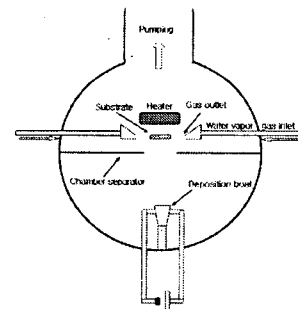


Fig 1. Schematic diagram of thermal evaporation system for depositing CeO<sub>2</sub> film on Ni-W substrate.

CeO<sub>2</sub> 단일 버퍼 완충층은 Ni-5%W조성의 텍스처된 합금 금속기판위에 증착하였다. Ce 증착률은 2Å/sec가 되도록 텅스텐 보트에 전류를 가하여 증착 분위기 평형상태에 도달했을 때 선재이송속도가 2m/hr 가 되도록 하여 증착두께는 72nm로 하였다.

### 2.2 초전도층 증착

CeO<sub>2</sub> 단일완충층이 증착된 기판상에 초전도층을 증착하기 위하여 EDDC(evaporation using drum in dual chamber)를 이용하였다. EDDC는 Evaporation 증발법을 이용하며

증발챔버, 반응챔버, differential pumping chamber로 구성되며 초전도 구성원소별로 증발시킨다. 원소별 증착률은 Sm:Ba:Cu=6 Å/sec:13 Å/sec:6.8 Å/sec가 되도록 하였다. 증착시 반응챔버의 진공도가 5mTorr일때 증착챔버의 진공도는  $1 \times 10^{-5}$ Torr 이하가 하여 단일 완충층이 증착된 기판을 spot welder로 드럼에 부착한 후  $1 \times 10^{-5}$ Torr 이하에서 Sm, Ba, Cu를 상온에서 녹인다. 드럼의 회전수를 0.7rev/sec의 속도로 고정시키고 온도를 700도 Sm, Ba, Cu의 금속원료를 원하는 증착률에서 증착속도는 보통 1 $\mu$ m/hr로 하였다. 증착이 끝난 후 산소를 흘려 대기압하에서 히터전원을 차단하고 자연냉각하였다.

### 3. 결과 및 고찰

#### 3.1 Ni-5%W 기판위 CeO<sub>2</sub> 박막의 증착특성

CeO<sub>2</sub> 단일박막으로서 기판원자들의 확산을 막기 위해서는 박막이 두껍거나, 저온에서 증착하거나, 고온에서 노출시간을 줄여야 한다. 100nm 이하의 두께로 증착된 CeO<sub>2</sub>/NiW template에서 초전도층을 증착할 때 700도에서 증착하였다.

그리고 1 $\mu$ m/hr의 증착속도로 30분동안 증착함으로써 고온에서 노출시간을 최소화하였다. 기판표면의 산화를 방지하고자 CeO<sub>2</sub> 박막을 증착하기 전 수소열처리 과정을 통하여 NiO층을 제거해야 하며 Ce의 산화반응 가스로서 수증기를 사용하여 Ce과 수증기의 반응으로 수소가 생성되어 수소와 수증기의 분압비는 열역학적으로 NiO를 환원상태로 만들어 주기 때문이다. 그림 2는 Ni기판 상에 증착된 CeO<sub>2</sub>의 XRD  $\Phi$ scan한 것으로 Ni 기판의 Ni(111)XRD  $\Phi$ scan의 FWHM은 7.4도, CeO<sub>2</sub>(111) XRD  $\Phi$ scan의 반가폭은 7.2도였다. CeO<sub>2</sub>층이 에피택시 성장하였음을 알 수 있다.

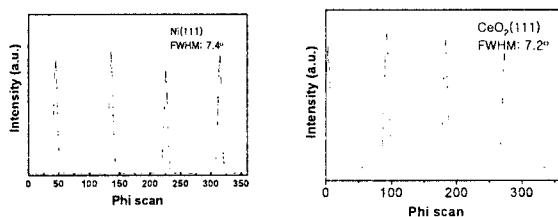


Fig 2. Fig 4. XRD  $\Phi$ -scans of Ni(111) and CeO<sub>2</sub>(111) for CeO<sub>2</sub> buffered Ni-W substrate tape.

#### 3.2 SmBCO 초전도 박막의 초전도 특성

EDDC로 증착한 시료의 크기는 10mmx5mm 였고, SmBCO 두께는 300 $\mu$ m하였다. 그림 3은 증착한 표면의 SEM과 XRD분석한 결과이다. 이후 RF sputtering 증착법을 이용하여 Ag 보호층을 3 $\mu$ m 두께로 증착하고 450도, 산소 대기압 분위기에서 열처리를 하였다. 그림 4는 PPMS로 임계온도를 4단자 측정법으로 측정하여 임계온도는 92K로 Tonset에서 Tzero 사이의 온도차이는 1도 미만으로 이는 초전도상이 매우 균일함을 보여주는 동시에 CeO<sub>2</sub> 단일완충층이 그 역할을 충분히 해 주었음을 의미한다. 임계전류는 55.4A/cm였다.

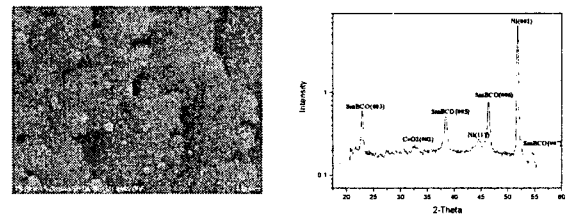


Fig 3. Photo deposition surface and XRD 2 $\theta$  of SmBCO film on CeO<sub>2</sub> single buffer.

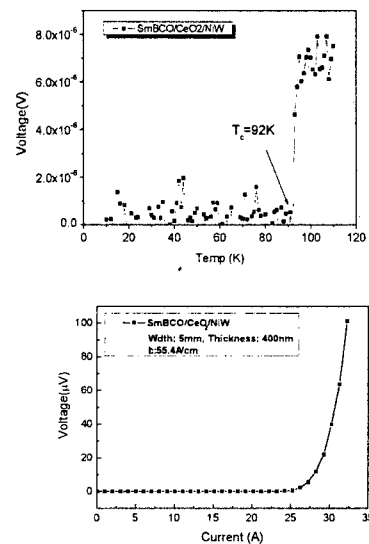


Fig 4. Critical temperature and Ic of SmBCO deposited on CeO<sub>2</sub> buffered substrate.

### 4. 결론

결정 배향된 금속기판 상에 단일완충층을 이용한 초전도전체를 제조하였다. 단일 완충층으로서 CeO<sub>2</sub>를 evaporation증착하였다. 증착시 금속기판의 산화층을 제거를 위해 수소 열처리를 하였으며 증착 반응가스로 수소/수증기분압 비율을 제어하면서 환원분위기에 증착하였다. CeO<sub>2</sub>(111) XRD phi-scan의 FWHM은 7.2도였다. 완충층이 증착된 금속기판에 EDDC공정으로 SmBCO 초전도물질을 증착하였다. SmBCO의 초전도특성을 측정한 결과 임계전류는 55.4A/cm<sub>2</sub>이었으며 임계온도는 92K였다. 이는 100nm 두께의 CeO<sub>2</sub>층이 diffusion barrier 역할을 충분히 담당하였음을 의미한다.

### 참고 문헌

- [1] T.J.Jackson, B.A.Glowacki, J.E.Evetts, "Oxidation thermodynamics of metal substrates during the deposition of buffer layer oxides", Physica C, Vol. 296, P. 215, 1998.
- [2] Sumida, M. Nakamura, Y. Shiohara, Y. Umeda, T."Unidirectional partial melting and solidification of SmBCO superconductor", Journal of materials research, Vol.12, No.8, 1997